Eletrônica de Potência

Volume 23 - número 1 - jan./mar. 2018

Joinville - 2018

© 2018, Sobraep

Comitê Editorial da Revista *Eletrônica de Potência*
(período de vigência Janeiro de 2018 a Dezembro de 2019)

Marcello Mezaroba
UDESC – Joinville (SC)

Cassiano Rech
UFSM – Santa Maria (RS)

Denizar Cruz Martins
UFSC – Florianópolis (SC)

José Antenor Pomilio
UNICAMP – Campinas (SP)

Marcelo Cabral Cavalcanti
UFPE – Recife (PE)

Diretoria

Presidente: Marcelo Cabral Cavalcanti – UFPE
Vice-Presidente: Marcello Mezaroba – UDESC
Primeiro Secretário: Leonardo Rodrigues Limongi – UFPE
Segundo Secretário: Gustavo M. de Souza Azevedo – UFPE
Tesoureiro: Fabrício Bradaschia – UFPE

Conselho Deliberativo

Arnaldo José Perin – UFSC
Carlos Alberto Canesin – UNESP
Carlos Henrique Illa Font – UTFPR
Cassiano Rech – UFSM
Denizar Cruz Martins – UFSC
Domingos S. L. Simonetti – UFES
Enio Valmor Kassick – UFSC
Fernando Luiz Marcelo Antunes – UFC
Henrique Antônio Carvalho Braga – UFJF
Ivo Barbi – UFSC
João Onofre Pereira Pinto – UFMS
José Antenor Pomilio – UNICAMP
Leandro Michels – UFSM
Luiz Henrique Silva Colado Barreto – UFC
Marcelo Cabral Cavalcanti – UFPE
Mauricio Aredes – UFRJ
Mauricio Beltrão de Rossiter Corrêa – UFCG
Richard Magdalena Stephan – UFRJ
Sérgio Vidal Garcia Oliveira – UDESC

Editores Associados

Demercil de Souza Oliveira Junior
UFC – Fortaleza (CE)

Marcelo Lobo Heldwein
UFSC – Florianópolis (SC)

Endereço da Diretoria

SOBRAEP
Prof. Marcelo Cabral Cavalcanti
Avenida Acadêmico Hélio Ramos, s/n
UFPE / CTG / Departamento de Engenharia Elétrica
Bairro: Cidade Universitária
CEP: 50740-533
Recife – PE – Brasil
Telefone: (81) 2126-7102 Fax: (81) 2126-8256
E-mail: marcelo.ccavalcanti@ufpe.br

Sobraep
http://www.sobraep.org.br/revista/

Eletrônica de Potência

Editor
Prof. Marcello Mezaroba
Rua Paulo Malschitzki, 200
Campus Universitário Prof. Avelino Marcante
Bairro Zona Industrial Norte
CEP: 89.219-710
Joinville - SC – Brasil
E-mail: marcello.mezaroba@udesc.br

Eletrônica de Potência é distribuída os sócios da SOBRAEP que optaram por receber a versão impressa.

Tiragem desta edição: 70 exemplares.

Edição impressa em março de 2018.

Eletrônica de Potência/Associação Brasileira de Eletrônica de Potência.
Vol. 1, n. 1 (jun. 1996) – Santa Maria: Sobraep, 1996 –

Trimestral

Até o v. 10, 2005, publicada semestralmente. Até o v. 12, 2007, publicada quadrimestralmente. Passou a ser trimestral em 2008.
ISSN 1414 -8862

1. Eletrônica de Potência – Periódicos.

CDD 621.381

Corpo de Revisores desta edição de Eletrônica de Potência

A SOBRAEP e os Editores da revista Eletrônica de Potência agradecem os revisores de artigos desta edição. São estes revisores que possuem a responsabilidade principal de garantir a qualidade técnica e científica dos artigos publicados. Expressamos o reconhecimento aos valorosos serviços prestados à revista Eletrônica de Potência.

REVISORES	INSTITUIÇÃO
Ademir Nied	UDESC - SC
André Guilherme Peixoto Alves	UFRJ - RJ
Angelo César Lourenço	IFMS - MS
Angelo Lunardi	UFABC - SP
Arnaldo Jose Perin	UFSC - SC
Bruno Ricardo de Almeida	UFC - CE
Carlos Elmano de Alencar Silva	UFC - CE
Carlos Gustavo Castelo Branco	UFC - CE
Carlos Henrique Vasconcelos	CEFET - MG
Celso Rogério Schmidlin Jr.	IFCE - CE
Cesar Dacosta	IFSP - SP
Cláudio Henrique Gomes dos Santos	CEFET - MG
Cleonor C das Neves	IFAM - AM
Daniel Bernardon	UFSM - RS
Douglas Dotto de Oliveira	UFSM - RS
Edson H. Watanabe	UFRJ - RJ
Eduardo Felix Ribeiro Romaneli	UTFPR- PR
Erick Melo Rocha	UFPA - PA
Everton Peres Correa	UDESC - SC
Fabiano Salvadori	UFPB - PB
Fábio Ecke Bisogno	UFSM - RS
Fernando José Nogueira	UFJF - MG
Frank Weiner Heerdt	Emerson Industrial Automation
Gabriel Hermann Negri	UDESC - SC
Guilherme Sebastião da Silva	UFSM - RS
Gustavo Guilherme Koch	UFSM - RS
Gustavo Medeiros de Souza Azevedo	UFPE - PE
Hamiltom Confortin Sartori	UFSM - RS
Hélio Leães Hey	UFSM - RS
Henrique A. C. Braga	UFJF - MG
Hilton Abílio Gründling	UFSM - RS
Javier Alexis Andrade Romero	UFABC - SP
Jose Alberto Torrico Altuna	UFABC - SP
José Andrés Santisteban	UFF - RJ
José de Oliveira	UDESC - SC
Juan Sebastián Solís Chaves	UFABC - SP
Juliano de Pelegrini Lopes	UTFPR - PR
Julio Cesar Dias	UFSC - SC
Leandro Sousa Vilefort	UFU - MG
Levy Ferreira Costa	Christian-Albrecht-University of Kiel
Lucas Lapolli Brighenti	UFSC - SC
Lucas Savoi Araújo	UNICAMP - SP
Luís Guilherme Barbosa Rolim	UFRJ - RJ
Luís Oscar de Araujo Porto Henriques	IF Sudeste - MG
Luiz Guilherme Batista Genu	UFPE - PE
Maikel Fernando Menke	UFSM - RS
Marcello Mezaroba	UDESC - SC
Márcio do Carmo Barbosa Poncilio Rodrigues	IF Sudeste - MG
Marcio Luiz Magri Kimpara	UFMS - MS
Marcio Mendes Casaro	UTFPR- PR
Marcos Antônio Salvador	UFSC - SC
Marcos Vinicius Bressan	UDESC - SC
Mauricio Sperandio	UFSM - RS
Nathan Augusto Zacarias Xavier	PUC - MG
Odair de Barros Junior	UFES - ES
Paulo Cesar Vargas Luz	UFSM - RS
Paulo Sergio Sausen	UFSM - RS
Priscila Silva Oliveira	UFT - TO
Rafael Henrique Eckstein	UFSC - SC
Renner Sartório Camargo	IFES - ES
Robinson Figueiredo Camargo	UFSM - RS
Rodrigo Linhares dos Santos	UFC - CE
Roger Gules	UTFPR- PR
Romero Leandro Andersen	UFPB - PB
Seleme Isaac Seleme Jr.	UFMG - MG
Tiago Kommers Jappe	Technische Dresden
Victor Flores Mendes	UFMG - MG
Zelia Myriam Assis Peixoto	PUC - MG

ISSN 1414-8862

Eletrônica de Potência
Volume 23 - número 1 - jan./mar. 2018

Sumário
Summary

Editorial Seção Regular 6

Política Editorial 7

Artigos da Seção Regular
Regular Section

Condicionador Unificado de Qualidade de Energia Monofásico–Trifásico Aplicado em Redes de Distribuição de Energia Elétrica MRT
Single-To-Three-Phase Unified Power Quality Conditioner Applyed to Swer Electrical Power Distribution Systems
Sérgio Augusto Oliveira da Silva, Fernando Alves Negrão 8

Retificador Trifásico Isolado Utilizando Um Autotransformador e Dois Retificadores Monofásicos de Estágio Único
Isolated Three-Phase Power-Factor Correction Rectifier Using an Autotransformer and Two Single-Phase Single-Stage Rectifiers
Janderson Duarte, Alceu André Badin 20

Estratégias de Energização e Desenergização de um Compensador Estático Síncrono para Distribuição
Energization and De-Energization Strategies of a DSTATCOM
Samuel N. Duarte, Gabriel A. Fogli, Pedro M. de Almeida, Pedro G. Barbosa 29

Study of the Cascaded Doubly Fed Induction Machine Dynamics Under Vector Control
Carlos H. S. de Vasconcelos, Antonio C. Ferreira, Richard M. Stephan 39

Double Modulation Applied to a High Power Factor Rectifier with High Frequency Transformer for Ups Application
Daniel B. de Alvarenga, Martin B. Meier, Roger Gules, Alceu A. Badin, Eduardo F. R. Romaneli 47

Study of the Modulation Schemes in the Hybrid Three-Phase Multilevel Inverter
Marcos Vinicius Bressan, Marcello Lobo Heldwein, Alessandro Luiz Batschauer 59

Back-EMF Based Rotor Position Estimation for Lowcost PMSM Drive Using Fully Connected Cascade Artificial Neural Networks
Gabriel H. Negri, Filipe G. Nazário, José de Oliveira, Ademir Nied 69

Reconhecimento de Lâmpadas Fluorescentes Empregando o Reator Eletrônico Auto-Oscilante
Fluorescent Lamps Detection with Self-Oscillating Electronic Ballast
Juliano de P. Lopes, Maikel F. Menke, Álysson R. Seidel 78

Study on the Application of Gallium Nitride Transistors in Power Electronics
Renan R. Duarte, Guilherme F. Ferreira, Marco A. Dalla Costa, Carlos H. Barriquello, J. Marcos Alonso 89

Controle Ressonante Aplicado na Redução da Capacitância de Barramento em um Conversor Duplo Buck-Boost Integrado para Acionamento de LEDss
Resonant Control Applied to Bus Capacitance Reduction in Integrated Double Buck-Boost for LED Driver
Paulo Cesar Vargas Luz, Jhonatan Antônio Cassol, Matheus Farencena Righi, Gabriel da Silva Vargas, Ricardo Nederson do Prado, André Luís Kirsten 98

Conversor CC-CC Paralelo Ressonante Meia Ponte Assimétrico com Saída em Tensão
Half-Bridge Parallel Resonant DC-DC Converter with Asymmetrical PWM
Neilor C. Dal Pont, Delvanei G. Bandeira Jr., Telles B. Lazzarin, Ivo Barbi 108

Estimação de Parâmetros e Controle de um Gerador de Indução Duplamente Alimentado Durante a Sincronização com a Rede Elétrica
Parameter Estimation and Control of a Doubly-Fed Induction Generator During the Synchronization with the Grid
Celso R. Schmidlin Jr., Francisco Kleber de A. Lima, Tobias R. Fernandes Neto, Carlos Gustavo C. Branco 118

NORMAS DE PUBLICAÇÃO 127

EDITORIAL REVISTA ELETRÔNICA DE POTÊNCIA

Janeiro de 2018

Prezados leitores,

É com grande orgulho que assumo como Vice-Presidente da Associação Brasileira de Eletrônica de Potência (SOBRAEP) e consequentemente a editoria da revista Eletrônica de Potência para o biênio 2018/2019. Agradeço a todos os colegas que depositaram a sua confiança no nosso trabalho e principalmente aos ex diretores e pessoal de suporte que tanto fizeram pela nossa Revista Eletrônica de Potência (REP) durante todos esses anos. Agradeço especialmente ao Prof. Marcelo Cabral Cavalcanti pelo honrado convite para participar da sua gestão nessa importante função.

Temos muitos planos de melhorias para nossa revista visando dar uma maior visibilidade aos trabalhos nela publicados, integrando-a aos sistemas indexadores e avaliadores de produção científica. Essas melhorias passam por atualizações no sitio da revista e no sistema de submissão e edição de trabalhos, além de alterações nas políticas de publicação e copyright.

Para que todas as mudanças planejadas possam ser viabilizadas precisamos mais do que nunca do comprometimento de toda a comunidade de associados em promover ações para o fortalecimento da SOBRAEP e da REP, submetendo trabalhos de qualidade, colaborando com os processos de revisão, considerando trabalhos publicados na REP em suas referências e principalmente divulgando e buscando novos associados.

Essa primeira edição teremos a publicação de 12 excelentes trabalhos que foram selecionados ainda sob a editoria do Prof. Marcelo Cabral Cavalcanti, graças ao esforço voluntário de todos os revisores. O volume de submissões tem crescido substancialmente e precisamos mais do que nunca contar com a colaboração de todos os colegas para reduzir o tempo de publicação dos artigos e garantir a periodicidade da revista.

Gostaria de finalizar desejando um excelente 2018 a todos e me colocando à disposição para qualquer sugestão ou crítica que vise o crescimento e consolidação da revista Eletrônica de Potência e da nossa querida SOBRAEP. Juntos vamos mais longe.

Marcello Mezaroba
Editor
marcello.mezaroba@udesc.br

Política Editorial da Revista Eletrônica de Potência

A revista Eletrônica de Potência é uma publicação com periodicidade trimestral.

Sua **Missão** principal é a promoção do desenvolvimento científico e tecnológico da Eletrônica de Potência, em vinculação com os interesses da sociedade brasileira. Os trabalhos publicados na revista devem ser sempre resultados de pesquisas que demonstrem real contribuição e qualidades técnica e científica.

A revista Eletrônica de Potência é um meio adequado através do qual os membros da SOBRAEP (Sociedade Brasileira de Eletrônica de Potência) e demais especialistas em Eletrônica de Potência podem publicar suas experiências e atividades de pesquisas científicas. O Comitê Editorial tem grande interesse na submissão e avaliação de artigos completos nas áreas de interesse da sociedade. Um artigo é um veículo adequado para a apresentação e divulgação dos trabalhos e pesquisas de relevância para a Eletrônica de Potência, incluindo os avanços no estado da arte, importantes resultados teóricos e experimentais, e demais informações de relevância tutorial.

Os artigos são submetidos e avaliados de forma totalmente eletrônica, por três revisores *ad-hoc*, através do sistema iSOBRAEP. Os autores devem submeter seus artigos através do sistema iSOBRAEP na seguinte URL: **http://www.sobraep.org.br/revista**.

Através do sistema iSOBRAEP os autores poderão ainda acompanhar todo o processo de revisão de suas submissões. Observa-se que os artigos deverão ser submetidos unicamente no formato PDF e deverão estar em conformidade com as Normas de Publicação da Revista.

A aceitação final do artigo somente ocorrerá se o mesmo estiver plenamente em conformidade com as Normas de Publicação divulgadas no sistema iSOBRAEP e publicadas em todas as edições da revista. Uma lista das principais áreas de interesse da revista Eletrônica de Potência, que devem apresentar interface clara com a área de Eletrônica de Potência, inclui os seguintes tópicos (outros tópicos de interesse poderão ser avaliados pelo Comitê Editorial):

- Dispositivos Semicondutores de Potência, Componentes Passivos e Magnéticos;
- Conversores CC/CC e Fontes de Alimentação CC;
- Inversores e Retificadores para Fontes de Alimentação e Sistemas de Alimentação Ininterrupta;
- Armazenamento de Energia;
- Máquinas Elétricas e Acionamento de Motores Elétricos;
- Teoria de Controle Aplicada a Sistemas Eletrônicos de Potência;
- Modelagem Assistida por Computador, Análise, Projeto e Síntese de Sistemas Eletrônicos de Potência;
- Aplicação da Eletrônica de Potência na área de Qualidade de Energia (Compensação de Harmônicos e Potência Reativa, Retificadores com Correção do Fator de Potência, etc.);
- Compatibilidade Eletromagnética e Interferência Eletromagnética em Sistemas Eletrônicos de Potência;
- Eletrônica de Potência Aplicada em Geração, Transmissão e Distribuição de Energia;
- Sistemas de Geração Distribuída e Fontes Alternativas de Energia;
- Aplicações da Eletrônica de Potência nas áreas Automotiva, Aeroespacial, Transportes e em Aparelhos Eletro-eletrônicos;
- Integração, Encapsulamento e Módulos de Componentes Eletroeletrônicos de Potência;
- Aplicações de Controle Digital em Sistemas Eletrônicos de Potência;
- Conversores estáticos aplicados ao acionamento de fontes de luz artificiais;
- Educação em Eletrônica de Potência.

CONDICIONADOR UNIFICADO DE QUALIDADE DE ENERGIA MONOFÁSICO-TRIFÁSICO APLICADO EM REDES DE DISTRIBUIÇÃO DE ENERGIA ELÉTRICA MRT

Sérgio Augusto Oliveira da Silva, Fernando Alves Negrão
Universidade Tecnológica Federal do Paraná – UTFPR, Cornélio Procópio – PR, Brasil
e-mail: augus@utfpr.edu.br, fernando.alves@unopar.com.br

Resumo **– Este trabalho apresenta a validação experimental de um sistema local de distribuição de energia trifásico a quatro fios (3P4W), utilizando uma topologia de condicionador de qualidade de energia unificado (UPQC) monofásica-trifásica denominada UPQC-Mono-Tri. A topologia é indicada para aplicações em áreas rurais ou remotas, nas quais, por razões econômicas, apenas sistemas de distribuição de energia monofásicos com retorno por terra são acessíveis ao consumidor. Uma vez que o uso de cargas trifásicas é crescente nestas áreas, o acesso a um sistema de distribuição trifásico se torna preponderante. Adotando uma estratégia de compensação dual, o UPQC-Mono-Tri proposto é capaz de drenar da rede elétrica monofásica uma corrente senoidal e em fase com a tensão, obtendo-se assim um elevado fator de potência. Além disso, o sistema também é capaz de suprimir harmônicos de tensão da rede, assim como compensar outros distúrbios como, por exemplo, afundamentos de tensão. Desse modo, um sistema 3P4W com tensões reguladas, balanceadas e senoidais com baixos conteúdos harmônicos é disponibilizado para cargas monofásicas e trifásicas. Resultados são apresentados com o objetivo de validar experimentalmente a topologia proposta, bem como avaliar seus desempenhos estáticos e dinâmicos.**

Palavras-Chave **– Áreas Rurais Remotas, Estratégia de Compensação Dual, Fator de Potência.**

SINGLE-TO-THREE-PHASE UNIFIED POWER QUALITY CONDITIONER APPLYED TO SWER ELECTRICAL POWER DISTRIBUTION SYSTEMS

Abstract **– This paper presents the experimental validation of a local three-phase four-wire (3P4W) electrical distribution system, using a single-to-three-phase (S-TP) unified power quality conditioner (UPQC) topology, named UPQC-S-TP. The topology is indicated for applications in remote or rural areas, in which, for economic reasons, only single wire earth return networks are available to consumers. Since the use of three-phase loads is increasing in these areas, the access to three-phase systems has become mandatory. Adopting a dual compensation strategy, the proposed UPQC-S-TP is able of draining from the single-phase power supply a sinusoidal current in phase with the grid voltage, resulting in high power factor. In addition, the system is also able of eliminating harmonics from the grid voltage, as well as compensating for voltage disturbances, such as voltage sags. Thereby, a 3P4W system with regulated, balanced and harmonic free sinusoidal voltages is provided to both single- and three-phase loads. Experimental results are presented with the purpose of validating the proposed topology, as well as evaluating its static and dynamic performances.**

Keywords **– Dual Compensation Strategy, Power Factor, Rural Remote Areas.**

I. INTRODUÇÃO

Em regiões rurais ou remotas no Brasil, bem como em algumas áreas de países como Austrália e Nova Zelândia, por exemplo, sistemas de distribuição Monofásicos com Retorno pela Terra (MRT) têm sido comumente adotados como solução para o fornecimento de energia elétrica. Isto se deve pelo fato da redução de custos na distribuição de energia para atender grandes extensões territoriais com baixas densidades demográficas ser um importante requisito [1]-[5], uma vez que menores custos de instalação e manutenção são alcançados [4], [6].

Outras alternativas são a utilização da distribuição de energia por meio de dois condutores (fase e neutro) sem o retorno pela terra, ou mesmo utilizando sistemas bifásicos (fase-fase). Considerando tais alternativas, os investimentos de capital para a realização das instalações de redes de distribuição MRT ainda são menores [7].

A demanda de energia elétrica nas redes monofásicas de distribuição rurais tem aumentado consideravelmente nas últimas décadas, tanto no ramo da agricultura como da pecuária, devido, principalmente, à crescente evolução e modernização das tecnologias empregadas, assim como pelo aumento da mecanização dos processos produtivos. Pode-se citar, por exemplo, a automatização da irrigação, bem como o processamento agrícola pós-colheita envolvendo seleção de sementes e moagem, ventilação e refrigeração, linhas de lavagem e embalagem, dentre outros.

Dentro deste contexto, percebe-se uma tendência iminente de aumento da demanda de energia em propriedades rurais, bem como a necessidade de fornecimento de energia de qualidade em função da mudança das características de cargas utilizadas.

A regulação de tensão se caracteriza como um dos principais problemas de Qualidade de Energia (QE)

Artigo submetido em 08/02/2017. Primeira revisão em 24/03/2017. Aceito para publicação em 08/05/2017 por recomendação do Editor Marcelo Cabral Cavalcanti.

encontrados nas redes monofásicas rurais [4], [5], pois, quando submetidas a grandes cargas, estas apresentam quedas de tensão significativas, enquanto que em horários de baixo consumo a tensão tende a se elevar [1]. No entanto, uma solução não tão eficiente em função das variações constantes de carga, pode ser adotada por meio do ajuste dos *taps* do transformador de entrada da rede MRT. Outra solução, neste caso mais eficiente, consiste na utilização de reguladores monofásicos de tensão [5].

Algumas formas para contornar grandes investimentos de capital para atender à crescente demanda das propriedades rurais têm sido empregadas [3], [8]. Em [3] são apresentados os impactos causados entre sistemas de geração distribuída implementados por meio de sistemas fotovoltaicos e os sistemas de distribuição MRT. Já em [8], o uso de sistemas de armazenamento de energia por meio de baterias e sua utilização em horários de pico é discutido.

Nota-se cada vez mais a necessidade em se utilizar as redes de distribuição trifásicas para atender a demanda por energia elétrica em áreas rurais, em função das mudanças de características das cargas. Atualmente, a maioria delas poderia ser acionadas por motores de indução trifásicos em substituição aos monofásicos, por apresentam maior torque de partida [7]. Além disso, a utilização de inversores de tensão trifásicos de médias e altas potências envolvidos em modernos sistemas automatizados também justifica a necessidade de redes trifásicas em áreas rurais. Sendo assim, a presença de um sistema local de distribuição de energia trifásico em áreas que fazem uso do sistema de distribuição MRT se torna cada vez mais indispensável.

Para este fim, diversas soluções e/ou configurações de conversores monofásicos-trifásicos têm sido abordadas na literatura [6], [7], [9], [10]. Dentre elas estão os conversores monofásicos-trifásicos a quatro-fios, os quais possuem capacidade para alimentar cargas trifásicas e monofásicas [6], [7], [9], ou ainda os conversores monofásicos-trifásicos a três fios destinados a alimentar apenas cargas trifásicas [10].

Similar a um condicionador unificado de qualidade de energia (UPQC – *Unified Power Quality Conditioner*), em [11] foi concebido um conversor monofásico-trifásico operando como filtro ativo de potência série e paralelo. Nesta topologia, o conversor série é composto por um inversor monofásico em ponte completa (dois braços inversores), enquanto o conversor paralelo é composto por um inversor trifásico a três braços, totalizando cinco braços inversores. Diferente do que acontece com o estágio de retificação das topologias de conversores monofásicos-trifásicos convencionais [6], uma vantagem apresentada pela topologia apresentada em [11] reside no fato de que a energia necessária para alimentar a carga não ser toda ela processada pelo conversor série de entrada, aumentando assim o rendimento do sistema.

Em [12] foi apresentado um sistema local de distribuição de energia trifásico a quatro fios (3P4W – *3-Phase-4-Wire*), cuja implementação foi realizada por meio de um conversor monofásico-trifásico conforme mostrado na Figura 1. No entanto, apenas resultados obtidos via de simulações foram apresentados, assim como não foram abordados maiores detalhes referentes ao dimensionamento dos conversores. A referida topologia foi concebida a partir de um UPQC, a qual foi denominada de UPQC-Mono-Tri. Este sistema é indicado para aplicações em áreas rurais ou remotas, onde, por razões econômicas, apenas sistemas de distribuição de energia monofásicos são acessíveis ao consumidor.

Por desempenharem, simultaneamente, as funções de Filtro Ativo de Potência Série (FAPS) e Filtro Ativo de Potência Paralelo (FAPP), os UPQCs têm sido comumente empregados para mitigar problemas de QE, tanto em sistemas de distribuição monofásicos [13], quanto em sistemas de distribuição 3P4W [14]-[18].

Tradicionalmente os UPQCs são controlados para realizarem as compensações série e paralela, sintetizando grandezas não-senoidais de tensão e corrente, ou seja, o conversor série sintetiza grandezas de tensão não senoidais de forma a compensar distúrbios de tensão da rede, enquanto o conversor paralelo sintetiza grandezas de corrente não senoidais com o intuito de suprimir correntes harmônicas e compensar reativos da carga [14], [15].

Por outro lado, alguns trabalhos apresentados na literatura têm utilizado a estratégia de compensação dual no controle dos conversores série e paralelo de um UPQC [16]-[18]. Na referida estratégia, as referências de controle de tensão e corrente sintetizadas pelos conversores de potência são senoidais. Neste caso, uma vez que o conversor série sintetiza grandezas de corrente senoidais, este opera como uma fonte de corrente senoidal, oferecendo um caminho de alta impedância para os harmônicos de corrente existentes na carga.

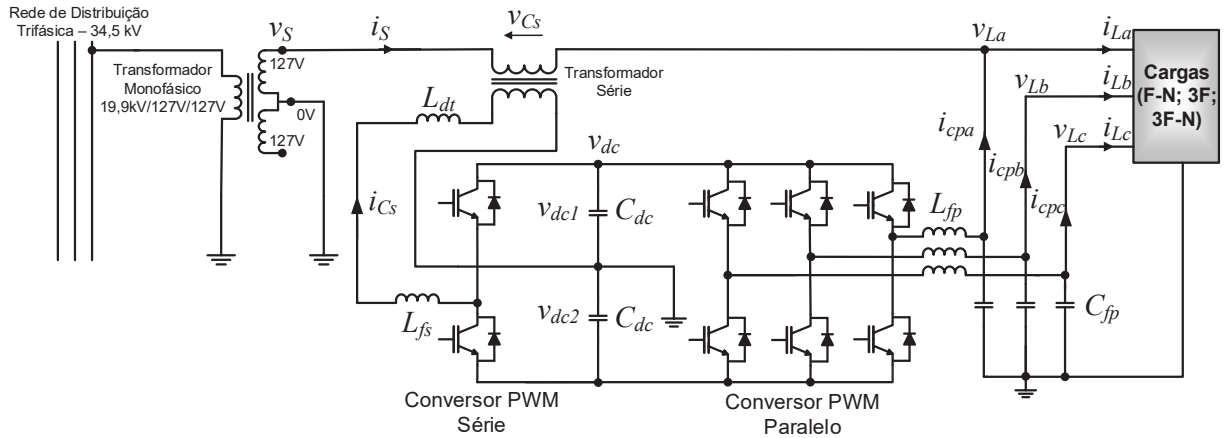


Fig. 1. Topologia do UPQC-Mono-Tri.

Já o conversor paralelo sintetiza grandezas de tensão senoidais e, neste caso, opera como uma fonte de tensão senoidal, oferecendo um caminho de baixa impedância para os harmônicos de corrente da carga. Percebe-se, porém, que para operar como UPQC com estratégia dual, os conversores série e paralelo devem operar sempre em conjunto.

Observa-se também que os desempenhos dos controladores são notadamente melhores quando operam com referências senoidais, quando comparados com aqueles que utilizam referências não senoidais. Além disso, uma vez que as referências de controle são senoidais, os controladores implementados no referencial síncrono possuirão suas referências de tensão e corrente contínuas, facilitando ainda mais o controle [18]. Outra vantagem da compensação dual está na forma de geração das referências de controle, a qual é realizada apenas com a utilização de um sistema de detecção de ângulo de fase (PLL – *Phase-Locked Loop*) [19].

Este trabalho apresenta como principal contribuição a validação experimental de um UPQC-Mono-Tri destinado a alimentar cargas trifásicas a partir de um sistema MRT, comumente encontrados em áreas rurais e/ou remotas.

Adotando a estratégia de compensação dual, o UPQC-Mono-Tri proposto neste trabalho possibilita drenar da rede elétrica monofásica uma corrente senoidal em fase com a tensão da rede. Além disso, o sistema também pode suprimir harmônicos da tensão da rede, assim como compensar distúrbios como afundamentos e elevações de tensão, melhorando os indicadores de qualidade de energia elétrica.

Desse modo, o UPQC-Mono-Tri proposto é capaz de conceber um sistema 3P4W com tensões de carga reguladas, balanceadas e senoidais e com baixos conteúdos harmônicos. Sendo assim, o sistema possui duas funções básicas principais, sendo elas, fazer a conversão da rede monofásica em rede trifásica, gerando um sistema de distribuição 3P4W com neutro aterrado ao consumidor final, bem como desempenhar concomitantemente a função de filtro ativo de potência universal. Com o objetivo auxiliar no adequado dimensionamento do UPQC-Mono-Tri, uma análise envolvendo o fluxo de potência pelos conversores série e paralelo é também apresentada neste trabalho.

II. DESCRIÇÃO DA TOPOLOGIA UPQC-MONO-TRI

A topologia do UPQC-Mono-Tri está apresentada na Figura 1. Esta é formada por dois conversores PWM, sendo eles um inversor monofásico *Half-Bridge* e um trifásico (*3-Leg*) compartilhando o mesmo barramento CC.

Nesta topologia, o conversor série, que em [11] foi implementado utilizando um inversor *Full-Bridge*, é substituído por um inversor *Half-Bridge*. Sendo assim, neste trabalho, o barramento CC é formado pela configuração de capacitor dividido (*Split-Capacitor*), possibilitando o acesso ao condutor de retorno aterrado da carga.

O conversor série, também denominado FAPS, é controlado em corrente de forma que a corrente drenada de entrada seja senoidal e em fase com a tensão da rede, resultando em um Fator de Potência (FP) muito próximo de um. Um indutor de filtragem (L_{fs}) é colocado em série com o enrolamento primário do transformador monofásico de acoplamento série.

O conversor paralelo, denominado FAPP, é controlado em tensão e impõe às cargas tensões trifásicas senoidais, reguladas e balanceadas. A tensão de carga da fase "*a*" (v_{La}) é controlada para estar em fase com a tensão da rede elétrica (v_s). Filtros de segunda ordem *LC* são utilizados para atenuar as componentes de alta frequência de tensão. Uma vez que o braço inversor conectado à fase "*a*" é controlado para funcionar como uma fonte de tensão senoidal, as componentes harmônicas e fundamental da tensão da rede são indiretamente compensadas pelo sistema, não havendo a necessidade de se utilizar algum algoritmo específico para calcular/extrair tais componentes. As componentes de tensão compensadas (harmônicos e fundamental) irão aparecer nos terminais do transformador de acoplamento em série.

O fluxo de energia através do UPQC-Mono-Tri dependerá tanto das características da carga como, por exemplo, fator de potência fundamental e Distorção Harmônica Total (DHT) de corrente, quanto das características da rede, tais como as diferenças entre as amplitudes da tensão de entrada e de saída (fase "*a*"), bem como a DHT de tensão.

III. GERAÇÃO DAS REFERÊNCIAS E DIAGRAMAS DE CONTROLE DOS CONVERSORES

Nesta seção são apresentadas as estratégias de geração das referências de controle dos conversores série e paralelo bem como suas modelagens.

A. Corrente de Referência do Conversor Série

A corrente de referência monofásica usada para controlar o FAPS é obtida no referencial síncrono dq, como mostrado na Figura 2. Sendo assim, as correntes de carga (i_{La}, i_{Lb}, i_{Lc}) são medidas e transformadas do sistema de eixos estacionário trifásico (abc) para o referencial estacionário bifásico ($\alpha\beta 0$) usando a transformada de Clarke. Depois disso, por meio da transformada de Park, as grandezas estacionárias de corrente do referencial $\alpha\beta 0$ são transformadas para o referencial síncrono dq. Neste referencial, as coordenadas do vetor unitário $sen(\theta)$ e $cos(\theta)$ são obtidos utilizando o sistema PLL apresentado em [19], onde θ é o ângulo de fase estimado da tensão da rede. A grandeza i_d, mostrada na Figura 2, representa as componentes ativas das correntes de carga, ou seja, esta é composta por uma parcela média bem como parcelas oscilantes/harmônicas no referencial d.

Por se tratar de um sistema monofásico-trifásico, a amplitude da corrente de referência monofásica de entrada/rede (i_{cs}^*) deve ser devidamente ajustada para garantir que a potência média monofásica de entrada (P_s) seja equivalente à potência média trifásica na saída (P_L).

No referencial síncrono, as potências P_L e P_s são definidas, respectivamente, por:

$$P_L = vd_{dc} id_{dc} \tag{1}$$

$$P_s = \left(V_{sp} I_{sp}\right)/2 \tag{2}$$

onde vd_{dc} e id_{dc} representam, respectivamente, as componentes CC de tensão e corrente no eixo-d, enquanto V_{sp} e I_{sp} representam as respectivas tensão e corrente de pico da rede monofásica.

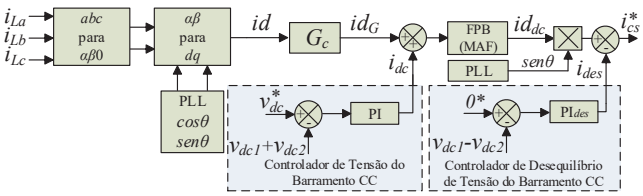


Fig. 2. Esquema de geração da referência de corrente do conversor série no referencial síncrono *dq*.

Assumindo que as amplitudes das tensões de saída V_{Lp} são iguais à da tensão da rede V_{sp}, vd_{dc} pode ser escrita por:

$$vd_{dc} = \sqrt{3/2}\, V_{Lp} = \sqrt{3/2}\, V_{sp}. \tag{3}$$

Considerando um sistema ideal, de tal forma que $P_s = P_L$, e por meio de (1), (2) e (3), a relação entre a corrente id_{dc} e corrente I_{sp} é dada como segue:

$$I_{sp} = \sqrt{6}\, id_{dc} = G_c\, id_{dc}. \tag{4}$$

Percebe-se em (4) a presença do ganho $G_c = \sqrt{6}$, o qual, necessariamente, deve ser inserido no algoritmo da Figura 2 de forma a adequar as potências de entrada e saída do UPQC-Mono-Tri.

A corrente i_{dc} mostrada na Figura 2 representa o sinal de saída do controlador Proporcional-Integral (PI) de tensão do barramento CC. Esta é somada à corrente do eixo síncrono direto id_G e é responsável pelo controle do balanço/fluxo de potência do sistema. Em outras palavras, i_{dc} é utilizada para desempenhar as seguintes funções: i. regular a tensão do barramento CC de forma a compensar as perdas envolvendo os elementos passivos de filtragem e os dispositivos de chaveamento; ii. ajustar da amplitude da corrente de referência senoidal do conversor série (i^*_{cs}) quando há variações de amplitude (afundamentos/elevações de tensão) entre a tensão de entrada e as de saída do UPQC-Mono-Tri.

A parcela de corrente $id_G = \sqrt{6}\, id$ é somada com i_{dc} e em seguida filtrada por meio de um Filtro Passa-Baixa (FPB) gerando a corrente id_{dc}.

Na Figura 2 também é mostrada a malha de controle usada para anular o desequilíbrio de tensão dos capacitores do barramento CC, onde modelo equivalente adotado para representar o controle do desequilíbrio é apresentado em [16]. O sinal de saída do referido controlador (i_{des}) atua no nível CC da corrente da rede. Sendo assim, a corrente de referência do conversor série é dada por:

$$i^*_{cs} = id_{dc}\, sen(\theta) - i_{des}. \tag{5}$$

Para melhorar a resposta dinâmica de filtragem, foi utilizado um filtro média móvel (MAF - *Moving Average Filter*) [20], atuando como FPB. O MAF se caracteriza por ser um filtro de fácil implementação e capaz de rejeitar as componentes de frequências múltiplas da frequência corte, sendo esta definida igual ao inverso do período de integração (*T*), ou ainda definido pelo período da componente fundamental. A Figura 3 apresenta a estrutura do MAF, a qual é composta por um bloco de integração, um bloco de atraso de transporte, um subtrator e um divisor.

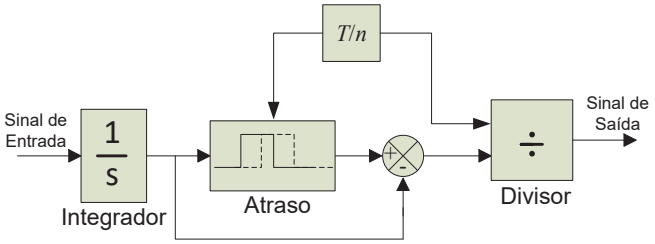


Fig. 3. Filtro média móvel.

Por se tratar de um sistema monofásico conectado à rede elétrica, deve-se considerar a presença de ondulações de tensão em 120Hz no barramento CC do UPQC-Mono-Tri. Tal ondulação pode resultar no aparecimento do harmônico de ordem 2 (120Hz) na referência de corrente do conversor série (i^*_{cs}), uma vez que i^*_{cs} contém informações do sinal de saída do controlador do barramento CC (i_{dc}).

Portanto, uma maneira de atenuar a amplitude do sinal nesta indesejada frequência, um FPB poderia ser utilizado na malha de controle de tensão do barramento CC. Entretanto, sua utilização poderia interferir na dinâmica do controle tornando-a mais lenta. Por esse motivo, optou-se em utilizar apenas um FPB (MAF) logo após a soma da corrente do controlador do barramento CC (i_{dc}) com a corrente do eixo direto id_G, conforme mostrado na Figura 2.

Além disso, caso existam correntes de carga desbalanceadas, também aparecerá no referencial síncrono uma componente fundamental de sequência negativa na frequência de 120Hz, ou seja, *T*/2 do período da componente fundamental.

Consequentemente, torna-se necessário que a frequência de corte do filtro média móvel seja 120Hz, ou seja, o número inteiro n representado na Figura 3 deve ser igual a 2.

B. Controlador de Corrente do Conversor Série

A Figura 4 apresenta, por meio de um diagrama em blocos, o controlador PI de corrente, bem como o modelo médio do conversor série [21].

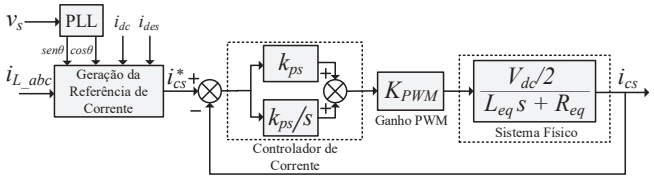


Fig. 4. Diagrama em blocos do controlador de corrente e do modelo médio do conversor série.

Assim, com base na Figura 4, a função de transferência do sistema pode ser escrita por:

$$\frac{i_{cs}(s)}{i^*_{cs}(s)} = \frac{K_{pwm}(V_{dc}/2)\left(K_{ps}s + K_{is}\right)}{L_{eq}s^2 + (K_{ps}K_{pwm}\frac{V_{dc}}{2} + R_{eq})s + K_{is}K_{pwm}\frac{V_{dc}}{2}} \tag{6}$$

onde:

K_{ps} e K_{is} representam os respectivos ganhos proporcional e integral do controlador PI de corrente; K_{pwm} é o ganho PWM; L_{eq} é a indutância equivalente definida por $L_{eq} = N^2 L_{dt} + L_{fs}$, sendo L_{fs} a indutância do filtro série,

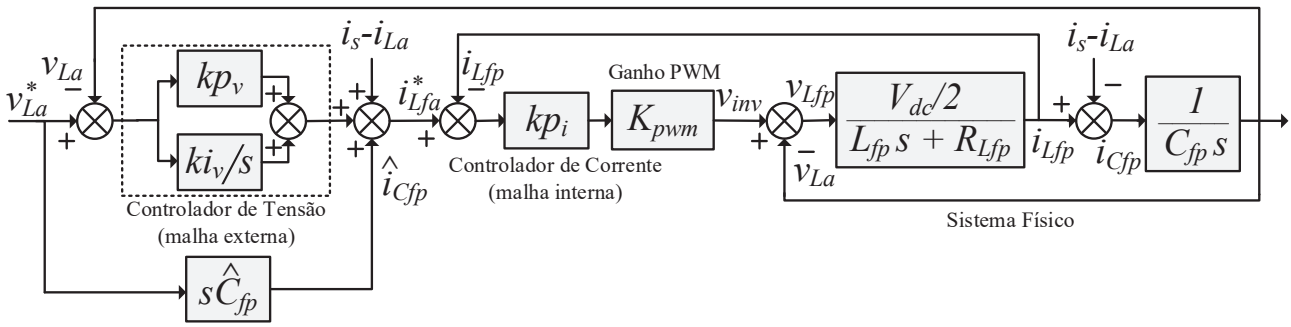


Fig. 5. Diagrama em blocos das malhas de controle de tensão e do modelo médio do conversor paralelo.

L_{dt} a indutância de dispersão refletida ao primário do transformador de acoplamento série, N a relação de transformação do transformador série (N = 1); R_{eq} é a resistência equivalente definida por $R_{eq} = N^2 R_{dt} + R_{fs}$, sendo R_{dt} a resistência interna do transformador série; R_{fs} a resistência interna do indutor série; e V_{dc} representa a tensão total do barramento CC, sendo esta composta pela soma das tensões sobre os capacitores do barramento, ou seja, $V_{dc} = V_{dc1} + V_{dc2}$.

C. Tensões de Referência do Conversor Paralelo

A tensão de saída da fase "*a*" é controlada para estar em fase com a tensão da rede elétrica. Desta forma, conhecido o ângulo de fase estimado da rede θ, bem como a amplitude desejada da tensão na carga V_{Lp}, as referências das tensões de saída são obtidas por:

$$v_{La}^* = V_{Lp}\, sin(\theta) \tag{7}$$

$$v_{Lb}^* = V_{Lp}\, sin(\theta - 120^o) \tag{8}$$

$$v_{Lc}^* = V_{Lp}\, sin(\theta + 120^o). \tag{9}$$

D. Controladores de Tensão do Conversor Paralelo

A Figura 5 apresenta, por meio de um diagrama em blocos, as malhas de controle de tensão, bem como o modelo médio do conversor paralelo considerando apenas a fase "*a*". As multi-malhas de controle são implementadas por uma malha interna de corrente, onde é utilizado apenas um controlador proporcional, e uma malha externa de tensão, na qual é utilizado um controlador PI. Sendo assim, a partir do diagrama da Figura 4, a função de transferência do sistema pode ser escrita por:

$$\frac{v_{La}(s)}{v_{La}^*(s)} = \frac{A(X_1 s^2 + X_2 s + X_3)}{Y_1 s^3 + Y_2 s^2 + Y_3 s + Y_4} \tag{10}$$

onde
$A = K_{pwm}(V_{dc}/2)$;
$X_1 = \hat{C}_{fp} Kp_i$;
$X_2 = Kp_v Kp_i$; $X_3 = Ki_v Kp_i$;
$Y_1 = L_{fp} C_{fp}$; $Y_2 = C_{fp}\left[Kp_i K_{pwm}(V_{dc}/2) + R_{Lfp}\right]$;
$Y_3 = \left[Kp_v Kp_i K_{pwm}(V_{dc}/2) + 1\right]$; e
$Y_4 = Ki_v Kp_i K_{pwm}(V_{dc}/2)$.

Com base em (10), Kp_v e Ki_v representam os respectivos ganhos proporcional e integral do controlador PI da malha externa de tensão, Kp_i é o ganho proporcional da malha interna de corrente, K_{pwm} é o ganho PWM, C_{fp} é o capacitor de filtragem, $\hat{C}_{fp}$ é o capacitor de filtragem estimado, L_{fp} é a indutância de filtragem, R_{Lfp} é a resistência interna do indutor de filtragem L_{fp} e V_{dc} é a tensão total do barramento CC.

Como mostrado na Figura 5, uma malha de controle *feed-forward* é usada no controle. A corrente $\hat{\imath}_{C_{fp}}$ do capacitor de filtragem $\hat{C}_{fp}$ é estimada, uma vez que esta não é medida/ sensorada.

E. Controlador de Tensão do Barramento CC

Adotando um procedimento similar ao apresentado em [22], é possível obter o diagrama de controle de tensão do barramento CC como apresentado na Figura 6. Sendo assim, a função de transferência de malha fechada em pequenos sinais do sistema de controle do barramento CC é dada por:

$$\frac{\hat{v}_{dc}(s)}{\hat{v}_{dc}{}^*(s)} = \frac{v_d K_{Pdc} s + v_d K_{Idc}}{C_{dc} V_{dc} s^2 + v_d K_{Pdc} s + v_d K_{Idc}} \tag{11}$$

onde:
K_{Pdc} e K_{Idc} são os respectivos ganhos proporcional e integral do controlador PI do barramento CC; C_{dc} é a capacitância equivalente do barramento CC; V_{dc} é a tensão total do barramento CC e $v_d = \sqrt{3/2}\, V_{sp}$ representa a tensão direta no sistema de eixos no referencial síncrono.

A equação (11) foi obtida considerando que a carga é alimentada por um sistema trifásico, cujas tensões são senoidais e equilibradas. Além disso, também foi admitido que a corrente drenada da rede elétrica é senoidal e em fase com a tensão também senoidal, ou seja, o UPQC-Mono-Tri opera com FP unitário.

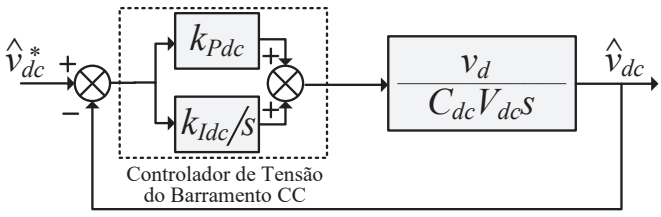


Fig. 6. Diagrama em blocos do sistema de controle de tensão do barramento CC.

IV. FLUXO DE POTÊNCIA ATRAVÉS DOS CONVERSORES SÉRIE E PARALELO

Esta seção tem a finalidade de mensurar quantitativamente e em regime permanente, as potências aparentes que fluem através dos conversores série (S_{sc}) e paralelo (S_{pc_a}) conectado à fase "*a*" da carga, normalizadas em função da potência aparente total da carga (S_L). O conversor paralelo conectado à fase "*a*" do UPQC-Mono-Tri terá que, necessariamente, processar mais potência quando comparado aos os outros conversores conectados às fases "*b*" e "*c*" da carga. Neste caso, maior atenção deve ser dada a este conversor no que diz respeito ao seu dimensionamento.

Para a análise do fluxo de potência são levados em consideração a relação entre os valores eficazes das tensões fundamentais de saída V_L e da rede V_{s1} (V_L/V_{s1}), assim como os fatores de potência fundamentais ($\cos\phi_{1a}$, $\cos\phi_{1b}$, $\cos\phi_{1c}$) e as distorções harmônicas totais de corrente de cada uma das fases da carga ($DHTi_{La}$, $DHTi_{Lb}$ e $DHTi_{Lc}$).

A. Fluxo de Potência Aparente - Conversor Série

Para efeito de análise, em regime permanente, as seguintes condições são consideradas para a determinação o fluxo de potência através do conversor série: i. a corrente de entrada é senoidal (sem harmônicos) e encontra-se em fase com a componente fundamental da tensão da rede; ii. a tensão da carga na fase "*a*" é senoidal (sem harmônicos) e encontra-se em fase com a componente fundamental da tensão da rede (v_{s1}); iii. a tensão da rede possui harmônicos de tensão; iv. as tensões da carga são senoidais e equilibradas e possuem o mesmo valor eficaz, ou seja, $V_{L_abc} = V_L$; v. os valores eficazes das tensões fundamentais entre a entrada e saída do UPQC-Mono-Tri se situam dentro de um limite de $\pm$ 25%, ou seja, 0,75 < V_{s1}/V_L < 1,25. Assim, o módulo da potência aparente do conversor série é dado por:

$$|S_{sc}| = P_L\sqrt{\left(1-\frac{V_L}{V_{s1}}\right)^2 + DHT_{Vs}^2} \tag{12}$$

onde:

$P_L = P_a + P_b + P_c$ é a potência ativa total da carga e DHT_{Vs} é a distorção harmônica total da tensão da rede.

Supondo cargas balanceadas, de modo que as potências aparentes fundamentais das fases *abc* sejam iguais entre si, ou seja, $S_{1a} = S_{1b} = S_{1c}$, o módulo da potência normalizada $|S_{sc}/S_L|$ é dado por:

$$\left|\frac{S_{sc}}{S_L}\right| = \frac{K\sqrt{\left(1-\frac{V_L}{V_{s1}}\right)^2 + DHT_{Vs}^2}}{\sqrt{1+DHTi_{La}^2}+\sqrt{1+DHTi_{Lb}^2}+\sqrt{1+DHTi_{Lc}^2}} \tag{13}$$

onde:

$K = (\cos\phi_{1a} + \cos\phi_{1b} + \cos\phi_{1c})$.

A Figura 7.a apresenta a curva normalizada $|S_{sc}/S_L|$ onde percebe-se claramente que dois fatores influenciam mais significativamente no aumento da potência processada pelo conversor série, sendo eles a relação V_{s1}/V_L e a DHT_{Vs}. Para a obtenção das curvas "a1" foram consideradas DHT_{Vs}= 0 %, $\cos\phi_{1abc}$ = 1,0 e $DHTi_{Labc}$ variando de 0% a 90%. Já para as curvas "b1" foram consideradas DHT_{Vs} = 0 %, $\cos\phi_{1abc}$ = 0,7 e $DHTi_{Labc}$ variando de 0% a 90%. Por fim, para as curvas "a2" foram consideradas DHT_{Vs} = 30 %, $\cos\phi_{1abc}$ = 1,0 e $DHTi_{Labc}$ variando de 0% a 90%.

Observa-se que o conversor série sempre opera com potências inferiores à potência aparente nominal da carga. Assim, pelas condições de operação apresentadas na Figura 7.a, para atender ao caso mais crítico onde $V_{s1} = 0{,}75\,V_L$ (curvas a2), o conversor série deve ser dimensionado com potência em torno de apenas 45% da potência nominal do sistema, o que representa uma vantagem quando comparado com as topologias convencionais de conversores Mono-Tri.

B. Fluxo de Potência Aparente - Conversor Paralelo

Para o cálculo da potência aparente processada na fase "*a*" do conversor paralelo foi considerada que a tensão da carga v_{La}, a tensão de rede v_s e a corrente da rede i_s são senoidais e livre de harmônicos. Além disso, considerou-se que as três grandezas citadas estão em fase uma com as outras. Assim, o módulo da potência aparente do conversor paralelo, normalizada em função da potência aparente da carga, $|S_{pc_a}/S_L|$ é dado por:

$$\left|\frac{S_{pc_a}}{S_L}\right| = \frac{\sqrt{A\cos^2\phi_{1a} + 2B\cos\phi_{1a} + C + D}}{\sqrt{1+DHTi_{La}^2}+\sqrt{1+DHTi_{Lb}^2}+\sqrt{1+DHTi_{Lc}^2}} \tag{14}$$

onde:

$A = \left[\frac{V_L}{V_{s1}}\left(\frac{V_L}{V_{s1}} - 2\right)\right]$;

$B = \left[\frac{V_L}{V_{s1}}\left(\frac{V_L}{V_{s1}} - 1\right)(\cos\phi_{1b} + \cos\phi_{1c})\right]$;

$C = \left(\frac{V_L}{V_{s1}}\right)^2(\cos\phi_{1b} + \cos\phi_{1c})^2$; e

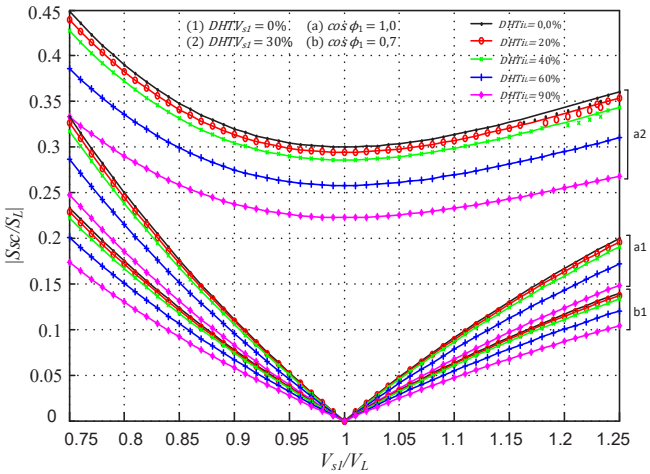
$D = (1 + DHTi_{La}^2)$.

A Figura 7.b apresenta a curva normalizada $|S_{pc_a}/S_L|$, onde percebe-se que mesmo em condições ideais onde V_{s1}/V_L=1, $\cos\phi_{1abc}$ = 1,0 e $DHTi_{Labc}$= 0% ainda há um fluxo de potência fluindo através do conversor paralelo conectado à fase "*a*". Isto acontece devido à potência ativa consumida pelas cargas conectadas às fases "*b*" e "*c*". Para a obtenção das curvas representadas por "a" foram consideradas $\cos\phi_{1abc}$ = 1,0 e $DHTi_{Labc}$ variando de 0% a 90%, enquanto para as curvas "b" foram consideradas $\cos\phi_{1abc}$ = 0,7 e $DHTi_{Labc}$ variando de 0% a 90%.

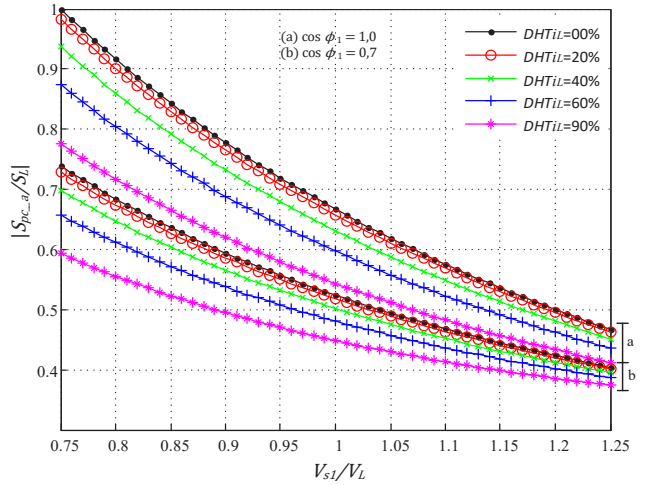
Como dito anteriormente, o conversor paralelo conectado à fase "*a*" da carga sempre opera com potências mais elevadas quando comparado às fases "*b*" e "*c*". Assim, pela Figura 7.b, para atender ao pior caso de operação onde $V_{s1} = 0{,}75\,V_L$, o conversor paralelo deve ser dimensionado com potência equivalente 100% da potência nominal da carga. No entanto, cabe ressaltar que apenas o conversor conectado à fase "*a*" deve atender a esta especificação.

C. Fluxo de Potência Ativa - Conversores Série e Paralelo

Os sentidos do fluxo de potência ativa instantânea "*p=1pu*", podem ser visualizados por meio da Figura 8, na qual foram considerados três situações de operação distintas em regime permanente, ou seja, $V_{s1} = 0{,}75\,V_L$, $V_{s1} = V_L$ e $V_{s1} = 1{,}25\,V_L$. As perdas existentes nos elementos passivos e nas chaves de potência do UPQC-Mono-Tri não são consideradas na análise.



(a)



(b)

Fig. 7. Potências aparentes normalizadas: (a) Conversor Série $|S_{sc}/S_L|$; (b) conversor paralelo fase "*a*" $|S_{pc_a}/S_L|$.

Na Figura 8.a considera-se uma condição de operação de subtensão superestimada equivalente a 25% da rede elétrica, ou seja, $V_{s1} = 0{,}75\,V_L$. Neste caso, observa-se que a potência *p* flui da rede para o conversor paralelo (*1pu*) e do barramento CC para o conversor série (*0,33pu*). Percebe-se que nessa condição de operação (25% de afundamento de tensão), o conversor paralelo conectado à fase "*a*" processa potência equivalente à potência ativa total da carga.

A condição de operação onde $V_{s1} = V_L$ é apresentada na Figura 8.b. Nesta condição, a potência ativa processada pelo conversor série é nula. No entanto, 2/3 (66%) da potência ativa da carga flui através do conversor paralelo conectado à fase "*a*", ou seja, a quantidade de potência ativa necessária para suprir as cargas conectadas às fases "*b*" e "*c*".

Na Figura 8.c tem-se uma condição de operação, também superestimada, de 25% de sobretensão da rede elétrica, ou seja, $V_{s1} = 1{,}25\,V_L$. Neste caso, a potência *p* flui da rede para o conversor paralelo (*0,46pu*) e da rede para o barramento CC através do conversor série (*0,20pu*), totalizando os 2/3 (66%) da potência ativa exigida pelas cargas conectadas às fases "*b*" e "*c*". Para esta condição de operação (25% de sobretensão), o conversor paralelo conectado à fase "*a*" processa menos potência quando comparado à situação de afundamento de tensão (subtensão).

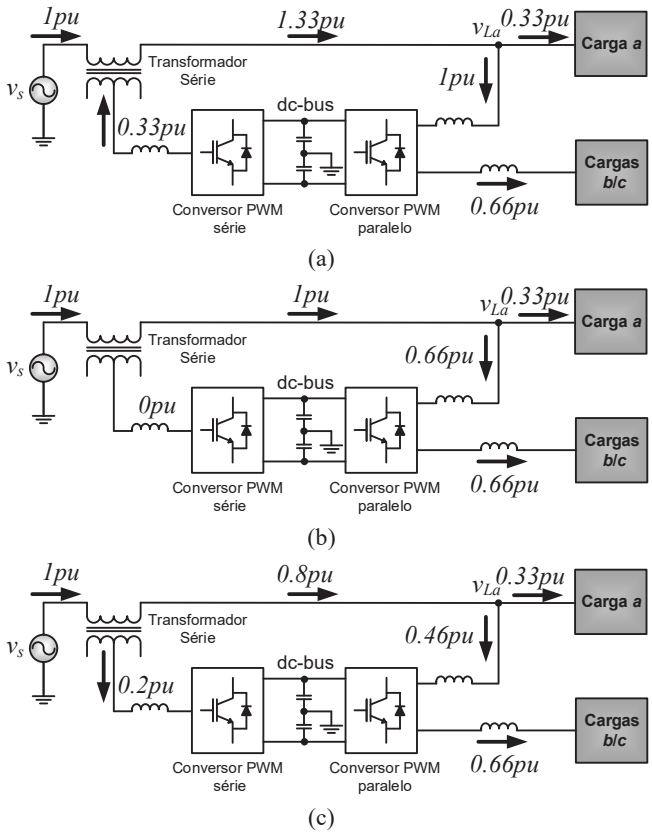


Fig. 8. Fluxo de potência ativa: (a) $V_s = 0{,}75\,V_L$; (b) $V_s = V_L$; (c) $V_s = 1{,}25\,V_L$.

V. RESULTADOS EXPERIMENTAIS

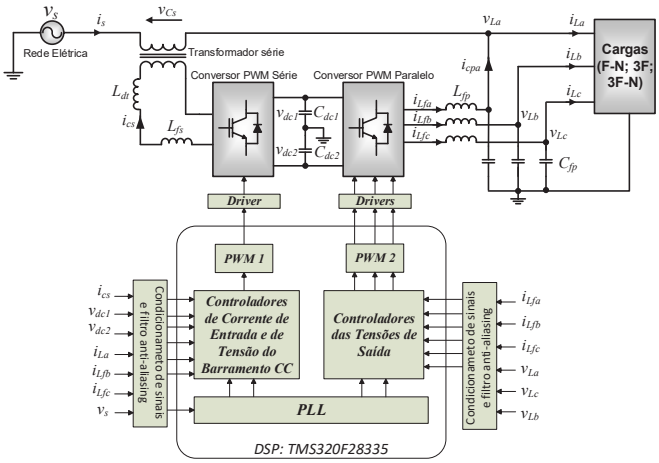
Os desempenhos estáticos e dinâmicos do UPQC-Mono-Tri em estudo foram avaliados por meio de experimentos. O esquema elétrico de potência e de controle são mostrados na Figura 9.a, enquanto a estrutura experimental está apresentada na Figura 9.b.

O conjunto de potência do sistema é constituído por um módulo inversor (SKS 50F B6U, *Semikron*), o qual possui quatro braços de IGBTs SKM100GB 124D (100A/1200V). Um braço inversor é usado para a construção do inversor série, enquanto os outros três braços compõem o inversor paralelo. Esse módulo ainda possui 4 drivers isolados (SKHI22B) e capacitores eletrolíticos que resultam em uma capacitância equivalente igual a 9400 µF no barramento CC.

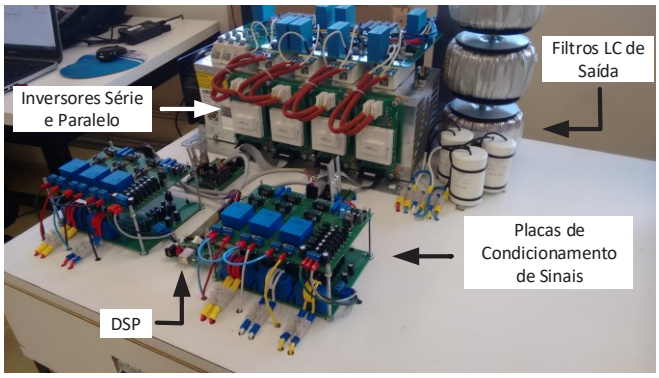
Como pode ser observado na Figura 9.b, os algoritmos de geração de referências de controle, os controladores de corrente e tensão e o sistema PLL foram embarcados em um processador digital de sinais (DSP TMS320F28335, *Texas Instruments*). Sensores de corrente LEM LA 100-P foram usados para medir as correntes de carga, assim como as correntes dos indutores dos inversores série e paralelo usadas no controle. Já as tensões CA de entrada e saída e do barramento CC foram medidas por meio dos sensores de tensão LEM LV 25-P.

Os parâmetros do UPQC-Mono-Tri e as cargas lineares e não lineares utilizadas nos testes experimentais estão mostrados, respectivamente, nas Tabelas I e II, enquanto os ganhos dos controladores, juntamente com suas respectivas especificações de projeto, são apresentados na Tabela III.

Neste trabalho, o método de sintonia dos controladores PI é feita pela resposta em frequência do sistema em malha aberta, considerando a margem de fase e a frequência de cruzamento de ganho em 0dB como especificações de projeto [22]. Para efeito de simplificação, atrasos referentes à implementação digital foram desconsiderados no projeto.



(a)



(b)

Fig. 9. Estrutura experimental do UPQC-Mono-Tri.

TABELA I
Parâmetros Utilizados nos Ensaios do UPQC-Mono-Tri

Potência aparente da carga 1 1Φ	S_{La}=600 VA, S_{Lb}=300 VA, S_{Lc}=400 VA
Potência aparente da carga 2 1Φ	S_{La}= S_{Lb}= S_{Lc}=538 VA
Potência aparente da carga 1 3Φ	S_L = 1860 VA
Potência aparente da carga 2 3Φ	S_L = 1372 VA
Tensão eficaz nominal da rede monofásica	V_s = 127 V
Tensão eficaz nominal da carga trifásica (fase)	$V_{L_a,b,c}$ = 127 V
Frequência nominal da rede	f_s = 60 Hz
Frequência de chaveamento dos inversores	f_{ch} = 20 kHz
Indutâncias do conversor paralelo	$L_{fp_a,b,c}$ = 1,75 mH
Resistências internas dos indutores do conversor paralelo	$R_{Lfp_a,b,c}$ = 0,17 Ω
Capacitâncias dos filtros paralelos	$C_{fp_a,b,c}$ = 50 μF
Indutâncias do conversor série	$L_{fs_a,b,c}$ = 1,75 mH
Resistência interna do indutor (conversor série)	R_{Lfs} = 0,17 Ω
Indutância de dispersão do transformador série	L_{dt} = 0,18 mH
Resistência do transformador série	R_{dt} = 0,162 Ω
Relação de transformação do transformador	N = 1
Tensão do barramento CC	V_{dc} = 500 V
Capacitância do barramento CC	C_{dc} = 9400 μF
Frequência de amostragem do DSP	f_a = 60 kHz
Ganho do modulador PWM	K_{PWM} = 2,66.10^{-4}

TABELA II
Parâmetros das Cargas Utilizadas nos Experimentos

Conjuntos de cargas monofásicas (1Φ)		Fase A	Fase B	Fase C
Retificador 1Φ em ponte completa	1	R=20 Ω L=200 mH	R=40 Ω L=346 mH	R=30 Ω L=400 mH
	2	R=30 Ω	R=30 Ω	R=30 Ω
Cargas trifásicas (3Φ)		Fases ABC		
Retificador 3Φ em ponte completa	1	R=50 Ω		
Motor de indução trifásico	2	220V/1CV (60Hz, 1730 rpm, 4 polos, $\cos\varphi = 0{,}76$, $\eta = 70{,}6\%$)		

O primeiro teste envolvendo o UPQC-Mono-Tri levou em consideração o sistema alimentando o conjunto de cargas 1 monofásicas (Tabela II), conforme pode ser visto na Figura 10. As correntes desbalanceadas de fase (i_{La}, i_{Lb} e i_{Lc}) e a corrente de retorno da carga (i_{Ln}) são mostradas na Figura 10.a. Já na Figura 10.b são apresentadas as tensões de alimentação da carga (v_{La}, v_{Lb} e v_{Lc}) juntamente com a corrente drenada da rede monofásica i_s, onde observa-se que i_s encontra-se em fase com v_{La}. Na Figura 10.c são apresentadas a tensão v_s e a corrente i_s da rede, a qual possui características senoidais e em fase com a tensão, resultando em um elevado FP. A Figura 10.d apresenta a corrente da fase "a" da carga i_{La}, a corrente da rede i_s, bem como a corrente de compensação da fase "a" do conversor paralelo (i_{cpa}). Nota-se que o aspecto da corrente i_{cpa} é próximo ao de uma senoide, indicando que além das componentes harmônicas de carga da fase "a" o conversor paralelo conectado à respectiva fase também processa energia ativa (componente fundamental) destinada a alimentar as cargas conectadas às fases "b" e "c".

No segundo teste a carga 1 trifásica (Tabela II) foi alimentada pelo UPQC-Mono-Tri, conforme apresentado pela Figura 11, enquanto no teste 3 (Figura 12) são apresentados os resultados do terceiro teste considerando a carga 2 trifásica (Tabela II).

Percebe-se por meio dos testes apresentados nas Figuras 10, 11 e 12 que os comportamentos estáticos da corrente da rede (i_s) e das tensões na carga (v_{La}, v_{Lb} e v_{Lc}) são muito similares entre si.

Para os testes 1 e 2, as correntes de compensação i_{cpa} são compostas por parcelas não ativas (harmônicos e reativos) envolvidas na compensação da corrente da carga (fase "a"), bem como por parcelas ativas de corrente destinadas à alimentação das fases b e c. Já para o teste 3, por se tratar de um motor de indução trifásico, a corrente i_{cpa} é composta, predominantemente, por componentes fundamentais, ou seja, ativa e reativa.

A Tabela IV apresenta as DHTs das grandezas de corrente e tensão para todos os experimentos realizados. As DHTs foram medidas por meio de um analisador de qualidade de energia (AQE) (Fluke 43B). Observa-se que em todos os casos as DHTs da corrente da rede i_s e das tensões da carga v_{L_abc} ficaram abaixo de 5%.

A Tabela V apresenta as potências e os fatores de potência medidos nas cargas (L) e na rede elétrica (R), também utilizando o mesmo AQE (Fluke 43B).

Foram consideradas as potências na carga bem como em cada uma das fases (*abc*), nas quais foram medidas as potências aparentes (S), as potências ativas (P) e as potências não ativas (N). A potência N (VAr), definida em [23], contempla todas as potências não ativas, ou seja, as potências reativas e/ou harmônicas.

Também são apresentados na Tabela V o FP e o FP fundamental (FP_1), conhecido como Fator de Deslocamento (FD) [23]. Considerando todos os experimentos realizados, pode-se notar que o FP na rede é muito próximo de um.

TABELA III
Ganhos dos Controladores e Especificações de Projeto

	Conversor Paralelo			Conversor Série	
Eixos	Laço Externo		Laço Interno	Kp_{s_a}	Ki_{s_a}
	Kp_{v_abc}	Ki_{v_abc}	Kp_{i_abc}		
abc	0,1337	391,6086	137,45	248,043	$1{,}0455.10^6$
Barramento CC				K_{Pdc}	K_{Idc}
				0,618	2,487
Desbalanço do Barramento CC				K_{Pdes}	K_{Ides}
				0,2853	1,8965
Frequência de cruzamento da malha interna de corrente do conversor paralelo				$\omega_{cpi} = 10{,}47.10^3\ rad/s$	
Frequência de cruzamento da malha externa de tensão do conversor paralelo				$\omega_{cpv} = 3{,}49.10^3\ rad/s$	
Margem de fase				$MF_p = 50^o$	
Frequência de cruzamento da malha de corrente do conversor série				$\omega_{csi} = 19{,}33.10^3\ rad/s$	
Margem de fase				$MF_s = 78^o$	
Frequência de cruzamento da malha de tensão do barramento CC				$\omega_{c_cc} = 25{,}13\ rad/s$	
Margem de fase				$MF_{v_{cc}} = 75^o$	
Frequência de cruzamento(malha de controle de desequilíbrio do barramento CC				$\omega_{c_des} = 37{,}67\ rad/s$	
Margem de fase				$MF_{des} = 80^o$	

TABELA IV
DHT das Grandezas de Corrente e Tensão

CARGAS	Distorção Harmônica Total (DHT%)							
	i_{La}	i_{Lb}	i_{Lc}	i_s	v_{La}	v_{Lb}	v_{Lc}	v_s
Carga 1 (1Φ)	34,4	32,8	30,8	4,0	3,4	3,8	3,2	2,3
Carga 1 (3Φ)	27,1	26,3	23,6	4,0	3,7	4,5	4,5	2,3
Carga 2 (3Φ)	2,6	2,6	2,6	4,3	1,5	1,5	1,4	2,0

TABELA V
Potências (S, P e N) e Fatores de Potência (FP e FP_1)

Potências e FPs		Carga 1 (1Φ)			Carga 1 (3Φ)			Carga 2 (3Φ)
		a	*b*	*c*	*a*	*b*	*c*	*abc*
S (kVA)	*L*	0,61	0,31	0,39	0,50	0,48	0,51	1,40
	R	1,7	-	-	2,04	-	-	1,51
P (kW)	*L*	0,56	0,29	0,36	0,48	0,46	0,48	1,15
	R	1,71	-	-	2,02	-	-	1,51
N (kVAr)	*L*	0,23	0,13	0,15	0,15	0,15	0,15	0,79
	R	0,24	-	-	0,30	-	-	0,26
FP	*L*	0,93	0,92	0,92	0,96	0,96	0,96	0,83
	R	0,99	-	-	0,99	-	-	0,98
FP_1	*L*	1,00	0,99	0,99	1,00	1,00	1,00	0,83
	R	1,00	-	-	1,00	-	-	1,0

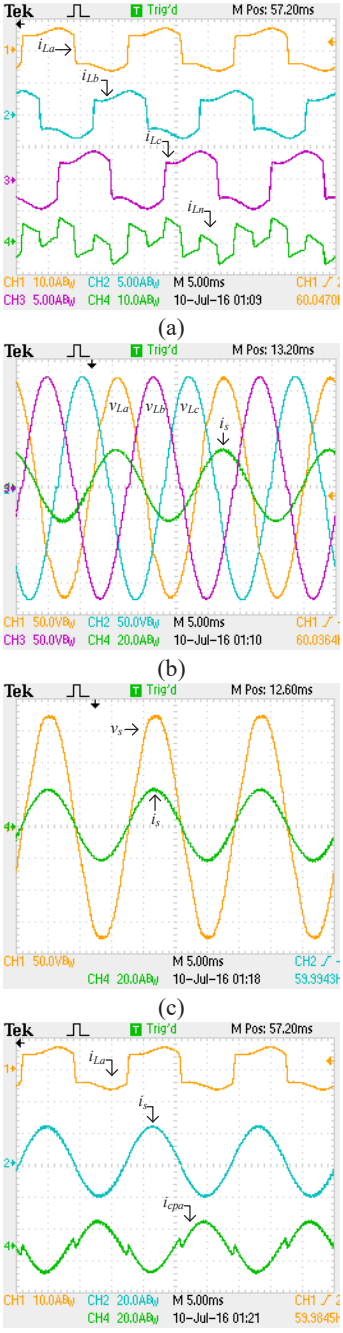
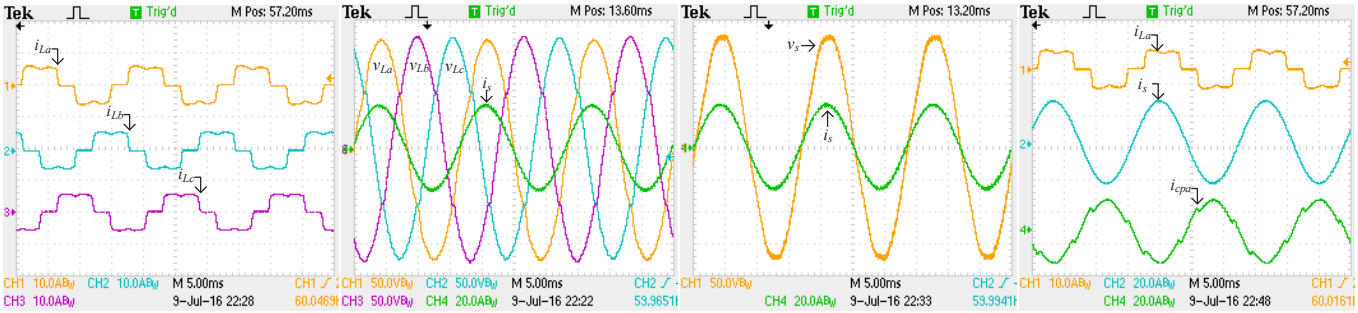


Fig. 10. UPQC-Mono-Tri (Carga 1 1Φ) (5 ms/div): (a) Correntes da carga i_{La} e i_{Ln} (10 A/div), i_{Lb} e i_{Lc} (5 A/div); (b) Tensões da carga v_{L_abc}, (50V/div) e corrente da rede i_s (20 A/div); (c) Tensão (50V/div) e corrente (20A/div) da rede; (d) Correntes i_{La} (10A/div), i_s (20A/div) e do conversor paralelo i_{cpa} (20A/div).

O comportamento estático das tensões do UPQC-Mono-Tri pode ser observado por meio da Figura 13, onde o conjunto de cargas 2 monofásicas são alimentadas. São apresentadas a tensão de carga da fase "*a*" v_{La}, tensão da rede/entrada v_s e a tensão sobre o transformador série v_{Cs}. Foram considerados nos teste apresentados nas Figuras 13.a, 13.b e 13.c valores eficazes distintos de tensão entre a rede e a tensão da fase "*a*", ou seja, $V_s \cong V_{La}$, $V_s > V_{La}$ e $V_s < V_{La}$. Já na Figura 13.d a tensão da rede foi emulada por uma fonte de tensão CA (FCATH 450-22-50, *Supplier*), onde

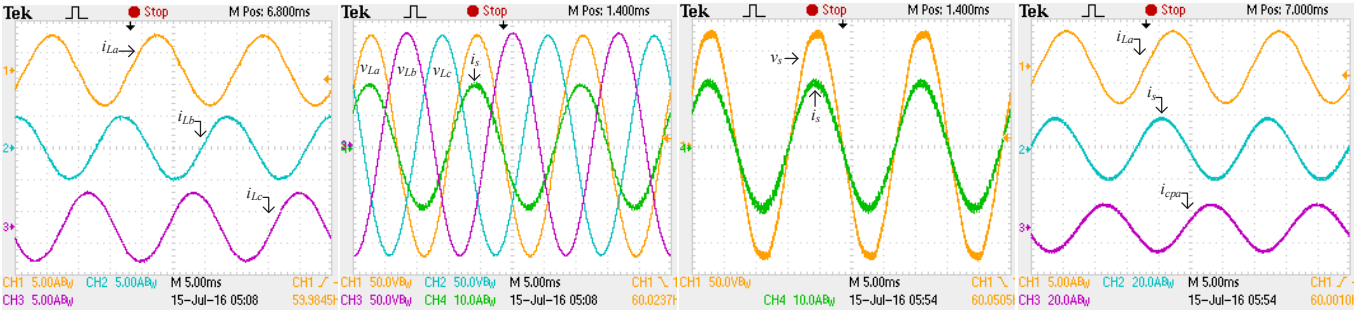
introduziu-se 12% de DHT$_v$. Já na carga, a DHT$_v$ encontrada foi de 4%. Nota-se que a diferença entre a tensão da rede e a tensão da fase "a" da carga aparecem sobre os terminais do transformador de acoplamento série (v_{Cs}). Esta tensão é composta por componentes harmônicas, bem como por uma componente na frequência fundamental.

A Figura 14 apresenta resultados experimentais que permitem avaliar o comportamento dinâmico do UPQC-Mono-Tri, utilizando o conjunto de cargas 2 monofásicas (Carga 2 1Φ) descrito na Tabela II. Na Figura 14.a é mostrado o comportamento dinâmico do sistema mediante degraus de entrada e saída de carga. Além da corrente da rede i_s, são apresentadas a tensão total do barramento o barramento CC (v_{dc}) e as tensões sobre os capacitores v_{dc1} e v_{dc2}. Pode-se observar a atuação do controlador de tensão do barramento CC sobre a corrente de entrada do sistema de forma a manter constante a tensão do barramento CC em 500V. O equilíbrio de tensão nos capacitores fica mais evidente por meio da Figura 14.b, na qual é obtida visualizando uma janela de tempo (*zoom*), obtida a partir da Figura 14.a. Pela Figura 14.c observa-se a existência de um afundamento de tensão (*sag*) equivalente a 15% da tensão nominal da rede, com duração de 10 ciclos, ou seja, 0,166 ms. Observa-se que durante o afundamento, a tensão de saída na fase "a" permanece inalterada, o que indica que a mesma não é afetada pelo distúrbio. A tensão sobre os terminais do transformador de acoplamento série (v_{Cs}) evidencia o bom comportamento do sistema frente ao referido distúrbio.



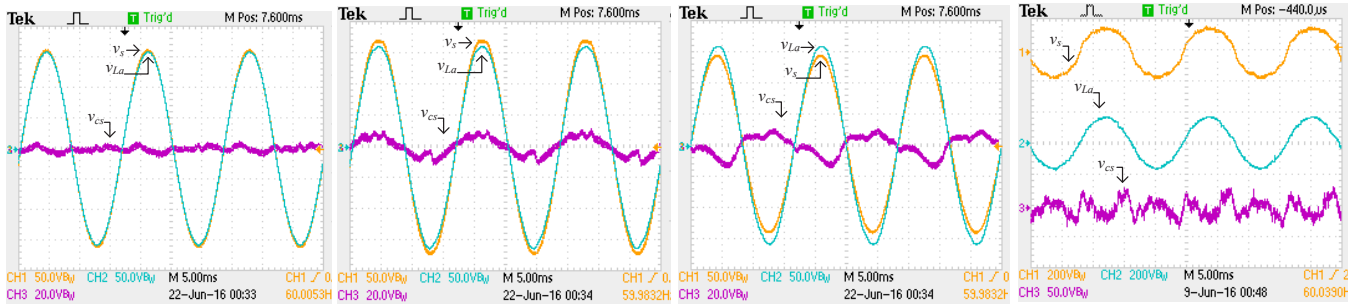
(a) (b) (c) (d)

Fig. 11. Correntes e tensões do UPQC-Mono-Tri alimentando a carga 1 trifásica (5 ms/div): (a) Correntes da carga i_{La}, i_{Lb}, e i_{Lc} (10 A/div); (b) Tensões da carga v_{La}, v_{Lb} e v_{Lc} (50V/div) e corrente da rede i_s (20 A/div); (c) Tensão da rede (50V/div) e corrente da rede (20A/div); (d) Correntes da fase "a" da carga i_{La} (10A/div), da rede i_s (20A/div) e da fase "a" do conversor paralelo i_{cpa} (20A/div).



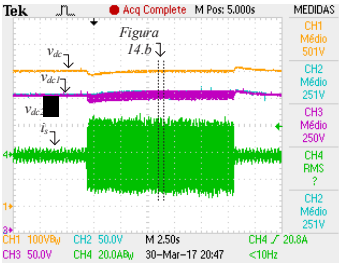
(a) (b) (c) (d)

Fig. 12. Correntes e tensões do UPQC-Mono-Tri alimentando a carga 2 trifásica (5 ms/div): (a) Correntes da carga i_{La}, i_{Lb}, e i_{Lc} (5 A/div); (b) Tensões da carga v_{La}, v_{Lb} e v_{Lc} (50V/div) e corrente da rede i_s (10 A/div); (c) Tensão da rede (50V/div) e corrente da rede (10A/div); (d) Correntes da fase "a" da carga i_{La} (5A/div), da rede i_s (20A/div) e da fase "a" do conversor paralelo i_{cpa} (20A/div).

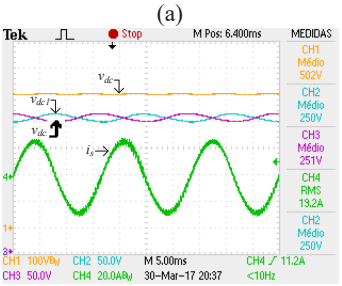


(a) (b) (c) (d)

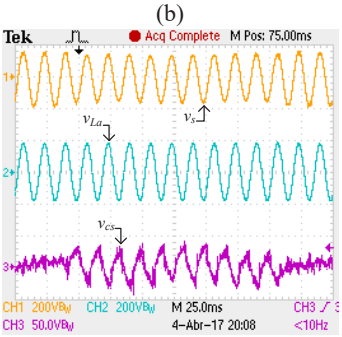
Fig. 13. UPQC-Mono-Tri operando com o conjunto de cargas 2 monofásicas: Tensões da rede v_s e da carga v_{La} (50 V/div, 5 ms/div) e tensão do transformador de acoplamento série v_{Cs} (20 V/div, 5 ms/div): (a) $V_s \cong V_{La}$, (b), $V_s > V_{La}$, (c) $V_s < V_{La}$; (d) $V_s \cong V_{La}$: v_s e v_{La} (200 V/div, 5 ms/div) e v_{Cs} (50 V/div, 5 ms/div).



(a)



(b)



(c)

Fig. 14. Ensaios dinâmicos do UPQC-Mono-Tri. (a) Degraus de entrada e saída de carga (2,5s/div): Tensão total do barramento CC (100V/div), Tensões dos capacitores de barramento CC (50V/div) e corrente da rede (20A/div); (b) Detalhe da Figura 14.a (5ms/div); (c) Sag de tensão (25ms/div): Tensões da rede v_s (200V/div), da carga v_{La} (176V/div) e do transformador série v_{Cs} (50V/div).

VI. CONCLUSÕES

Este trabalho apresentou a validação experimental de um sistema local de distribuição de energia trifásico a quatro fios. O sistema, indicado para aplicações em áreas rurais ou remotas onde redes de distribuição trifásicas não são acessíveis, foi concebido com base em um condicionador de qualidade de energia unificado.

Com capacidade de filtragem série e paralela, utilizou-se para compor o UPQC-Mono-Tri duas topologias de inversores. Com a primeira (*Half-Bridge*) implementou-se o conversor série monofásico e com a segunda (*3-Leg*) implementou-se o conversor paralelo trifásico. Assim, utilizando-se uma estratégia de compensação dual, o sistema proposto foi capaz de alimentar cargas trifásica lineares e não-lineares atuando com capacidade de filtragem ativa universal, ou seja, atuando como FAPS e FAPP.

Além disso, foi apresentado um procedimento que permite dimensionar os conversores série e paralelo da estrutura de potência sob diversas condições de operação, tanto da rede quanto da carga. Os comportamentos estáticos e dinâmicos do UPQC-Mono-Tri foram avaliados experimentalmente, comprovando o bom desempenho do sistema.

REFERÊNCIAS

[1] N. Hosseinzadeh, J. Rattray, "Economics of Upgrading SWER Distribution Systems", *in Proc. of Australasian Universities Power Engineering Conference (AUPEC),* pp. 1-7, 2008.

[2] F. Rosa, S. T. Mak, "A Look into Steady State and Transient Performance of Power Lines Integrating Single Wire Earth Return Circuits" *in Proc. of IEEE Power Engineering Society General Meeting*, pp. 1-7, 2007.

[3] A. Guinane, G. M. Shafiullah, A. M. T. Oo, B. E. Harvey, "Voltage Fluctuations in PV Penetration on SWER Networks - A Case Study for Regional Australia", *in Proc. of IEEE Power and Energy Society General Meeting*, pp. 1-6, 2012.

[4] P. J. Wolf, "Capacity Improvements for Rural Single Wire Earth Return Systems" *in Proc. of 7th International Power Engineering Conference (IPEC)*, pp. 1-8, 2005.

[5] S. N. Lowry, A. M. T. Oo, G. Robinson, "Deployment of Low Voltage Switched Capacitors on Single Wire Earth Return Networks", *in Proc. of 22nd Australasian Universities Power Engineering Conference (AUPEC)*, pp. 1-5, 2012.

[6] M. D. Bellar, M. Aredes, J. L. Silva Neto, L. G. B. Rolim, F. C. Aquino, V. C. Petersen, "Single-Phase Static Converters for Rural Distribution System", *in Proc. of IEEE International Symposium on Industrial Electronics (ISIE)*, pp.1237-1242, 2004.

[7] R. Z. Scapini, C. Rech, T. B. Marchesan, L. Schuch, R. F. Camargo, L. Michels, "Distribution STATCOM Integrated to a Single-Phase to Three-Phase Converter" *in Proc. of 40th Annual Conference of IEEE Industrial Electronics Society (IECON)*, pp.1423-1429, 2014.

[8] A. Helwig, T. Ahfock, "Long-Life Nickel Iron Battery Functionality/Cost Comparison for Peak Demand SWER Network Voltage Support Application", *in Proc. of 23th Australasian Universities Power Engineering Conference (AUPEC)*, pp. 1-6, 2013.

[9] E. C. Santos, C. B. Jacobina, G. A. A. Carlos, I. S. Freitas, "Component Minimized AC–DC–AC Single-Phase to Three-Phase Four-Wire Converters", *IEEE Transaction on Industrial Electronics*, vol.58, nº 10, pp. 4624-4635, October 2011.

[10] N. Rocha, I. A. C. Oliveira, E. C. Menezes, C. B. Jacobina, J. A. A. Dias, "Single-Phase to Three-Phase Converters with Two Parallel Single-Phase Rectifiers and Reduced Switch Count", *IEEE Transactions on Power Electronics*, vol. 31, nº 5, pp. 3701-3716, May 2016.

[11] E. C. Santos Jr, C. B. Jacobina, J. A. A. Dias, N. Rocha, "Single-Phase to Three-Phase Universal Active Power Filter", *IEEE Transactions on Power Delivery*, vol. 26, nº 3, pp. 1361-1371, July 2011.

[12] F. A. Negrão, S. A. O. Silva, R. A. Modesto, "A Single-Phase to Three-Phase UPQC Topology with Universal Filtering Capabilities," *in Proc. of 13th Brazilian Power Electronics Conference and 1st IEEE Southern Power Electronics Conference*, pp. 1-6, 2015.

[13] V. Khadkikar, A. Chandra, A. O. Barry, T. D. Nguyen, "Power Quality Enhancement Utilising Single-Phase Unified Power Quality Conditioner: Digital Signal Processor-Based Experimental Validation," *IET Power Electronics*, vol. 4, nº 3, pp. 323–331, March 2011.

[14] H. Fujita, H. Akagi, "The Unified Power Quality Conditioner: The Integration of Series and Shunt Active Filters", *IEEE Transactions on Power Electronics*, vol. 13, nº 2, pp. 315-322, March 1998.

[15] M. Aredes, K. Heumann, E.H. Watanabe, "A Universal Active Power Line Conditioner", *IEEE Transactions on Power Delivery*, vol. 13, nº 2, pp. 545-551, April 1998.

[16] R. J. M. Santos, J. C. Cunha, M. Mezaroba, "A Simplified Control Technique for a Dual Unified Power Quality Conditioner", *IEEE Transactions on Industrial Electronics*, vol. 61, nº 11, pp. 5851–5860, November 2014.

[17] B. W. França, L. F. Silva, M. A. Aredes, M. Aredes, "An Improved iUPQC Controller to Provide Additional Grid-Voltage Regulation as a STATCOM," *IEEE Transactions on Industrial Electronics*, vol. 62, nº 3, pp. 1345-1352, March 2015.

[18] R. A. Modesto, S. A. O. Silva, A. A., Oliveira Jr., V. D. Bacon, "Versatile Unified Power Quality Conditioner Applied to Three-Phase Four-Wire Distribution Systems Using a Dual Control Strategy," *IEEE Transactions on Power Electronics*, vol. 31, nº 8, pp. 5503-5514, August 2016.

[19] V. D. Bacon, S. A. O. Silva, L. B. G. Campanhol, B. A. Angélico, "Stability Analysis and Performance Evaluation of a Single-Phase Phase-Locked Loop Algorithm Using a Non-Autonomous Adaptive Filter", *IET Power Electronics*, vol. 7, nº 8, pp. 2081-2092, August 2014.

[20] S. A. O. Silva, R. A. Modesto, "A Comparative Analysis of SRF-based Controllers Applied to Active Power Line Conditioners", *in Proc. of 34th Annual Conference of IEEE Industrial Electronics Society (IECON)*, pp.405-410, 2008.

[21] R. Barriviera, S. A. O. Silva, R. S. Kaster, R. A. Modesto, "Implementação de um Sistema UPS Monofásico com Condicionamento Ativo de Potência Série e Paralelo", *Eletrônica de Potência* –SOBRAEP, vol. 17, nº 4, pp. 753-762, Setembro/Novembro, 2012.

[22] B. A. Angélico, L. B. G. Campanhol, S. A. O. Silva, "Proportional-Integral /Proportional-Integral-Derivative Tuning Procedure of a Single-Phase Shunt Active Power Filter Using Bode Diagram," *IET Power Electronics*, vol. 8, nº 9, pp. 1–13, August 2014.

[23] *IEEE Standard Definitions for the Measurement of Electric Power Quantities under Sinusoidal, Nonsinusoidal, Balanced, or Unbalanced Conditions*, IEEE Std. 1469-2010, 2010.

DADOS BIOGRÁFICOS

Sérgio Augusto Oliveira da Silva é engenheiro eletricista (1987), mestre em engenharia elétrica (1989) pela Universidade Federal de Santa Catarina (UFSC) e doutor em engenharia elétrica (2001) pela Universidade Federal de Minas Gerais.

Atualmente é professor titular do departamento de engenharia elétrica da Universidade Tecnológica Federal do Paraná, Câmpus Cornélio Procópio (UTFPR-CP), onde também coordena o Laboratório de Eletrônica de Potência, Qualidade de Energia e Energias Renováveis (LEPQER). Suas áreas de interesse são: sistemas de energia ininterrupta, condicionadores de energia, sistemas de controle empregando DSC, qualidade de energia elétrica e sistemas de energia renováveis.

É membro da SOBRAEP e do IEEE-IES.

Fernando Alves Negrão é engenheiro eletricista (2002) pela Universidade Estadual de Londrina (UEL) e mestre em engenharia elétrica (2016) pela Universidade Tecnológica Federal do Paraná, Câmpus Cornélio Procópio (UTFPR-CP).

Desde 2014 é professor do curso de engenharia elétrica da Universidade Norte do Paraná (UNOPAR). Suas áreas de interesse são: condicionadores de energia, qualidade de energia elétrica, processamento digital de sinais e compatibilidade e interferência eletromagnética.

É membro da SOBRAEP.

RETIFICADOR TRIFÁSICO ISOLADO UTILIZANDO UM AUTOTRANSFORMADOR E DOIS RETIFICADORES MONOFÁSICOS DE ESTÁGIO ÚNICO

Janderson Duarte[1], Alceu André Badin[2]
[1]Instituto Federal de Santa Catarina - IFSC, Joinville – SC, Brasil
[2]Universidade Tecnológica Federal do Paraná, Curitiba – PR, Brasil
e-mail: janderson.duarte@ifsc.edu.br, badin@utfpr.edu.br

***Resumo* – Este artigo apresenta um retificador trifásico isolado com correção do fator de potência utilizando um auto-transformador Scott e utilizando dois retificadores monofásicos isolados com correção do fator de potência de estágio único baseado no conversor Full-Bridge Flyback. O auto-transformador Scott faz uma redução de fases permitindo que se utilize dois retificadores de estágio único. O conversor proposto pode operar como elevador ou abaixador de tensão. Este artigo apresenta a análise teórica do conversor operando em modo de condução contínua, bem como os resultados experimentais baseado em um protótipo de 4 kW.**

***Palavras-chave* – Autotransformador Scott, Correção do Fator de Potência, Flyback-Full Bridge, Retificador Trifásico.**

ISOLATED THREE-PHASE POWER-FACTOR CORRECTION RECTIFIER USING AN AUTOTRANSFORMER AND TWO SINGLE-PHASE SINGLE-STAGE RECTIFIERS

***Abstract* – This paper presents an isolated three-phase power-factor correction rectifier using a Scott autotransformer and using two single-phase single-stage isolated current rectifiers with power factor correction, based on a Full-Bridge Flyback converter. The Scott autotransformer provides a phase reduction allowing the use of two single-phase rectifiers. The proposed converter can operate as a step-down or a step-up voltage. This paper presents the theoretical analysis of the converter for continuous conduction mode as well as experimental results based on a 4 kW prototype.**

***Keywords* – Flyback-Full Bridge, Power Factor Correction, Scott Autotransformer, Three-Phase Rectifier.**

Artigo submetido em 01/03/2017. Primeira revisão em 23/04/2017. Aceito para publicação em 31/05/2017 por recomendação do Editor Marcelo Cabral Cavalcanti.

I. INTRODUÇÃO

Existem diversas aplicações que utilizam conversores chaveados que necessitam em sua entrada um barramento de tensão contínua (CC) e que seja isolado da rede elétrica. A conversão de tensão alternada (CA) para contínua pode ser feita através de retificadores a diodos com um filtro capacitivo. Estes retificadores drenam da rede uma corrente não senoidal e injetam uma grande quantidade de harmônicas de corrente na rede, causando queda de tensão, interferência eletromagnéticas e consumindo uma corrente maior do que o necessário devido ao baixo fator de potência. Atualmente, existem normas que limitam o valor das harmônicas de corrente em equipamentos eletrônicos afim de melhorar a qualidade de energia [1], [2]. Com isso, aumentou o interesse por retificadores com Correção do Fator de Potência (CFP). Uma correção passiva do fator de potência pode ser feita adicionando indutores na entrada dos retificadores, mas este indutor é grande e caro devido ao fato de operar em baixa frequência [3]. Por outro lado, os retificadores chaveados realizam a correção do fator de potência com indutor e transformador operando em alta frequência, reduzindo assim seus tamanhos e seus custos.

Existem diversos tipos de retificadores isolados com correção do fator de potência na literatura. Os retificadores monofásicos são explorados em [4]–[17], e retificadores trifásicos para potências mais elevadas são estudados em [18]–[25]. As topologias monofásicas são interessantes para potências geralmente de até 10 kW, onde acima deste ponto, devido a grande perda e esforços nos componentes, o mesmo deixa de ser vantajoso e então utiliza-se retificadores trifásicos. Alguns retificadores de potências elevadas utilizam a técnica de associar 3 retificadores monofásicos para formar um trifásico [23], [25]–[28]. Com essa técnica é possível obter um retificador trifásico modular, que pode aproveitar uma topologia monofásicos já existente para formar um trifásico. Desta forma, o retificador se torna robusto, pois cada um funciona de forma independente do outro, e eles podem ser conectados em série ou paralalo. Porém, existe uma faixa de potência que tornaria interessante o uso de dois retificadores monofásicos interligados ao invés de 3 como nos retificadores trifásicos.

Outra técnica utilizando módulos monofásicos é apresentada em [29]–[31]. Estas topologias utilizam somente dois retificadores em paralelo interligados através de um transformador Scott. Estas topologias são isoladas, possuem elevado fator de potência e utilizam somente 2

retificadores, porém possuem a devantagem de utilizar um transformador que opera em baixa frequência e por este motivo o torna grande e caro. Em [32], [33] são apresentadas topologias que utilizam dois retificadores conectados em paralelo e são conectados através de um autotransformador na entrada. Estas topologias possuem elevado fator de potência, utilizam somente dois retificadores e o autotransformador da entrada processa somente 14% da potência de saída, porém, possuem a desvantagem de serem não isoladas.

Muitas aplicações requerem o isolamento galvânico entre a entrada e a saída, para garantir a segurança e a separação de circuitos, como por exemplo fontes ininterruptas de energia (UPS). Nesses casos, podem ser utilizados transformadores em baixa frequencia ou estágio intermediário utilizando conversores CC-CC isolados. Outra possiblidade é utilizar os retificadores isolados em alta frequência de estágio único.

Neste artigo é proposto uma topologia de retificador com elevado fator de potência, que utiliza 2 retificadores em paralelo, que seja isolado com transformador operando em alta frequência conforme Figura 1. Esta topologia utiliza um autotransformador Scott na entrada para fazer a redução de fases e utiliza dois retificadores CFP isolados de estágio único conectados em parelelo. Os retificadores escolhidos para este trabalho são apresentados em [12], [34]. Esta topologia atende a necessidade de retificadores isolados para uma faixa de potência que é mais vantajoso utilizar somente 2 retificadores ao invés de 3, como são comumente utilizados em retificadores trifásicos. As características desta topologia são:

- Isolado em alta frequência;
- Utiliza dois retificadores;
- É modular;
- Autotransformador Scott processa somente 14% da potência de saída;
- Possui elevado fator de potência;
- Pode operar como elevador ou abaixador;
- Retificadores podem serem conectados em paralelo ou em série;

Com esta topologia, um fabricante que utiliza um retificador de 10 kW consegue chegar a 20 kW com reduzido custo de desenvolvimento, aproveitando o *know-how* do retitificador monofásico tanto na produção quando em campo, e pode utilizar a mesma placa de montagem do conversor monofásico para montar um bi-fásico. Uma outra vantagem desta topologia é que ela pode possuir várias saídas isoladas, simplesmente aumentando o número de secundários do tranformador, o que pode ser muito útil em conversores multiníveis [35]–[43]. Como o conversor pode operar como elevador ou abaixador ele pode fornecer diversos níveis de tensão de saída, que pode ser interessante para ser utilizado com estágio de entrada em UPS [44]–[46].

II. TOPOLOGIA PROPOSTA E PRINCÍPIOS DE OPERAÇÃO

O conversor foi projetado para operar no Modo de Condução Contínua (MCC) e utiliza um autotransformador do tipo Scott.

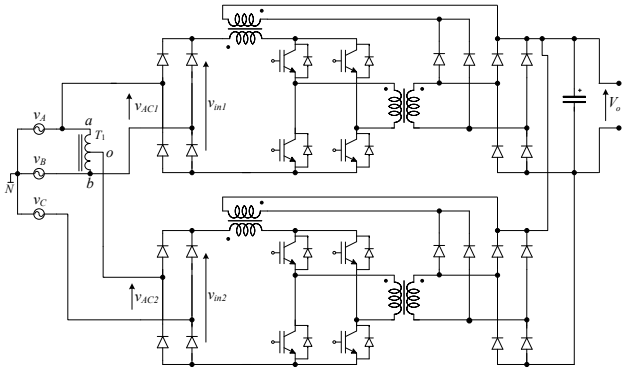


Fig. 1. Conversor proposto.

A. Autotransformador Scott

A Figura 2 mostra o esquema do auto-transformador Scott. As tensões trifásicas de entrada apresentadas em [29], são:

$$\begin{aligned} v_A(t) &= V_P \operatorname{sen}(\omega t) \\ v_B(t) &= V_P \operatorname{sen}(\omega t - 120^\circ) \\ v_C(t) &= V_P \operatorname{sen}(\omega t + 120^\circ). \end{aligned} \tag{1}$$

As tensões de entrada dos conversores são:

$$v_{AC1}(t) = v_A(t) - v_B(t) \tag{2}$$

$$v_{AC2}(t) = v_C(t) - \frac{v_{AB}(t)}{2} - v_B(t). \tag{3}$$

Substituindo (1) em (2) e (3), tem-se:

$$v_{AC1}(t) = \sqrt{3} V_P \operatorname{sen}(\omega t + 30^\circ) \tag{4}$$

$$v_{AC2}(t) = \frac{3V_P}{2} \operatorname{sen}(\omega t + 120^\circ). \tag{5}$$

As equações (4) e (5) mostram que o autotransformador Scott fornece em sua saída um sistema bifásico com angulo de fase de 90° entre eles e uma diferença entre as tensões de saída. Esta diferença nas tensões de entrada dos retificadores não afeta o funcionamento do retificador e o equilíbrio de potências entre eles é conseguido compensando suas correntes que são inversamentes proporcionais as tensões.

A tensão RMS (V_{ao}) do autotransformador é:

$$V_{ao} = \frac{V_{AB}}{2} = \frac{\sqrt{3} V_P}{2\sqrt{2}}. \tag{6}$$

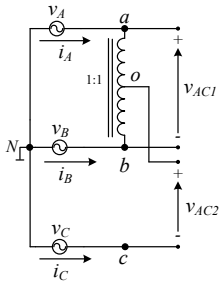


Fig. 2. Autotransformador Scott.

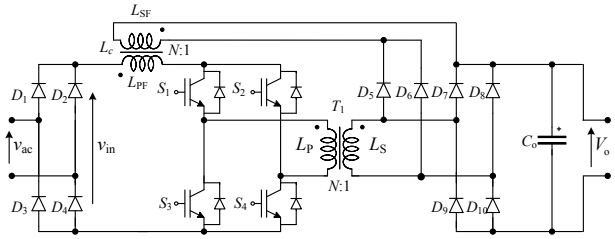


Fig. 3. Conversor monofásico. Fonte: [12].

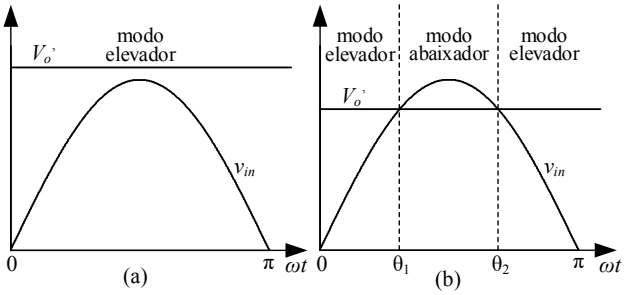


Fig. 4. Modos de operação do conversor. (a) Elevador. (b) Abaixador. Fonte: Adaptado de [12].

A corrente RMS (I_{ao}) do autotransformador é:

$$I_{ao} = \frac{I_C}{2} = \frac{I_P}{2\sqrt{2}}. \tag{7}$$

A potência do autotransformador Scott é:

$$P_{ao} = \frac{\sqrt{3}V_P I_P}{8}. \tag{8}$$

A potência de saída do retificador é:

$$P_o = \frac{3 \cdot V_P I_P}{2}. \tag{9}$$

A relação entre P_{ao} e P_o é:

$$\frac{P_{ao}}{P_o} = \frac{\sqrt{3}}{12} = 0,144. \tag{10}$$

A equação (10) mostra que a potência do autotransformador é somente 14% da potência de saída do conversor.

B. Conversor Monofásico

A Figura 3 mostra o circuito simplificado do conversor monofásico utilizado neste protótipo [12], [34]. O conversor é composto pelos diodos retificadores da rede (D_1, D_2, D_3 e D_4), um indutor acoplado *Flyback* (L_C), quatro chaves principais (S_1, S_2, S_3 e S_4), um transformador *Full-Bridge* (T_1), dois diodos *Flyback* (D_5 e D_6), quatro diodos *Full-Bridge* (D_7, D_8, D_9 e D_{10}) e um capacitor de filtro de saída (C_o).

A relação de transformação de ambos os componentes magnéticos é igual ($N:1$), como ilustrado na Figura 1. Conseqüentemente, a tensão de saída referida para o primário do transformador é dada por:

$$V_o' = NV_o. \tag{11}$$

A conversor possui dois diferentes modos de operação, dependendo dos níveis de tensão de entrada e de saída, como mostrado na Figura 4.

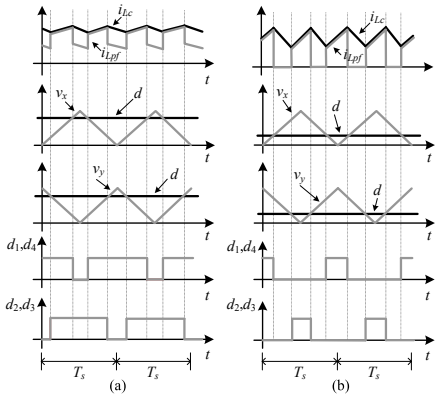


Fig. 5. Modulação PWM. (a) Modo Elevador. (b) Modo Abaixador. Fonte: [12].

O conversor opera no modo elevador quando a tensão de entrada retificada é menor que a tensão de saída referida para o primário do transformador (V_o'). O conversor opera no modo abaixador quando a tensão de entrada é maior que V_o'.

A Figura 5 mostra o esquema de modulação das chaves, onde são geradas duas portadoras do tipo triangular e defasadas 180° entre si e comparadas com a tensão de comparação, e uma saída comanda as chaves S_1 e S_4 e outra saída comanda as chaves S_2 e S_3.

Considerando que a freqüência de chaveamento é muito maior do que a freqüência da referência, a tensão de entrada pode ser assumida como constante para um ciclo de chaveamento. Em conseqüência, neste intervalo de tempo, o conversor proposto pode ser analisado como um conversor CC-CC.

C. Operação no Modo Elevador

Neste modo de operação, as chaves principais operam com razão cíclica $0,5 < D \leq 1,0$, onde D é definido como:

$$D = \frac{t_c}{T_s} \tag{12}$$

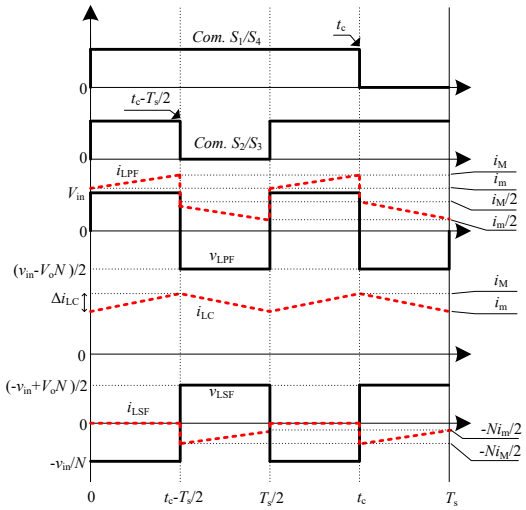


Fig. 6. Formas de onda no modo elevador. Fonte: [12].

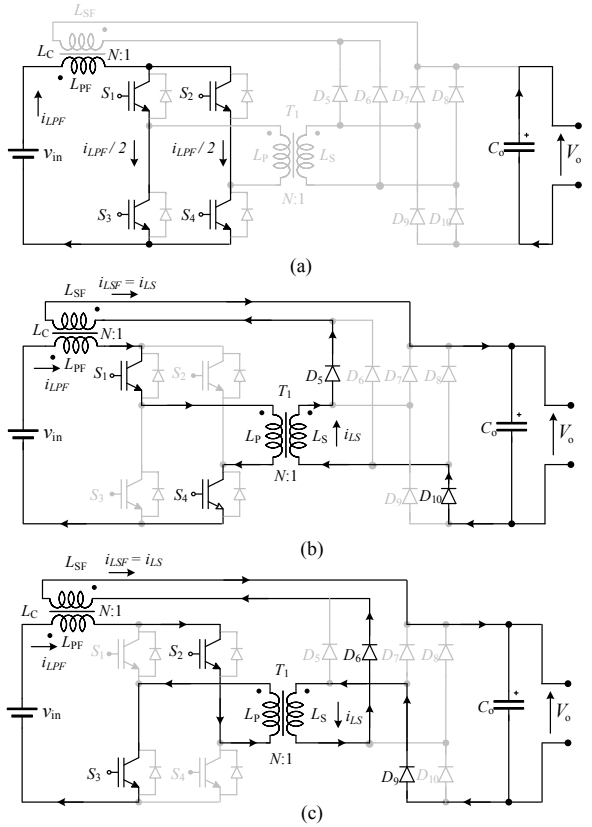


Fig. 7. Etapas de operação no modo elevador. (a) Primeira e Terceira Etapas. (b) Segunda Etapa. (c) Quarta Etapa. Fonte: [12].

onde t_c é o tempo de condução das chaves principais e T_s é o período de chaveamento. As principais formas de onda para o modo Elevador são apresentadas na Figura 6.

As etapas de operação são apresentadas como segue.

Primeira etapa: $(0 \leq t \leq tc - T_S/2)$: Durante esta etapa todas as chaves estão conduzindo e a tensão de entrada é aplicada no primário do indutor, como pode ser observado na Figura 7.a. A corrente i_{LPF} cresce linearmente e L_C armazena energia. Não há transferência de energia da fonte de entrada para a carga, e somente o capacitor de saída fornece energia para a carga.

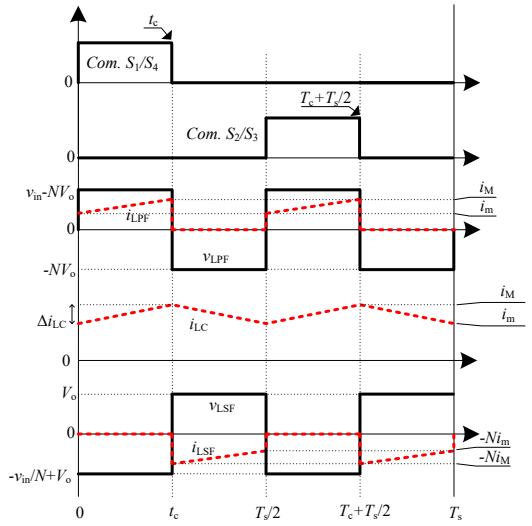


Fig. 8. Formas de onda no modo abaixador. Fonte: [12].

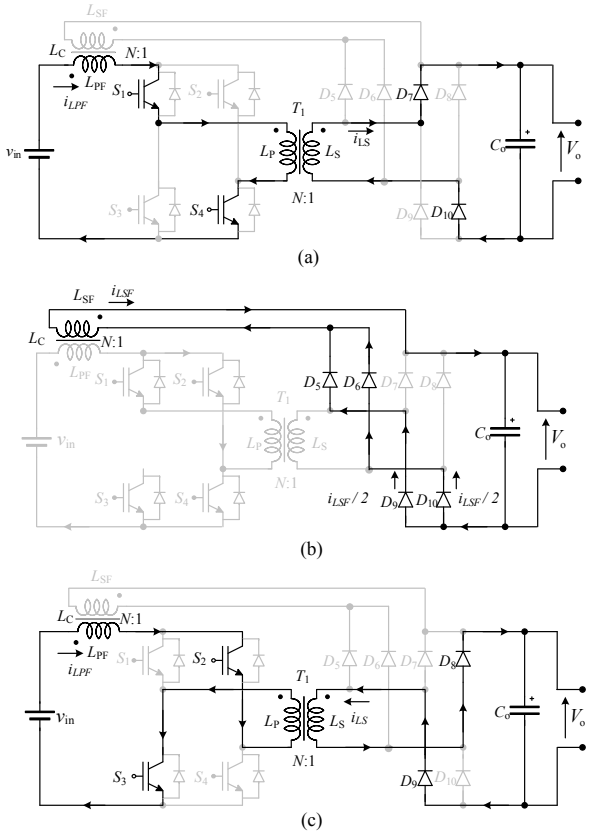


Fig. 9. Etapas de operação no modo abaixador. (a) Primeira Etapa. (b) Segunda e Quarta Etapas. (c) Terceira Etapa. Fonte: [12].

Segunda etapa: $(tc - T_S/2 \leq t \leq T_S/2)$: Nesta etapa, apresentada na Figura 7.b, as chaves S_2 e S_3 estão bloqueadas e as chaves S_1 e S_4 ainda estão conduzindo. A tensão no primário do indutor é $(V_{in} - NV_o)/2$ e a corrente no primário do indutor decresce linearmente. Nesta etapa, a corrente que circula no primário do indutor e no primário do transformador é a mesma. Similarmente, a corrente em ambos os enrolamentos secundários é a mesma. Durante esta etapa, há transferência de energia da fonte de entrada para a saída através de D_5 e D_{10}.

Terceira etapa: $(T_S/2 \leq t \leq t_c)$: Todas as chaves estão conduzindo novamente e, portanto, esta etapa é idêntica a primeira etapa.

Quarta etapa: $(t_c \leq t \leq T_S)$: Nesta etapa, apresentada na Figura 7.c, as chaves S_1 e S_4 estão bloqueadas e as chaves S_2 e S_3 ainda estão conduzindo. A tensão no primário do indutor é $(V_{in} - NV_o)/2$ e a corrente no primário do indutor decresce linearmente. Durante esta etapa, há transferência de energia da fonte de entrada para a saída através de D_6 e D_9.

D. Operação no Modo Abaixador

Neste modo, as chaves principais operam com uma razão cíclica $0 \leq D \leq 0,5$. As etapas de operação para este modo são analisadas como segue. As principais formas de onda para o modo abaixaador são apresentadas na Figura 8.

Primeira etapa: $(0 \leq t \leq t_c)$: Durante esta etapa, apresentada na Figura 9.a, as chaves S_1 e S_4 estão conduzindo e S_2 e S_3 estão bloqueadas. A tensão no primário do indutor é $(V_{in} - NV_o)$ e a corrente i_{LPF} cresce linearmente. Há transferência de energia da fonte de entrada para a saída

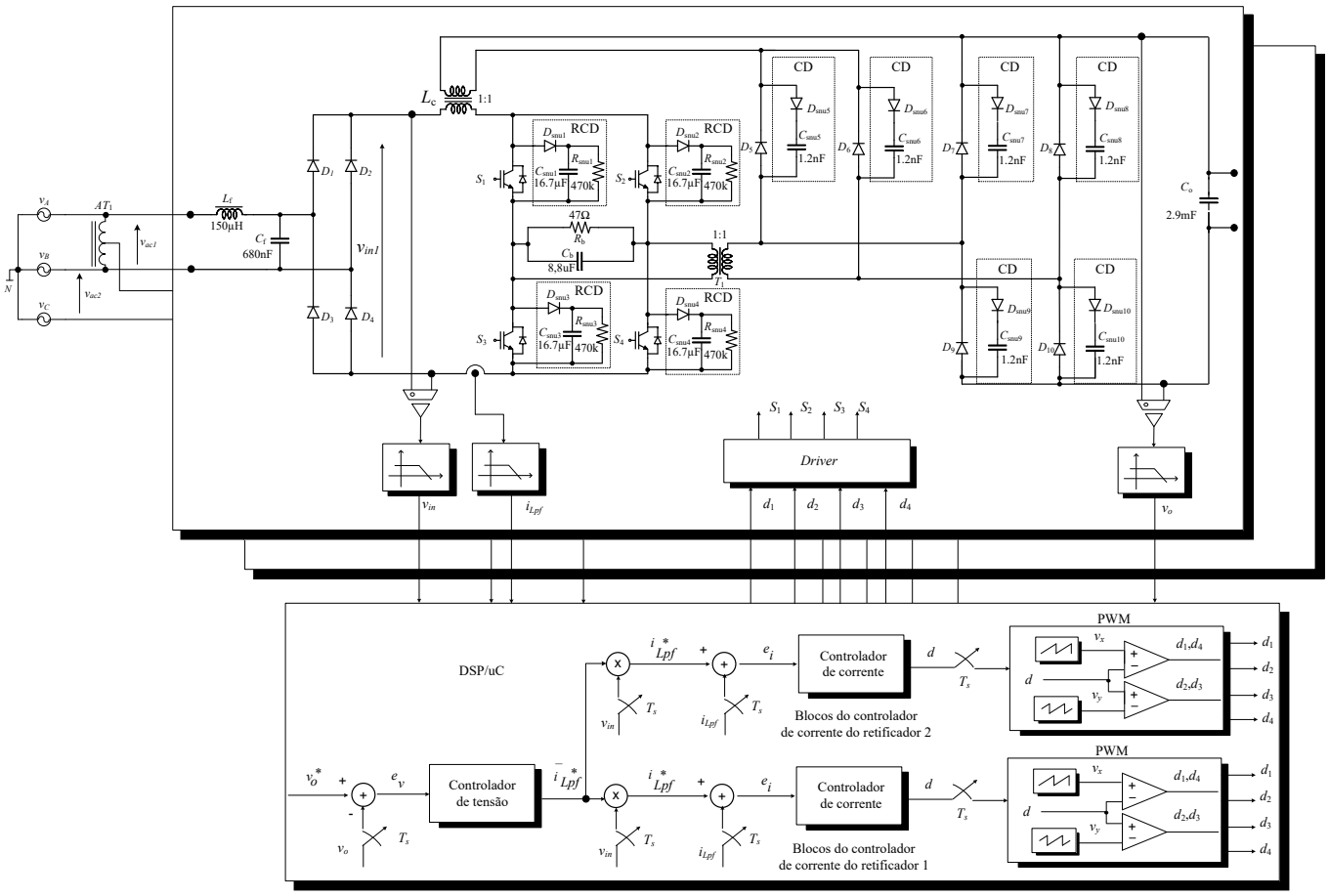


Fig. 10. Esquema do protótipo.

através do transformador, D_7 e D_{10}.

Segunda etapa: $(t_c \leq t \leq T_S/2)$: Nesta etapa, todas as chaves estão bloqueadas, como ser observado na Figura 9.b. O secundário do indutor assume a corrente, e fornece energia para a saída através de D_5, D_6, D_9 e D_{10}.

Terceira etapa: $(T_S/2 \leq t \leq t_c + T_S/2)$: Durante esta etapa, as chaves S_2 e S_3 estão conduzindo, e S_1 e S_4 ainda estão bloqueadas. Novamente, a tensão no primário do indutor é $(V_{in} - NV_o)$ e a corrente i_{LPF} cresce linearmente. Há transferência de energia da fonte de entrada para a saída através do transformador, D_8 e D_9, como mostrado na Figura 9.c.

Quarta etapa: $(t_c + T_S/2 \leq t \leq T_S)$: A quarta etapa é idêntica a segunda etapa.

TABELA I
Especificacões de Projeto

$P_o = 4$ kW	Potência de Saída
$V_o = 400$ V	Tensão de Saída
$v_A = 311\,\text{sen}(\omega t)$	Tensão da Fase A
$v_B = 311\,\text{sen}(\omega t - 120°)$	Tensão da Fase B
$v_C = 311\,\text{sen}(\omega t + 120°)$	Tensão da Fase C
$f_r = 60$ Hz	Frequência da Rede
$f_S = 100$ kHz	Frequência de Comutação
$N = 1$	Relação de Transformação

III. VERIFICAÇÃO EXPERIMENTAL

A. Descrição do Protótipo

Um protótipo foi montado para realização dos testes experimentais. A Figura 10 apresenta o esquemático do protótipo. Circuitos grampeadores de tensão do tipo (RCD) foram adicionados nos MOSFETs e um diodo e um capacitor (CD) foram adicionados aos diodos de saída para evitar sobretensão gerada pelas indutâncias de dispersão dos magnéticos e indutâncias parasitas da placa. Os transformadores e os indutores acoplados foram utilizados do

TABELA II
Descrição dos Componentes do Protótipo

S_1, S_2, S_3, S_4	Chaves: IPW65R019C7
$D_5 - D_{10}$	Diodos: SCS220KGC
$D_1 - D_4$	Ponte de Diodos: KBPC5010
C_o	Capacitor Eletrolítico:6x470µF/450 V
AT_1	Autotransformador Scott 750VA/380V
L_C	Indutor Acoplado Planar (Payton)
–	$L = 100\mu H, L1000DC - 16 - 15,16voltas$
T_1	Transformador Planar (Payton)
–	$T1000AC - 10 - 10,16voltas$
L_f	Indutância da rede ≈100µH
C_f	Capacitor de Cerâmica 680nF/450V

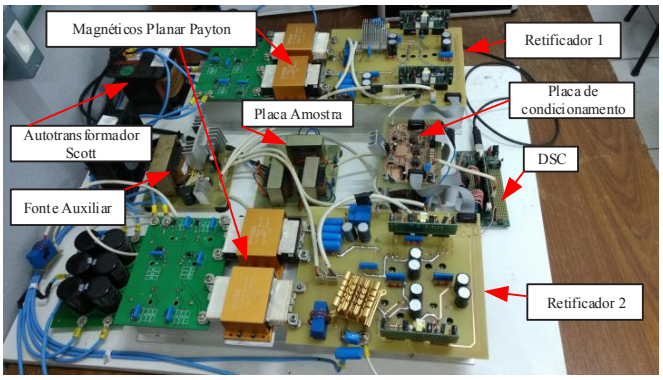


Fig. 11. Foto do protótipo.

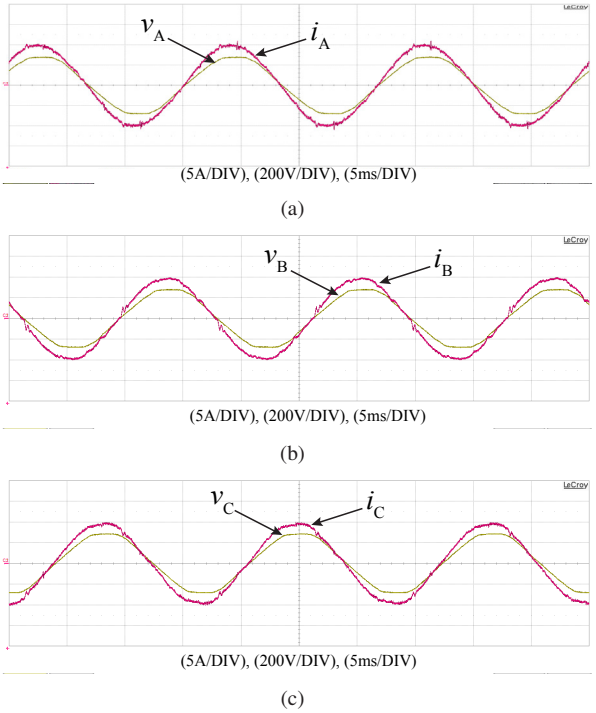


Fig. 12. Tensões e correntes de entrada.

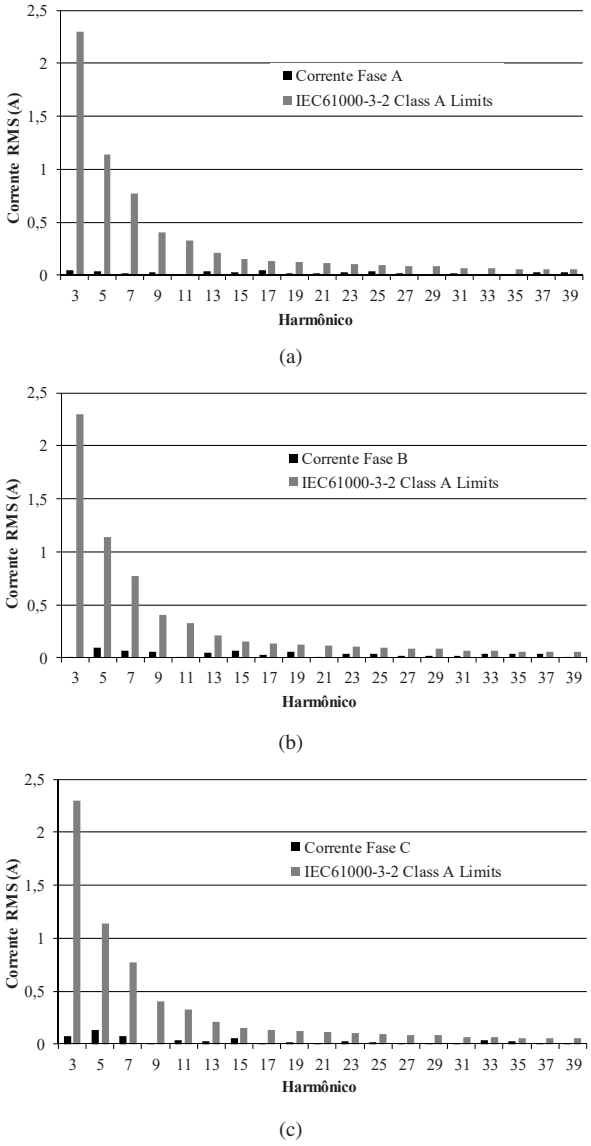


Fig. 13. Harmônicos de corrente em comparativo com a norma IEC61000-3-2 classe A.

tipo planar da Payton®, que possuem indutâncias de dispersão desprezíveis. Um filtro passa-baixas (LC) foi adicionado na entrada dos retificadores para eliminar as harmônicas de corrente em alta frequência. Foi utilizado controle digital, implementado através de um DSC modelo TMS320F28335 da Texas Instruments®, realizado através de uma técnica de controle na qual utiliza duas malhas de controle em cascata, uma malha interna de corrente e uma malha externa de tensão. Foi utilizada uma única malha de tensão e duas malhas de corrente, uma para cada retificador, como pode ser visto na Figura 10. Todos os controladores utilizados foram do tipo PI, os mesmos são idênticos aos apresentados em [34]. A Tabela I mostra as especificações de projeto e a Tabela II mostra os componentes utilizados no protótipo. A Figura 11 mostra uma foto do protótipo.

B. Resultados Experimentais

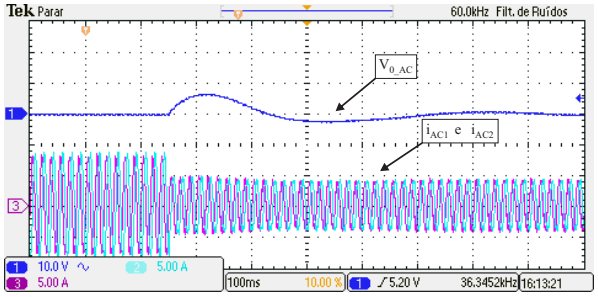
O protótipo foi testado com uma carga resistiva de $40,3\Omega$. A Figura 12 mostra as tensões e as correntes das fases A, B e C respectivamente. O fator de potência medido de todas as fases foi de $0,99$, a THD de corrente da fase A foi de $2,2\%$ e das fases B e C de $3,2\%$.

As componentes harmônicas de corrente das Fases A,B e C, em comparação com a norma IEC61000-3-2 class *A*, são mostradas na Figura 13. Através destas figuras pode ser observado que todas as harmônicas de corrente estão abaixo dos limites da norma.

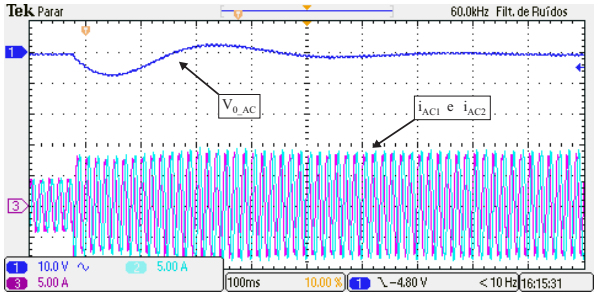
Foram realizados degraus de carga para verificar a dinâmica dos controladores. A Figura 14 mostra a tensão de saída e as correntes de entrada dos conversores no momento do degrau de aumento e de diminiução de carga respectivamente. A variação de carga foi de 30 Ω para 60 Ω e de 60 *Omega* para 30 Ω.

A corrente no primário do indutor acoplado do retificador 2 e a tensão no interruptor S_1 pode ser observado na Figura 15.

A curva de rendimento do conversor em função de sua potência de saída pode ser vista na Figura 16. Pode ser observado que para uma potência de saída de 3,97 kW o rendimento medido foi de $92,5\%$. As perdas do

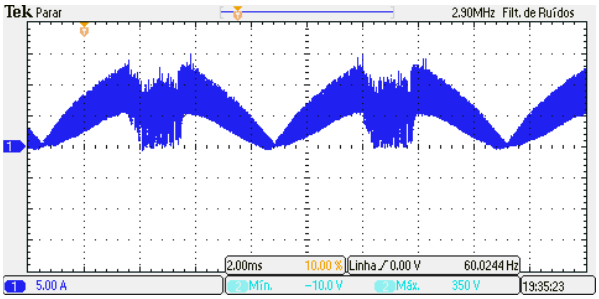


(a)

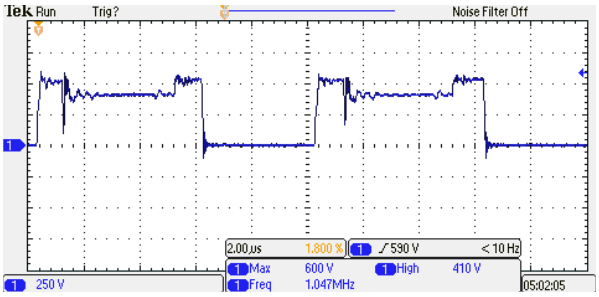


(b)

Fig. 14. Degraus de carga.



(a)



(b)

Fig. 15. (a) Corrente no indutor acoplado (b) Tensão no interruptor S_1.

autotransformador Scott foram de 70 W.

IV. CONCLUSÕES

Neste artigo foi apresentado um retificador isolado com transformador operando em alta frequência e com correção do fator de potência que utiliza dois retificadores PFC monofásicos de estágio único e isolados conecatados em paralelo. Na entrada é utilizado um autotransformador Scott para fazer a redução de sistema trifásico para um sistema

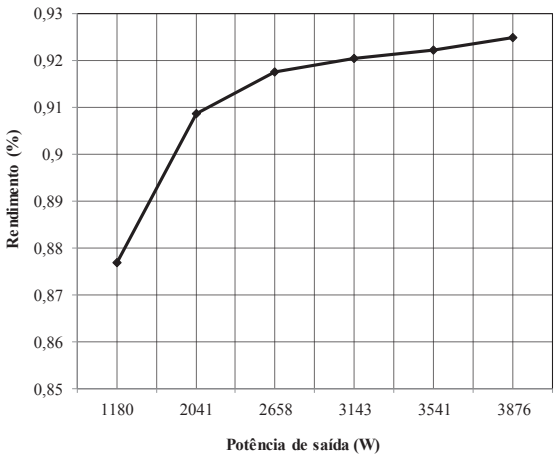


Fig. 16. Curva de rendimento.

bifásico. Este arranjo é interessante para ser utilizado em uma faixa de potência intermediária entre as potências de retificadores monofásicos e trifásicos comumente utilizados. Com o uso de um autotransformador Scott é possível reduzir um retificador, reduzindo significativamente o número de componentes, assim diminuindo os custos e aumentando a eficiência, uma vez que o autransformador processa somente 14% da potência de saída.

O conversor apresentado possui a vantagem de ser isolado em alta frequência, reduzindo o volume, peso e custo dos magnéticos. Ele também é modular, permitindo o uso de retificadores monofásicos já existentes para formar um trifásico. O conversor também pode elevar ou abaixar a tensão de entrada, podendo ser utilizado para diversas aplicações em o barramento CC variável seja interessante, por exemplo para servir de barramento CC de fontes de tensão CA, de inversores de frequência e de amplificadores de áudio. Ele também possui a vantagem de poder fornecer diversas saídas isoladas, sendo interessante para ser estágio de entrada de inversores multiníveis. Outra vantagem desta estrutura é que a conexão dos retificadores pode ser feita em série, aumentando assim o nível de tensão de saída.

Os resultados experimentais foram satisfatórios, e mostraram um retificador com elevado fator de potência e baixa taxa de distorção harmônica. Todas as componentes harmônicas das correntes de entrada estavam abaixo do limite da norma IEC61000-3-2 Class A. O rendimento do conversor também se mostrou satisfatório, possuindo um rendimento de 92,5% para uma carga com potência de 3,97 kW. A perda no autotransformador Scott foi de 70 W, comprovando a viabilidade de utilizar um autotransformador na entrada para fazer e redução de fases e tornando possível a utilização de somente 2 conversores, podendo assim reduzir uma grande quantidade de componentes, reduzindo o custo e obtendo um rendimento dentro do esperado para um conversor sem comutação suave e com número elevado de semicondutores.

AGRADECIMENTOS

Os autores agradecem a Payton®, pela doação dos magnéticos planares, a ROHM Semiconductor® pela doação dos diodos Silicon Carbide, Infineon® pela doação dos MOSFETs, a Capes e o CNPq pelo apoio financeiro.

REFERÊNCIAS

[1] IEC, *Limits for harmonic current emissions (equipment input current up to and including 16 A per phase), IEC 61000-3-2*, International Standard, 1995.

[2] IEEE, *Recommended Practices and Requirements for Harmonics Control in Electric Power Systems*, IEEE, 1992.

[3] N. Takeuchi, K. Matsui, F. Ueda, H. Mori, "A novel PFC circuit using ladder type filter employing only passive devices", *in IEEE APEC*, pp. 1005–1009, 2008.

[4] L. Zhu, "A Novel Soft-Commutating Isolated Boost for Bidirectional High Power Applications", *IEEE Transactions on Power Electronics*, vol. 21, no. 2, pp. 422–429, March 2006.

[5] R. yi Chen, T. juu Liang, J. fuh Chen, R. lee Lin, K. ching Tseng, "Study and Implementation of a Current-Fed Full-Bridge Boost DC-DC Converter With Zero-Current Switching for High-Voltage Applications", *IEEE Transactions on Industry Applications*, vol. 44, no. 4, pp. 1218–1226, July 2008.

[6] A. Mousavi, P. Das, G. Moschopoulos, "A ZCS-PWM Full-Bridge Boost Converter for Fuel-Cell Applications", *in IEEE APEC*, pp. 459–464, 2009.

[7] L. Yao, H. Mao, J. Liu, I. Batarseh, "Zero-Voltage-Switching Buck-Flyback Isolated DC-DC Converter with Synchronous Rectification", *in IEEE APEC*, pp. 545–550, 2006.

[8] I. Barbi, R. Gules, "Isolated DC-DC converters with high-output voltage for TWTA telecommunication satellite applications", *IEEE Transactions on Power Electronics*, vol. 18, no. 4, pp. 975–984, July 2003.

[9] R. Watson, F. C. Lee, "Soft-switched, full-bridge boost converter employing an active-clamp circuit", *in IEEE PESC*, vol. 2, pp. 1948–1954, 1996.

[10] W.-Y. Choi, J.-S. Yoo, "A Bridgeless Single-Stage Half-Bridge AC/DC Converter", *IEEE Transactions on Power Electronics*, vol. 26, no. 12, pp. 3884–3895, 2011.

[11] W.-Y. Choi, W.-S. Yu, J.-S. Lai, "A novel bridgeless single-stage half-bridge AC/DC converter", *in IEEE APEC*, pp. 42–46, Dec. 2010.

[12] J. Duarte, L. R. Lima, L. Oliveira, L. Michels, C. Rech, M. Mezaroba, "Single-Stage High Power Factor Step-Up/Step-Down Isolated Ac-Dc Converter", *IET Power Electronics*, vol. 05, no. 08, pp. 1351–1358, Sep. 2012.

[13] S. Tomioka, H. Terashi, T. Ninomiya, "Interleaved-Boost-Input Type Isolated Full Bridge PFC Converter", *in International Conference on Power Electronics and Drives Systems*, vol. 1, pp. 146–151, 2005.

[14] D. B. Alvarenga, M. B. Meier, R. Gules, A. Badin, E. F. R. Romaneli, A. A. Assef, "Development of a new single phase high power factor rectifier with ZVS commutation and high frequency isolation", *in Brazilian Power Electronics Conference*, pp. 7–14, 2013.

[15] D. A. Ruiz-Caballero, I. Barbi, "Um Conversor CC-CC Flyback-Push-Pull Melhorado Alimentado em Corrente", *Eletrônica de Potência*, vol. 4, no. 1, pp. 10–16, Set. 1999.

[16] F. E. Bisogno, A. R. Seidel, T. B. Marchesan, R. N. do Prado, "Reator Eletrônico Para Iluminação Fluorescente Boost Push-pull Com Alto Fator De Potência Empregando Um Único Interruptor", *Eletrônica de Potência*, vol. 8, no. 1, pp. 66–73, Jun. 2003.

[17] G. V. T. Bascopé, *Conversor Flyback-Push-Pull Alimentado em Corrente com Correção de Fator de Potência*, Dissertação de Mestrado, Universidade Federal de Santa Catarina, Florianópolis, Brasil, 1996.

[18] X. Zhang, L. Zhou, D. Qiu, W. Xiao, B. Zhang, F. Xie, "Phase-Modular Three-Phase Isolated Bridgeless PFC Converter", *in IECON*, pp. 1723–1728, 2015.

[19] D. C. Martins, A. H. de Oliveira, I. Barbi, "Retificador Trifásico Isolado Com Correção Do Fator De Potência Empregando O Conversor Cc-cc Sepic Em Condução Contínua", *Eletrônica de Potência*, vol. 6, no. 1, pp. 8–15, Dec. 2001.

[20] D. C. Martins, M. M. Casaro, I. Barbi, "Retificador Trifásico Isolado Com Alto Fator De Potência Utilizando O Conversor Zeta No Modo De Condução Contínua", *Eletrônica de Potência*, vol. 6, no. 1, pp. 33–40, dec. 2001.

[21] F. J. M. de Seixas, I. Barbi, "Retificador Trifásico Isolado em Alta Freqüência e com Baixa Distorção de Corrente na Rede", *Eletrônica de Potência*, vol. 7, no. 1, pp. 22–29, Nov. 2002.

[22] J. W. Kolar, U. Drofenik, F. C. Zach, "VIENNA Rectifier II - A Novel Single-Stage High- Frequency Isolated Three-phase P WM Rectifier System", *IEEE Transactions on Industrial Electronics*, vol. 46, no. 4, pp. 674–691, Aug. 1999.

[23] J. W. Kolar, T. Friedli, "The essence of three-phase PFC rectifier systems", *in IEEE 33rd International Telecommunications Energy Conference (INTELEC)*, pp. 1–27, 2011.

[24] T. Friedli, M. Hartmann, J. W. Kolar, "The essence of three-phase PFC rectifiers Systems - Part II", *IEEE Transactions on Power Electronics*, vol. 29, no. 2, pp. 543–560, Feb. 2014.

[25] J. W. Kolar, T. Friedli, "The Essence of Three-Phase PFC Rectifier Systems-Part I", *IEEE Transactions on Power Electronics*, vol. 28, no. 01, pp. 176–198, January 2013.

[26] B. Singh, A. Chandra, P. Rastgoufard, K. A. Haddad, "Single-phase switch mode boost rectifier: an improved design/control applied to three phase AC-DC converters to power up telecommunication system", *in 24th Annual International Telecommunications Energy Conference IEEE*, pp. 611–618, 2002.

[27] G. Spiazzi, "Implementation of single-phase boost power-factor-correction circuits in three-phase applications", *IEEE Transactions on Industrial Electronics*, vol. 44, no. 3, pp. 365–371, Jun. 1997.

[28] S. Kim, P. N. Enjeti, "A modular single-phase power-factor-correction scheme with a harmonic filtering function", *IEEE Transactions on Industrial Electronics*, vol. 50, no. 2, pp. 328–335, Apr. 2003.

[29] A. A. Badin, I. Barbi, "Unity power factor isolated three-phase rectifier with two single-phase buck rectifiers based on the Scott transformer", *IEEE Transactions on Power Electronics*, vol. 26, no. 9, pp. 2688–2696, Sept. 2011.

[30] A. A. Badin, I. Barbi, "Three-phase series-buck rectifier with split DC-bus based on the Scott transformer", *in IEEE Annual Power Electronics Specialists Conference*, pp. 516–522, 2008.

[31] V. F. Pires, M. Guerreiro, J. F. Martins, J. F. Silva, "Unity power factor isolated three-phase buck-boost rectifier based on scott transformer", *in Compatability and Power Electronics*, pp. 406–410, 2009.

[32] J. Hahn, P. N. Enjeti, I. J. Pitel, "A new three-phase power-factor correction (PFC) scheme using two single-phase PFC modules", *IEEE Transactions on Industry Applications*, vol. 38, no. 1, pp. 123–130, Jan/Feb 2002.

[33] G. D. Pinheiro, A. A. Badin, R. Gules, E. R. F. Romaneli, "A three-phase power-factor correction scheme using an autotransformer and two single-phase Buck rectifiers", *in Brazilian Power Electronics Conference*, pp. 23–29, 2013.

[34] J. Duarte, L. R. Lima, L. Oliveira, M. Mezaroba, L. Michels, C. Rech, "Modeling em Digital Control of a Single-Stage Step-Up/Down Isolated PFC Rectifier", *IEEE Transactions on Industrial Informatics*, vol. 09, no. 02, pp. 1017–1028, May 2013.

[35] K. Gupta, A. Ranjan, P. Bhatnagar, L. K. Sahu, S. Jain, "Multilevel Inverter Topologies With Reduced Device Count: a Review", *IEEE Transactions on Power Electronics*, vol. 31, no. 01, pp. 135–151, Jan. 2015.

[36] S. K. Chattopadhyay, C. Chakraborty, "Performance of Three-Phase Asymmetric Cascade Bridge (16:4:1) Multilevel Inverter", *IEEE Transactions on Industrial Electronics*, vol. 62, no. 10, pp. 5983–5992, Oct. 2015.

[37] F. Wu, X. Li, F. Feng, H. B. Gooi, "Modified cascaded multilevel grid-connected inverter to enhance European efficiency and several extended topologies", *IEEE Transactions on Industrial Informatics*, vol. 11, no. 6, pp. 1358–1365, Dec. 2015.

[38] H. liahng Jou, J. jie Huang, J. chang Wu, K. der Wu, "Novel Isolated Multilevel DC-DC Power Converter", *IEEE Transactions on Power Electronics*, vol. 31, no. 4, pp. 2690–2694, April 2016.

[39] T. khanh Tu Nguyen, N. van Nguyen, N. R. R, "Eliminated Common-Mode Voltage Pulsewidth Modulation to Reduce Output Current Ripple for Multilevel Inverters", *IEEE Transactions on Power Electronics*, vol. 31, no. 8, pp. 5952–5966, Aug. 2016.

[40] G. Carlos, C. Jacobina, E. Santos, "Investigation on Dynamic Voltage Restorers With Two DC-Links and Series Converters for Three-Phase Four-Wire Systems", *IEEE Transactions on Industry Applications*, vol. 52, no. 2, pp. 1608–1620, March/april 2015.

[41] L. Zhang, K. Sun, Y. F. Liu, Jinquan, "A Family of Five-Level Dual-Buck Full-bridge Inverters for Grid-tied Applications", *IEEE Transactions on Power Electronics*, vol. 31, no. 10, pp. 7029–7042, Oct. 2015.

[42] X. Liang, J. He, "Load Model for Medium Voltage Cascaded H-Bridge Multi-Level Inverter Drive Systems", *IEEE Power and Energy Technology System Journal*, vol. 3, no. 1, pp. 13–23, March 2016.

[43] M. Aleenejad, H. Mahmoudi, R. Ahmadi, "A Fault-Tolerant Strategy Based On Fundamental Phase Shift Compensation for Three Phase Multilevel Converters with Quasi-Z-Source Networks with Discontinuous Input Current", *IEEE Transactions on Power Electronics*, vol. 31, no. 11, pp. 7480–7488, Nov. 2016.

[44] H. Komurcugil, N. Altin, S. Ozdemir, I. Sefa, "An extended lyapunov-function-based control strategy for single-phase UPS inverters", *IEEE Transactions on Power Electronics*, vol. 30, no. 7, pp. 3976–3983, July 2015.

[45] C. Zhang, J. Guerrero, J. Vasquez, E. Coelho, "Control Architecture for Parallel-Connected Inverters in Uninterruptible Power Systems", *IEEE Transactions on Power Electronics*, vol. 31, no. 7, pp. 5176–5188, July 2016.

[46] M. Aamir, Saad, "Online Transformerless Uninterruptible Power Supply (UPS) System with a Smaller Battery Bank for Low Power Applications", *IEEE Transactions on Power Electronics*, vol. 32, no. 1, pp. 233–247, Jan 2016.

DADOS BIOGRÁFICOS

Janderson Duarte, nascido em 18/07/1981, é engenheiro eletricista (2001), mestre (2009) pela Universidade Estadual de Santa Catarina, atualmente é doutorando na Universidade Tecnológica Federal do Paraná. Desde 2010 é professor no Instituto Federal de Santa Catarina - Campus Joinville. Suas áreas de interesse são: eletrônica de potência, controle de conversores estáticos e qualidade do processamento da energia elétrica.

Alceu André Badin, nasceu no ano de 1979 em Maravilha, Santa Catarina, Brasil. Concluiu a graduação, o mestrado e o doutorado em engenharia elétrica pela Universidade Federal de Santa Catarina, Florianópolis, Brasil nos anos de 2002, 2004 e 2009 respectivamente. Desde 2010 é professor na Universidade Tecnológica Federal do Paraná - Brasil. Suas áreas de interesse incluem topologias de conversores chaveados de energia, técnicas de correção do fator de potência e fontes de tensão.

ESTRATÉGIAS DE ENERGIZAÇÃO E DESENERGIZAÇÃO DE UM COMPENSADOR ESTÁTICO SÍNCRONO PARA DISTRIBUIÇÃO

Samuel N. Duarte, Gabriel A. Fogli, Pedro M. de Almeida, Pedro G. Barbosa
Universidade Federal de Juiz de Fora, Juiz de Fora - MG, Brasil
e-mails: samuel.neves@engenharia.ufjf.br, gabriel.fogli@engenharia.ufjf.br, pedro.machado@ufjf.edu.br, pedro.gomes@ufjf.edu.br

***Resumo* – Este trabalho propõe dois controladores para energizar e desenergizar compensadores estáticos síncronos destinados a serem conectados nas redes de distribuição. O primeiro circuito é baseado em um retificador semi–controlado enquanto o segundo controlador é baseado em um circuito gradador. Os dois controladores propostos são facilmente adaptados a estrutura do compensador estático sem a necessidade de realizar alterações topológicas no conversor. Um modelo matemático é usado para derivar as relações matemáticas usadas para controlar as correntes de energização e de desenergização. Aproximações lineares por partes foram usadas para reduzir o esforço computacional dos algoritmos de controle desenvolvidos. Resultados de simulação e experimentais são apresentados para validar a metodologia proposta.**

***Palavras-chave* – Conversor Conectado à Rede, Desenergização de DSTATCOM, Energização de DSTATCOM.**

ENERGIZATION AND DE-ENERGIZATION STRATEGIES OF A DSTATCOM

***Abstract* – This paper proposes two controllers to energize and de-energize static synchronous compensators to be connected to distribution networks. The first circuit is based on a semi-controlled rectifier while the second controller is based on AC voltage controller. The two proposed controllers are easily adapted to the static compensator structure without the need of any topological changes. A mathematical model is used to derive the relationships used to control the energizing and de-energizing currents. Piecewise linear approximations are used to reduce the computational effort of the developed control algorithms. Simulation and experimental results are presented to validate the proposed methodology.**

***Keywords* – DSTATCOM De-energization, DSTATCOM Energization, Grid-connected Converter.**

I. INTRODUÇÃO

Compensadores estáticos síncronos (do inglês, *Static Synchronous Compensator*) (STATCOM) são conversores fonte de tensão (do inglês, *Voltage Source Converter*) (VSC) projetados para compensar potência reativa em seus terminais [1]. Apesar de terem sido originalmente propostos para sistemas de transmissão, observa-se um grande número de trabalhos onde estes compensadores são conectados nas redes de distribuição. Nestas aplicações, além de serem denominados DSTATCOM, funções básicas como o aumento da margem de estabilidade e da capacidade de transmissão são substituídas pelo controle de tensão e correção do fator de potência [2]. Existem também trabalhos onde os DSTATCOM são usados para compensar correntes desequilibradas e harmônicas consumidas por cargas não lineares [3].

Estes compensadores, quando construídos com VSC modulares, podem ser conectados diretamente às redes de distribuição sem a necessidade de estruturas magnéticas complexas ou filtros harmônicos de ordem elevada devido às tensões com múltiplos níveis sintetizadas em seus terminais [4]–[6]. Contudo, independente da topologia do DSTATCOM, correntes não controladas são drenadas da rede quando os capacitores CC destes compensadores estão descarregados. Estas correntes, de elevada amplitude e curta duração, circulam pelos diodos dos módulos de IGBT (do inglês, *Insulated Gate Bipolar Transistors*) e podem danificar os interruptores do VSC além de provocar mal funcionamento dos circuitos de proteção e controle [7], [8].

Em [9], o capacitor equivalente de um STATCOM foi energizado por um retificador controlado conectado temporariamente em paralelo com o barramento CC do conversor. Em [10], [11], os autores usaram um arranjo de resistores conectados em série com os terminais CA de um STATCOM para limitar a corrente de energização. Depois da carga inicial, esses resistores são curto circuitados por interruptores auxiliares numa estratégia semelhante à usada para limitar a corrente de partida de motores CC.

Uma estratégia semelhante foi usada em [12] para limitar a corrente de energização do filtro capacitivo de saída de um retificador monofásico não controlado. Em [13] é usado um resistor não linear conectado entre os terminais de um filtro EMI e os de entrada de um conversor CA/CC. Como nos casos anteriores, um interruptor conectado em paralelo retira o resistor não linear do circuito depois da carga inicial do capacitor CC.

A conexão de um VSC trifásico à rede elétrica através de um transformador Y–Δ é explorada em [8]. Durante a energização, o ponto comum dos enrolamentos ligados em Y é aberto. Um resistor é conectado entre duas bobinas, ficando a terceira desconectada. O capacitor do VSC é então pré-carregado pelas fases do transformador cuja resistência foi conectada. Após a pré-carga os enrolamentos

Artigo submetido em 07/03/2017. Primeira revisão em 23/04/2017. Aceito para publicação em 06/06/2017 por recomendação do Editor Marcelo Cabral Cavalcanti.

do transformador são novamente ligados em estrela e o VSC passa a regular as correntes das três fases para controlar a tensão CC do capacitor.

Em [14], o capacitor CC de um filtro ativo de potência (FAP) é carregado manualmente utilizando uma fonte auxiliar até a tensão de $V_{cc} = 220$ V. Depois desta pré-carga, a tensão CC de referência foi variada em rampa até a tensão $V_{cc}^* = 450$ V. Durante esta etapa, um controlador PI com uma malha *feedforward* garante que a tensão do capacitor equivalente siga o sinal de referência com precisão. Contudo, caso não seja efetuada a carga inicial dos capacitores, o controlador PI não consegue regular a tensão CC e uma elevada corrente de energização é drenada da rede a qual o FAP está conectado.

Estratégias para carregar o capacitor e regular a tensão do barramento CC de um filtro híbrido série são apresentadas e discutidas em [15], [16]. Nestes dois exemplos, a corrente de carga do capacitor CC tem sua amplitude naturalmente limitada pela elevada impedância passiva do filtro híbrido. Em [15], para conseguir carregar o capacitor CC até a tensão de operação, o VSC do filtro híbrido é controlado para sintetizar uma tensão em fase com a corrente em quadratura drenada pela parcela passiva do filtro híbrido. Já em [16] os autores usam a teoria das potências instantâneas para forçar o VSC absorver potência da rede e carregar o capacitor CC. Neste segundo caso, o sinal da potência reativa de referência foi usado para forçar o VSC carregar seu capacitor CC.

Por outro lado, quando o capacitor CC do STATCOM está carregado, o tempo para que o barramento CC do conversor se descarregue naturalmente pode ser demasiadamente longo. Nesse sentido, um procedimento de desenergização dos STATCOMs pode ser muito interessante a fim de descarregar o capacitor para realizar uma manutenção ou simplesmente retirar o compensador de operação. Em [17] os autores propõem uma estratégia para desenergizar um STATCOM formado por um VSC modular cujos braços são conectados em Δ. Durante a desenergização, o STATCOM é desligado da rede elétrica e um banco de resistências, conectado em série com cada braço do VSC, fornece um caminho para que os capacitores dos diferentes módulos se descarreguem. No final do processo essas resistências são curto circuitadas por três interruptores auxiliares.

Pelo exposto, a energização e desenergização dos STATCOM é um tema que não tem recebido muita atenção nos últimos anos. Assim sendo, a principal contribuição deste trabalho é a proposta de dois controladores, e seus respectivos métodos, para energizar e desenergizar um DSTATCOM. O primeiro circuito é baseado no funcionamento de um retificador semi–controlado, enquanto o segundo é baseado em um circuito gradador. Os dois controladores propostos são facilmente adaptados à estrutura do compensador estático sem a necessidade de alterações topológicas significativas. As etapas de modelagem dos circuitos equivalentes são apresentadas e métodos matemáticos são utilizados para derivar algoritmos de controle. A corrente de energização/desenergização é controlada através do ângulo de disparo dos tiristores e não são usados resistores, indutores, fontes auxiliares ou transformadores adicionais. Resultados de simulação e experimentais de um DSTATCOM de pequena escala (3,8 kVA/220 V) são apresentados e discutidos para validar a metodologia proposta.

II. A PRÉ-ENERGIZAÇÃO DO DSTATCOM

Na Figura 1 é mostrada a topologia de um DSTATCOM conectado a uma rede elétrica CA através de um filtro passivo de primeira ordem. Além dos seis IGBTs ($S_1 - S_6$) esta topologia possui um braço adicional formado por dois tiristores (T_1 e T_2). Os controladores do DSTATCOM foram projetados com uma malha dupla de corrente (interna) e uma malha externa de tensão. Nas Figuras 2 (a) e (b) são mostrados os diagramas de blocos das malhas de controle de corrente e de tensão, respectivamente.

As malhas internas de corrente foram projetadas no sistema de coordenadas síncrono conforme metodologia mostrada em [18]–[21]. As correntes I_d e I_q são responsáveis por regular as potências ativa e reativa nos terminais do DSTATCOM, respectivamente. Um circuito PLL (do inglês, "*Phase-Locked Loop*") é usado para sincronizar as correntes sintetizadas pelo DSTATCOM com as tensões da rede elétrica. Na Figura 3 é mostrado o diagrama de blocos do PLL do DSTATCOM. Maiores detalhes do projeto deste circuito são encontrados em [18], [20], [21].

A malha externa de tensão regula a tensão do barramento CC através do sinal de referência I_d^* [3], [20]. Contudo, o DSTATCOM só conseguirá sintetizar as correntes de referência I_d^* e I_q^* se o capacitor CC do VSC da Figura 1 estiver previamente carregado.

O processo de carga do capacitor CC do DSTATCOM, desde 0 volts até o valor de pico da tensão CA da rede, é denominado neste trabalho pré-energização. Este procedimento é realizado bloqueando os pulsos de disparo dos IGBTs do VSC da Figura 1 e mantendo os contatos Sw_1 e Sw_3 abertos e o contato Sw_2 fechado. Os tiristores T_1 e T_2 são então disparados de maneira a controlar a corrente pelo capacitor CC. Quando a tensão do barramento CC atinge um valor próximo à tensão de pico da rede, o disparo dos tiristores é desligado, os contatos Sw_1 e Sw_3 são fechados e os controladores de corrente e tensão do DSTATCOM (Figuras 2 (a) e (b)) são habilitados para elevar a tensão do barramento CC até o valor da tensão de operação. A partir deste ponto o DSTATCOM estará pronto para compensar potência reativa em seus terminais CA.

Na Figura 4 é mostrado o circuito equivalente durante a pré-energização, com a indicação do sentido da corrente no semiciclo positivo da tensão de linha $v_{s,ab}(t)$. Os parâmetros $R = (R_s + R_f)$ e $L = (L_s + L_f)$ representam as resistência e indutância equivalentes por fase da rede e do filtro de interface, respectivamente. A resistência R_p foi omitida no circuito da Figura 4 para simplificação da modelagem matemática apresentada nas próximas subseções.

Como os IGBTs do DSTATCOM estão bloqueados, o circuito da Figura 4 se comporta como um retificador semi-controlado [22] onde a corrente pelo capacitor CC é controlada através do ângulo de disparo dos tiristores. Nas Figuras 5 (a) e (b) são mostradas as formas de onda da tensão da rede, da tensão CC e da corrente pelo circuito para um ângulo de disparo α genérico.

Considerando que C_{eq} está descarregado e ainda, que o tiristor T_1 é disparado com um ângulo α ligeiramente inferior

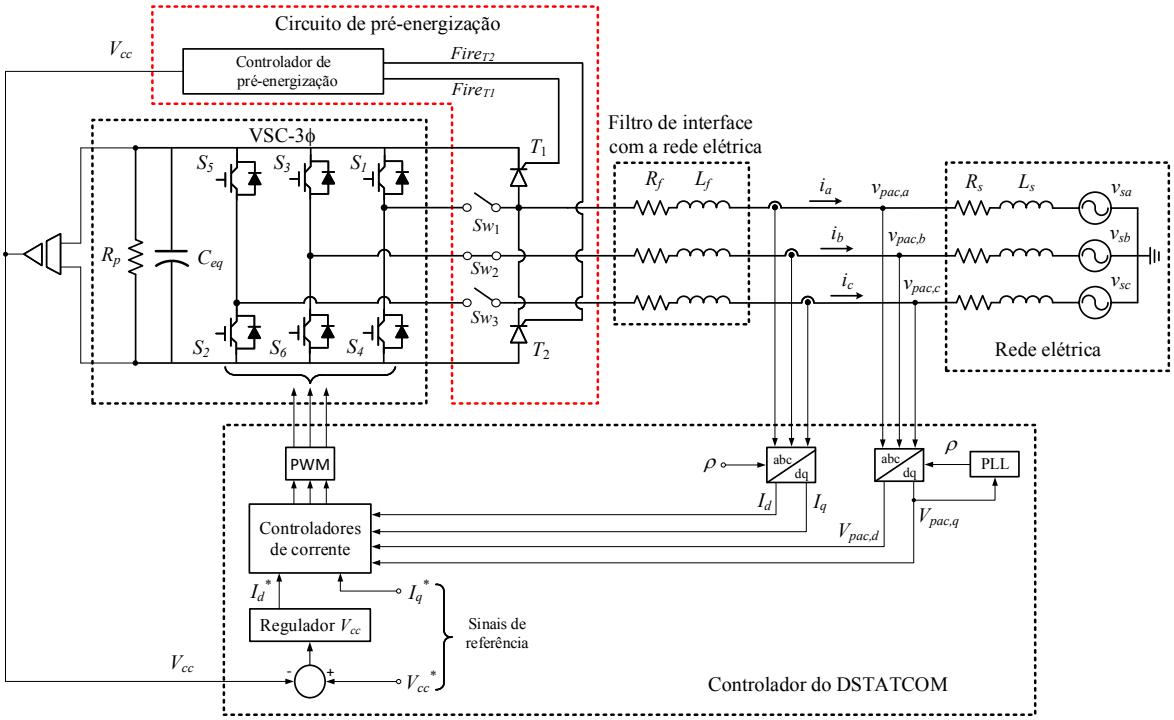
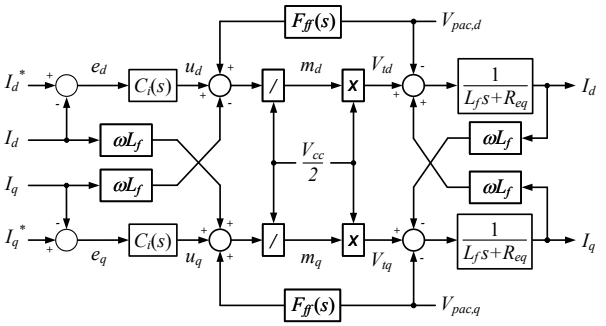
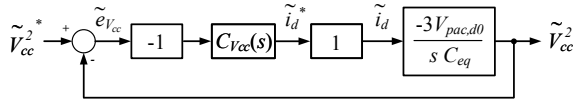


Fig. 1. Topologia do circuito de pré-energização do DSTATCOM.



(a)



(b)

Fig. 2. Diagramas de blocos das malhas de controle do DSTATCOM: (a) corrente e (b) tensão CC.

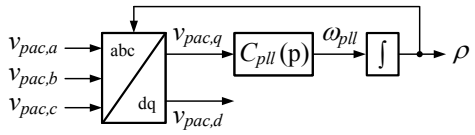


Fig. 3. Diagrama de blocos do circuito de sincronismo.

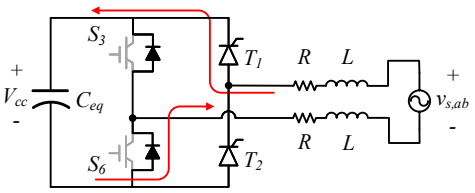


Fig. 4. Topologia simplificada do circuito de pré-energização do DSTATCOM.

à $\gamma = 180°$, tem-se que a corrente fluirá pelo tiristor T_1 e pelo diodo do interruptor S_6, forçando a tensão sobre o capacitor C_{eq} aumentar. No instante $\omega t = \beta$ a corrente pelo circuito se torna nula novamente e o tiristor T_1 fica bloqueado. Todo esse processo é repetido no semiciclo negativo da tensão $v_{s,ab}(t)$, porém, nesta condição, a corrente irá fluir pelo tiristor T_2 e pelo diodo do interruptor S_3.

A cada disparo de T_1 e T_2 a tensão do barramento CC vai aumentando gradativamente e o ângulo α do retificador semi-controlado da Figura 4 deve ser reduzido.

O pico da corrente durante o processo de pré-energização síncrona do conversor pode ser maior ou menor, dependendo da diferença entre os ângulos α e γ. Quanto menor a diferença entre estes ângulos menor será a diferença entre a tensão do barramento CC e a tensão da rede elétrica e, consequentemente, menor será o pico da corrente pelo circuito.

A. Modelagem Matemática da Corrente de Pré-energização

Considerando que o tiristor T_1 da Figura 4 é disparado no instante $\omega t = \alpha$, pode-se escrever a seguinte equação para a

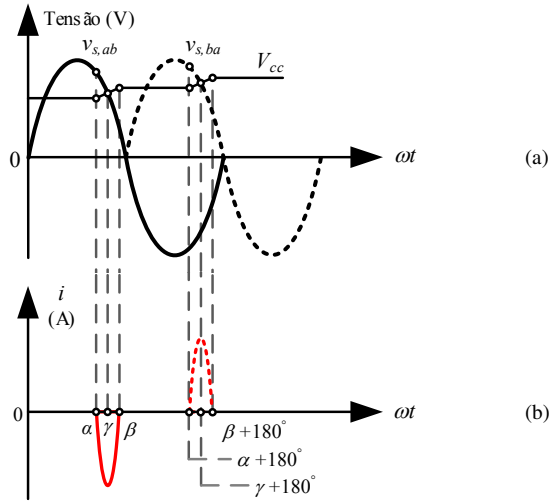


Fig. 5. Formas de onda durante a pré-energização síncrona do DSTATCOM: (a) tensão da rede e tensão CC e (b) corrente CA.

corrente pelo circuito equivalente:

$$2L\frac{di(t)}{dt}+2Ri(t)+\frac{1}{C_{eq}}\int_0^t i(\lambda)\,d\lambda=\left[v_{s,ab}(t)-\right.$$
$$\left.-V_{cc}(\alpha^-)\right]U_{-1}(t-\alpha/\omega) \qquad (1)$$

onde $v_{s,ab}(t)=\sqrt{2}V_L\,\mathrm{sen}\,(\omega t)$, V_L é o valor eficaz da tensão da rede, ω é a frequência angular fundamental, $U_{-1}(t-\alpha/\omega)$ é a função degrau unitário aplicada no instante $t_\alpha=(\alpha/\omega)$.

Assumindo que o efeito da resistência série é desprezível ($R_f+R_s\approx 0$) e que $i(\alpha^-/\omega)=0$ e $V_{cc}(\alpha^-/\omega)=V_{cc}$, chega-se à seguinte expressão, no domínio da frequência, para a corrente:

$$I(s)=\left(\frac{\sqrt{2}V_L}{2L}\right)\frac{e^{-s\left(\frac{\alpha}{\omega}\right)}s\,(\omega\,\cos\alpha+s\,\mathrm{sen}\,\alpha)}{(s^2+\omega^2)\,(s^2+\omega_r^2)}-$$
$$-\left(\frac{V_{cc}}{2L}\right)\frac{e^{-s\left(\frac{\alpha}{\omega}\right)}}{s^2+\omega_r^2} \qquad (2)$$

onde $\omega_r=1/\sqrt{2LC_{eq}}$.

Aplicando a transformada inversa de Laplace em (2) tem-se que a corrente de pré-energização, no domínio do tempo, é dada por:

$$i(t)=\left\{\frac{\sqrt{2}V_L\omega}{2L(\omega_r^2-\omega^2)}\left[\left(\frac{\omega_r}{\omega}\right)\mathrm{sen}\,(\alpha)\,\mathrm{sen}\left(\omega_r t-\frac{\omega_r\alpha}{\omega}\right)-\right.\right.$$
$$\left.-\cos(\alpha)\cos\left(\omega_r t-\frac{\omega_r\alpha}{\omega}\right)+\cos(\omega t)\right]-$$
$$\left.-\left(\frac{V_{cc}}{2L\omega_r}\right)\mathrm{sen}\left(\omega_r t-\frac{\omega_r\alpha}{\omega}\right)\right\}U_{-1}\left(t-\frac{\alpha}{\omega}\right). \qquad (3)$$

A expressão (3) é válida para $\alpha\leq\omega t\leq\beta$. Na próxima seção será mostrado como a relação anterior pode ser usada para limitar a amplitude da corrente de carga do DSTATCOM.

B. Controle da Corrente de Pré-energização

Da Figura 5 (b) tem-se que o valor de pico da corrente de pré-energização acontece no instante $\omega t=\gamma_e$, ou seja, quando o valor da tensão instantânea da rede é igual ao valor da tensão do barramento CC. Pode-se então estimar o valor de γ_e através de:

$$\gamma_e\approx\pi-\mathrm{sen}^{-1}\left(\frac{V_{cc}}{\sqrt{2}V_L}\right) \qquad (4)$$

onde o subíndice $(_e)$ foi adicionado à variável γ para indicar que esse ângulo é referente a energização do compensador.

Esse ângulo será 180° quando o capacitor CC estiver totalmente descarregado e igual a 90° quando o capacitor estiver carregado com a tensão de pico da rede CA. Desse modo, conhecendo o valor da tensão V_{cc} e do ângulo γ_e, pode-se resolver numericamente (3) de maneira a determinar o ângulo α_e tal que:

$$i(t_{\gamma_e})=I_{máx} \qquad (5)$$

onde $t_{\gamma_e}=(\gamma_e/\omega)$.

Os ângulos de disparo dos tiristores podem ser obtidos aplicando-se o método de Newton-Raphson sucessivamente em (5), para V_{cc} variando de zero até a tensão CC máxima.

III. SIMULAÇÃO DIGITAL DO CONTROLADOR DE PRÉ-ENERGIZAÇÃO

O sistema da Figura 1 foi modelado no programa PSIM a fim de demonstrar o processo de pré-energização proposto para o DSTATCOM. Os parâmetros da rede e do compensador estático são dados nas Tabelas I e II, respectivamente.

Na Tabela III são mostrados os ganhos dos controladores de corrente e tensão do DSTATCOM. Os controladores de corrente foram projetados a partir das funções de transferência obtidas do diagrama de blocos da Figura 2 (a). Os ganhos dos controladores de corrente foram escolhidos para cancelar o polo da planta com o zero do controlador e garantir uma constante de tempo de 0,1 ms para o sistema em malha fechada [18],[21]. O controlador de tensão (Figura 2 (b)) foi projetado com uma frequência de corte uma década abaixo da frequência de corte dos controladores de corrente e para garantir uma margem de fase de 76° em malha fechada [19].

TABELA I
Parâmetros da Rede de Distribuição

Grandeza	Valor
Tensão de linha eficaz (V_L)	220 V
Frequência fundamental (f)	60 Hz
Resistência equivalente da rede (R_s)	0,1 Ω
Indutância equivalente da rede (L_s)	150 μH

Na Figura 6 é mostrado o diagrama de blocos do controlador de pré-energização do DSTATCOM. A tensão do barramento CC é medida e o sinal depois de passar por um limitador é processado pelo bloco *Solve* cuja saída é o ângulo α_e. O circuito PLL do DSTATCOM é usado para determinar o ângulo ρ_{ab} da tensão de alimentação. O controlador C_e compara os ângulos ρ_{ab} e α_e e fornece os sinais de disparo dos tiristores T_1 e T_2. Os sinais de saída do bloco C_e são enviados

TABELA II
Parâmetros do DSTATCOM

Grandeza	Valor
Tensão nominal	220 V
Potência nominal	3,8 kVA
Frequência de comutação (f_c)	20 kHz
Capacitância equivalente (C_{eq})	4700 μF
Resistência do barramento CC (R_p)	11 kΩ
Resistência do filtro (R_f)	0,33 Ω
Indutância do filtro (L_f)	1,25 mH
Resistência dos interruptores (R_{IGBT})	13 mΩ

TABELA III
Ganhos dos Controladores do DSTATCOM

Controlador	Ganho	Valor
Corrente	Proporcional	12,5 V/A
	Integral	3430 V/(A s)
Tensão	Proporcional	17,4 mA/V^2
	Integral	8,7 A/(V^2 s)

ao módulo de disparo de tiristores cujas saídas são $Fire_{T1}$ e $Fire_{T2}$.

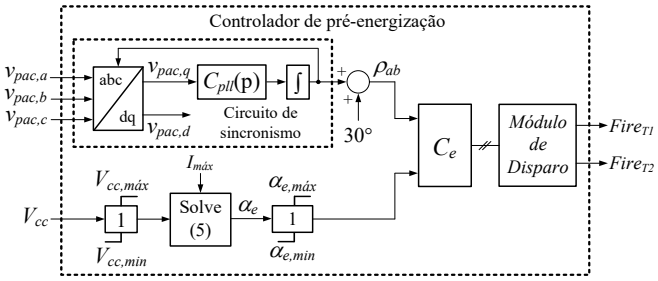


Fig. 6. Diagrama de blocos do controlador do ângulo de disparo dos tiristores durante a pré-energização do DSTATCOM.

Na Figura 7 (a) são mostradas as formas de onda da tensão do barramento CC e da corrente da fase "a" do DSTATCOM. Inicialmente o contato Sw_2 é fechado enquanto os contatos Sw_1 e Sw_3 são mantidos abertos. De $t = 0{,}1$ s a $t = 1{,}5$ s, o capacitor CC é energizado com uma corrente controlada cujo valor de pico não ultrapassa $I_{máx} = 10$ A. Como o valor médio da corrente de pré-energização é mantido constante durante esse período, a tensão CC sobre o capacitor do compensador cresce linearmente.

Na Figura 7 (b) é mostrado um detalhe da forma de onda da corrente da fase "a" durante a pré-energização. Em $t = 2{,}1$ s, a tensão V_{cc} atinge 311 V. Assim, os contatos Sw_1 e Sw_3 são fechados, os controladores de tensão e corrente do DSTATCOM são habilitados e, em seguida, a tensão V_{cc} é regulada em 400 V. A partir deste momento o DSTATCOM realiza uma compensação de 3,8 kvar em seus terminais.

Na próxima seção será mostrada uma modificação no circuito anterior que permitirá também a desenergização do DSTATCOM.

IV. ENERGIZAÇÃO E DESENERGIZAÇÃO SÍNCRONA

Nas aplicações práticas é importante também descarregar totalmente o capacitor do DSTATCOM para realizar uma

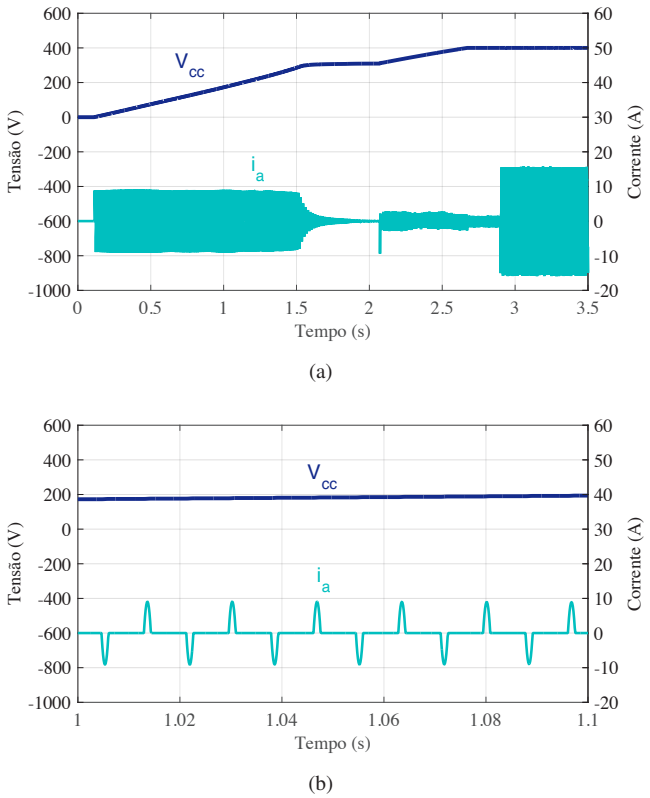


Fig. 7. Formas de onda do DSTATCOM de 3,8 kVA/220 V: (a) tensão do barramento CC e corrente da fase "a" e (b) detalhe da corrente da fase "a" durante a pré-energização.

manutenção ou para retirar o compensador de operação.

Na Figura 8 é mostrada uma modificação do circuito de pré-energização na qual os tiristores T_1 e T_2 são conectados em antiparalelo em uma configuração de um gradador [22], [23]. Esta modificação permite realizar tanto a energização quanto a desenergização do DSTATCOM. Por simplicidade os diagramas de blocos dos controladores bem como os circuitos de interface e a rede elétrica foram omitidos desta figura.

Durante a pré-energização, os contatos Sw_1 e Sw_3 são mantidos abertos e o contato Sw_2 fechado. O ângulo de disparo dos tiristores é calculado conforme metodologia descrita na Seção II. B. Na Figura 9 (a) é mostrado o circuito equivalente do DSTATCOM durante a pré-energização e o sentido da corrente de carga do capacitor CC para $v_{s,ab} \geq 0$. Esse circuito se comporta como um retificador a diodos em ponte completa cuja tensão de entrada é controlada pelos tiristores T_1 e T_2.

Para realizar a desenergização do capacitor CC do DSTATCOM, além dos tiristores T_1 e T_2, os interruptores $(S_1 - S_6)$ e $(S_3 - S_4)$ devem ser acionados em sincronismo com os semiciclos positivo e negativo da tensão de alimentação. Na Figura 9 (b) é mostrado o circuito equivalente do DSTATCOM durante o processo de desenergização e o sentido da corrente de descarga do capacitor CC para $v_{s,ab} \geq 0$.

Nas Figuras 10 (a) e (b) são mostradas as formas de onda da tensão CC do capacitor, da tensão CA da rede e da corrente de descarga, respectivamente. Durante a desenergização os tiristores T_1 e T_2 devem ser disparados com um ângulo $\alpha < 90°$. Nessa região a tensão V_{cc} será maior que a tensão $v_{s,ab}(t)$ e a corrente $i(t)$ irá fluir do capacitor para a rede CA, conforme

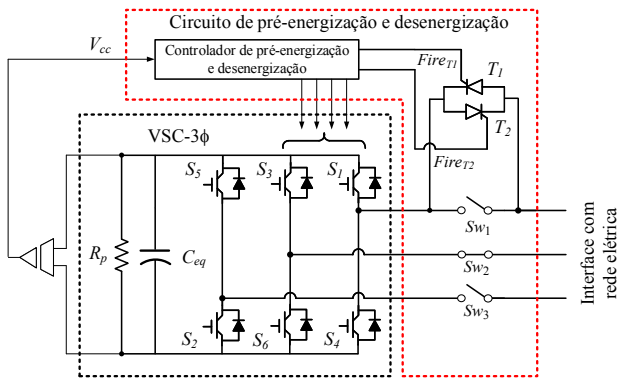


Fig. 8. Topologia do circuito de pré-energização e desenergização síncrona do DSTATCOM.

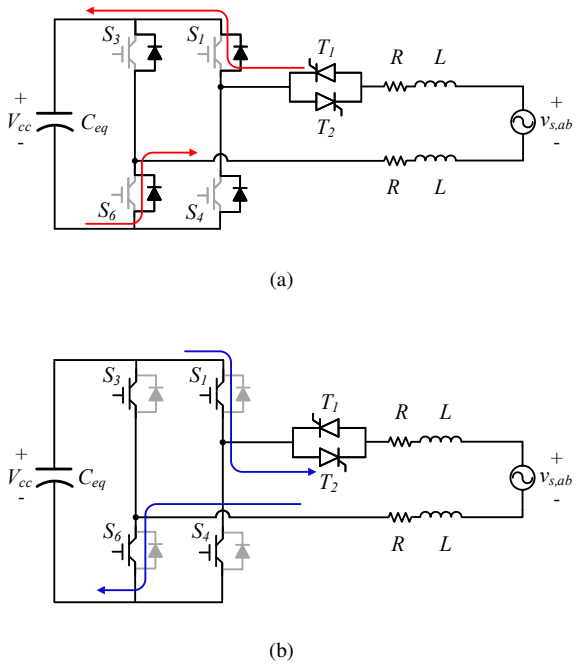


Fig. 9. Circuitos equivalentes do DSTATCOM: (a) pré-energização, (b) desenergização.

indicado na Figura 9 (b).

Os interruptores $(S_1 - S_6)$ devem ser mantidos fechados enquanto a corrente pelo circuito é positiva. Já os interruptores $(S_3 - S_4)$ devem ser disparados juntamente com T_1. Depois do disparo, ocorrerá o bloqueio natural dos tiristores em $\omega t = \beta$ e os IGBTs poderão ser comutados com corrente nula.

A. Modelagem Matemática da Corrente de Desenergização

Tendo em mente o circuito equivalente da Figura 9 (b) pode-se escrever a seguinte relação para a corrente de desenergização do DSTATCOM:

$$2L\frac{di(t)}{dt} + 2Ri(t) + \frac{1}{C_{eq}}\int_0^t i(\lambda)\,d\lambda = \left[V_{cc}(\alpha^-) - \right.$$
$$\left. - v_{s,ab}(t)\right] U_{-1}\left(t - \alpha/\omega\right). \qquad (6)$$

Desprezando o efeito da resistência série, a solução de (6) é dada por:

$$i(t) = \left\{ \frac{\sqrt{2}V_L\omega}{2L(\omega_r^2 - \omega^2)} \left[\cos(\alpha)\cos\left(\omega_r t - \frac{\omega_r\alpha}{\omega}\right) - \right.\right.$$
$$- \cos(\omega t) - \left(\frac{\omega_r}{\omega}\right)\operatorname{sen}(\alpha)\operatorname{sen}\left(\omega_r t - \frac{\omega_r\alpha}{\omega}\right)\Big] +$$
$$\left. + \left(\frac{V_{cc}}{2L\omega_r}\right)\operatorname{sen}\left(\omega_r t - \frac{\omega_r\alpha}{\omega}\right)\right\} U_{-1}\left(t - \frac{\alpha}{\omega}\right) \qquad (7)$$

sendo $\omega_r = 1/\sqrt{2LC_{eq}}$. Como no caso anterior, a expressão analítica da corrente pelo circuito é válida somente para $\alpha \leq \omega t \leq \beta$.

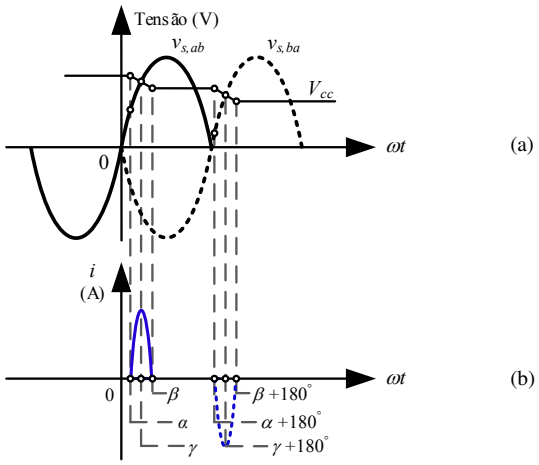


Fig. 10. Formas de onda durante o processo de desenergização síncrona do DSTATCOM: (a) tensão da rede e tensão CC e (b) corrente CA.

B. Controle da Corrente de Desenergização Síncrona

Da Figura 10 (b), tem-se que o valor de pico da corrente de desenergização acontece no instante $\omega t = \gamma_d$. Esse ângulo pode ser então estimado por:

$$\gamma_d \approx \operatorname{sen}^{-1}\left(\frac{V_{cc}}{\sqrt{2}V_L}\right) \qquad (8)$$

onde o subíndice $(_d)$ foi adicionado à variável γ para indicar que esse ângulo é referente a desenergização do compensador.

Como no caso anterior, conhecendo o valor da tensão V_{cc}, pode-se utilizar (7) para calcular o ângulo α_d de maneira que o pico da corrente de desenergização $i(t_{\gamma_d})$ seja $I_{máx}$. Desse modo, os ângulos de disparo dos tiristores podem ser determinados aplicando-se o método de Newton-Raphson sucessivamente em (7), para a tensão CC variando do valor máximo até zero.

V. RESULTADOS E ANÁLISES EXPERIMENTAIS

O circuito e a estratégia de energização/desenergização proposta neste trabalho foram incorporados no modelo digital do DSTATCOM e num protótipo de pequena escala. Os parâmetros da rede, do compensador e dos

controladores do DSTATCOM são os mesmos daqueles indicados nas Tabelas I, II e III, respectivamente. Na Figura 11 é mostrada a fotografia do protótipo utilizado para obter os resultados experimentais no laboratório. Todos os algoritmos de controle (controladores de corrente, tensão e energização/desenergização) do DSTATCOM foram implementados em um processador digitais de sinais (do inglês, "*Digital Signal Processor*") (DSP) da Texas Instruments (TMS320F28335).

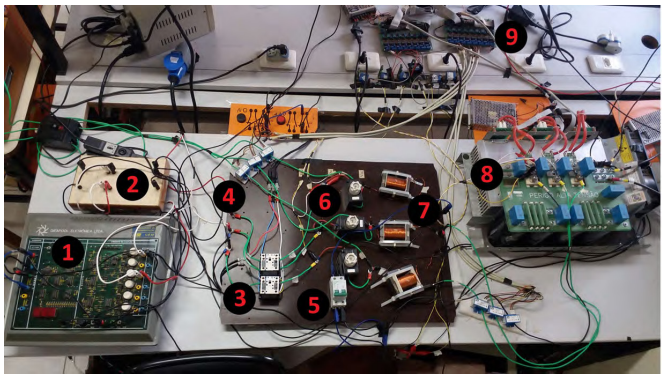


Fig. 11. Foto do protótipo em pequena escala do DSTATCOM: ① e ② módulo de disparo e tiristores, ③ e ④ sensores Hall, ⑤ disjuntor, ⑥ fusíveis, ⑦ filtros, ⑧ conversor, ⑨ placas de condicionamento.

Para reduzir o esforço computacional e aumentar a eficiência do algoritmo de energização e desenergização, as relações não lineares (3) e (7) não são resolvidas a cada passo de simulação/amostragem. Ao invés disso os vetores com as soluções (V_{cc},α_e) e (V_{cc},α_d) foram usados para ajustar os coeficientes de aproximações lineares por partes (do inglês, "*Piecewise Linear*") (PWL) [24] com dez e oito pontos de quebra, respectivamente (Apêndice).

Na Figura 12 é mostrado o diagrama de blocos do controlador de energização/desenergização do DSTATCOM. A tensão do barramento CC é medida e processada pelos blocos PWL_e e PWL_d. Uma chave seletora é usada para determinar se o capacitor será energizado ou desenergizado. Os ângulos α_e e α_d são processados pelos blocos C_e e C_d cujas saídas são enviadas ao módulo de disparo dos interruptores, durante a pré-energização e desenergização síncrona, respectivamente.

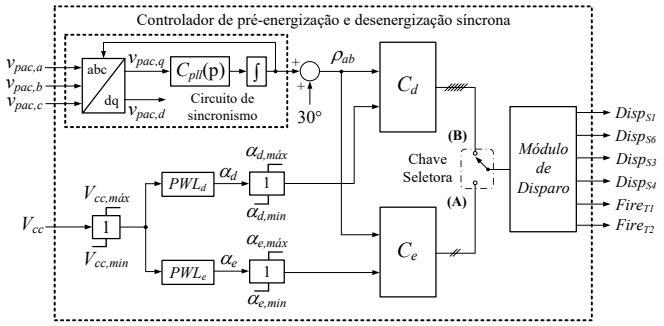


Fig. 12. Diagrama de blocos do controlador de pré-energização e desenergização síncrona do DSTATCOM.

Nas Figuras 13 (a) e (b) são mostradas as formas de onda da tensão do barramento CC e da corrente da fase "*a*" do DSTATCOM, respectivamente. Inicialmente o DSTATCOM da Figura 8 é conectado à rede CA com os contatos Sw_1 e Sw_3 abertos e o contato Sw_2 fechado.

Em $t = 8{,}5$ s o bloco controlador de energização/desenergização da Figura 12 é habilitado. A tensão do barramento CC é usada pelo bloco PWL_e para gerar o ângulo de disparo dos tiristores de maneira que o valor de pico da corrente de pré-energização seja 10 A. Como o valor médio da corrente de carga é mantido praticamente constante, a tensão CC sobre o capacitor cresce linearmente durante esse período. Na Figura 14 é mostrado um detalhe da forma de onda da corrente da fase "*a*" durante a pré-energização.

Em $t = 10$ s a tensão CC do DSTATCOM atinge o valor de pico da tensão CA da rede. O controlador de pré-energização do compensador bloqueia o disparo dos tiristores T_1 e T_2 e os contatos Sw_1 e Sw_3 são fechados. Neste instante não se observa nenhuma sobrecorrente drenada pelo compensador.

Em $t = 12{,}5$ s os controladores de tensão e de corrente do DSTATCOM são habilitados. A corrente de referência I_d^* é usada então para carregar o capacitor até a tensão CC de 400 V. Em $t = 14{,}5$ s a corrente de referência I_q^* é variada em degrau de zero para -14 A. O DSTATCOM então começa a compensar potência reativa em seus terminais (3,8 kvar) até o instante $t = 17{,}6$ s, quando o sinal de referência I_q^* é novamente variado em degrau para zero.

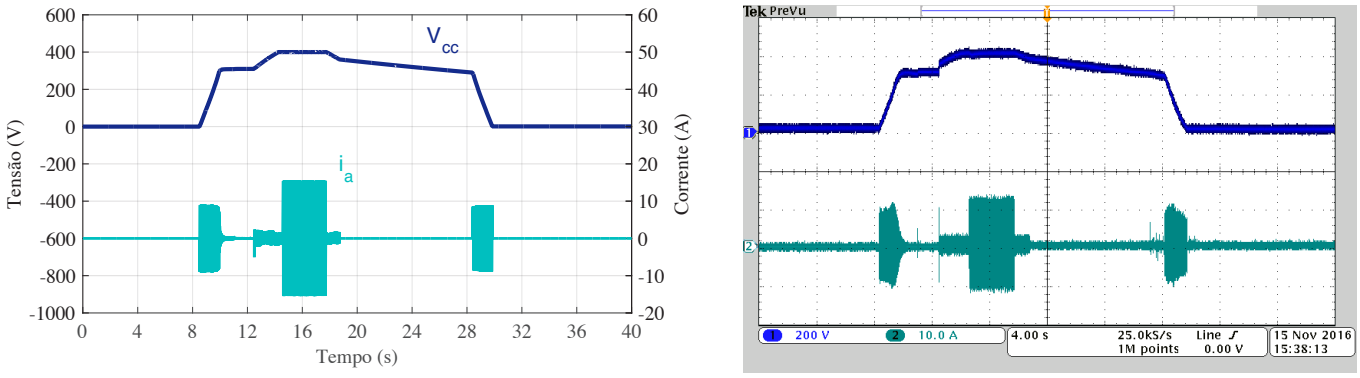
Em $t = 17{,}7$ s a corrente I_d do compensador é controlada de maneira a realizar a redução da tensão do barramento CC. De $t = 18{,}6$ s a $t = 28{,}5$ s observa-se uma descarga natural do capacitor do compensador.

Finalmente em $t = 28{,}6$ s os contatos Sw_1 e Sw_3 são abertos e o controlador de desenergização síncrona é habilitado. O bloco PWL_d gera o ângulo de disparo dos interruptores de maneira que o pico da corrente de desenergização seja 10 A. A tensão CC sobre o capacitor decresce linearmente até atingir o zero durante esse período. Na Figura 15 é mostrado um detalhe da forma de onda da corrente da fase "*a*" durante a desenergização síncrona.

VI. CONCLUSÕES

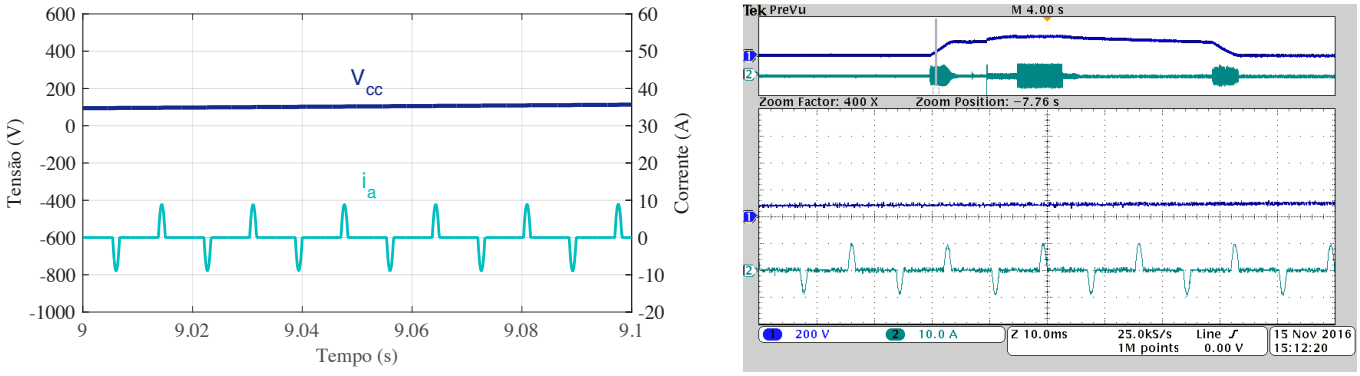
Neste trabalho foi proposta uma estratégia para energizar/desenergizar um DSTATCOM de 3,8 kVA/220 V. Foram investigados dois circuitos distintos, o primeiro baseado em uma topologia de um retificador semi-controlado e o segundo baseado em um gradador. Diferentemente de outras estratégias, a estratégia proposta permite controlar a corrente de carga ou descarga do compensador sem utilizar transformadores, resistores, indutores ou fontes auxiliares adicionais.

A modelagem matemática dos circuitos de energização/desenergização propostos permitiu desenvolver uma metodologia para regular a corrente pelo circuito a partir do controle do ângulo de disparo dos tiristores. As estratégias de controle desenvolvidas foram validadas a partir de simulações digitais no programa PSIM. Como as correntes de carga e de descarga foram controladas, a tensão CC sobre o capacitor do DSTATCOM variou linearmente com o tempo. Para reduzir o esforço computacional, as relações não lineares entre a tensão CC e o ângulo de disparo dos tiristores foram aproximadas por uma função linear por partes.



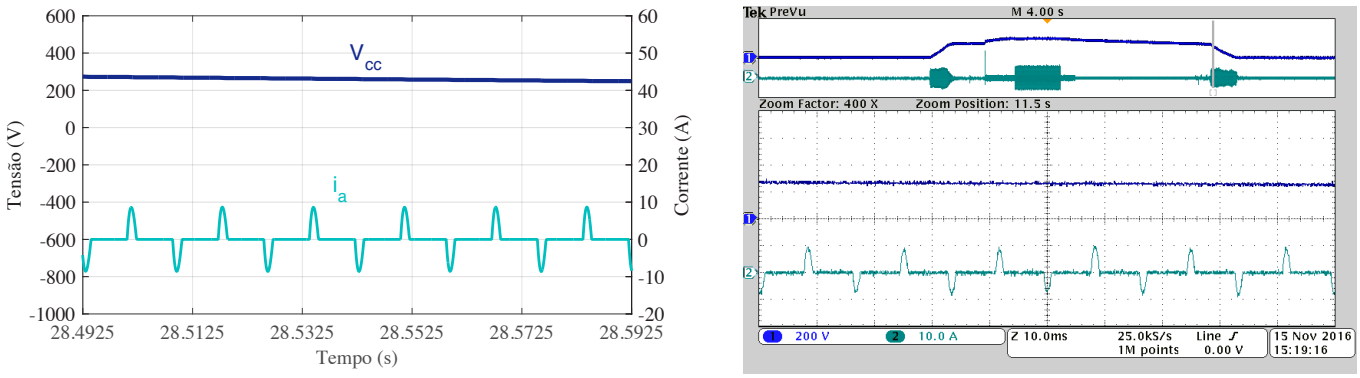
(a) (b)

Fig. 13. Tensão do barramento CC e corrente da fase "*a*" durante a energização, compensação de potência reativa e desenergização do DSTATCOM: (a) simulação, (b) experimental.



(a) (b)

Fig. 14. Detalhe da tensão do barramento CC e corrente da fase "*a*" durante a pré-energização do DSTATCOM: (a) simulação, (b) experimental.



(a) (b)

Fig. 15. Detalhe da tensão do barramento CC e corrente da fase "*a*" durante a desenergização síncrona do DSTATCOM: (a) simulação, (b) experimental.

Resultados experimentais obtidos com um protótipo de pequena escala em laboratório foram apresentados para validar os resultados teóricos e simulados. Apesar da potência reduzida do protótipo, o método proposto neste trabalho pode ser utilizado para energizar/desenergizar conversores de maior potência sem a necessidade de alterações significativas nas topologias dos conversores estáticos.

AGRADECIMENTOS

Os autores gostariam de agradecer o INERGE, a CAPES, o CNPq (Proc. 456040/2014-5) e a FAPEMIG (APQ-01046-15) pelo suporte financeiro e bolsas recebidas.

APÊNDICE
APROXIMAÇÃO LINEAR POR PARTES (PWL)

As características (V_{cc}, α_e) e (V_{cc}, α_d) resultantes da solução numérica de (3) e (7), podem ser aproximadas por duas funções lineares por partes escritas como se segue:

$$\alpha_{PWL}(V_{cc}) = a + bV_{cc} + \sum_{k=1}^{P} C_k \left| V_{cc} - V_{cc,k} \right| \tag{9}$$

onde α_{PWL} é o ângulo dado pela aproximação linear por partes; V_{cc} é a tensão do barramento CC; P é o número de pontos de quebra da aproximação linear por partes e k é um número inteiro.

Os coeficientes a, b e C_k da aproximação linear por partes são calculados por:

$$\begin{cases} a = \alpha(V_{cc,0}) - \sum_{k=1}^{P} C_k \left| V_{cc,k} \right| \\ b = \left(\dfrac{m_0 + m_P}{2} \right) \\ C_k = \left(\dfrac{m_k + m_{k-1}}{2} \right) \end{cases} \tag{10}$$

sendo $m_k = (\alpha_{k+1} - \alpha_k)/(V_{cc,k+1} - V_{cc,k})$ o coeficiente angular (inclinação) do segmento de reta entre os pontos k e $(k+1)$ da aproximação PWL.

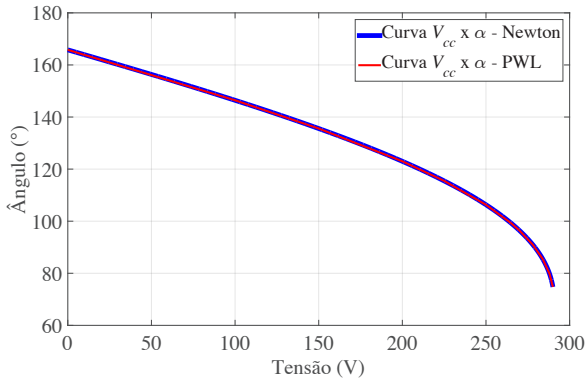
Nas Tabelas IV e V são dados os valores dos pontos de quebra e dos coeficientes das aproximações PWL das características de energização e desenergização do DSTATCOM, respectivamente. Nas Figuras 16 (a) e (b) são mostradas as curvas reais e aproximadas referentes aos processos de pré-energização e desenergização síncrona do conversor estático, respectivamente. Para traçar a curva de pré-energização, os ângulos α_e foram calculados para V_{cc} variando de zero até 290 V, enquanto que os ângulos α_d foram calculados para V_{cc} variando de 290 V até zero. Ambas as curvas foram geradas para uma variação de 0,01 V em 0,01 V em V_{cc}.

TABELA IV
Coeficientes da Aproximação PWL da Característica de Pré-energização

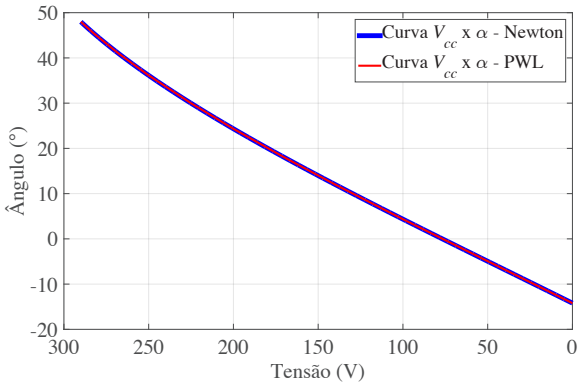
Pontos de quebra			Coeficientes
k	$V_{cc,k}$	α_k	
Inicial	0	165,79°	$b = -1{,}3515975093$
1	100	146,43°	$c_1 = -0{,}0115820331$
2	150	135,58°	$c_2 = -0{,}0174506237$
3	200	123,00°	$c_3 = -0{,}0246203517$
4	225	115,47°	$c_4 = -0{,}0327530364$
5	250	106,31°	$c_5 = -0{,}0514447356$
6	265	99,27°	$c_6 = -0{,}0486501542$
7	270	96,43°	$c_7 = -0{,}0584521548$
8	278	90,97°	$c_8 = -0{,}1228378067$
9	284	85,39°	$c_9 = -0{,}2385467176$
10	288	79,76°	$c_{10} = -0{,}5515709826$
Final	290	74,74°	$a = 484{,}14928072$

TABELA V
Coeficientes da Aproximação PWL da Característica de Desenergização Síncrona

Pontos de quebra			Coeficientes
k	$V_{cc,k}$	α_k	
Inicial	290	47,98°	$b = 0{,}2603519202$
1	282	45,30°	$c_1 = 0{,}0030424563$
2	268	41,05°	$c_2 = 0{,}0040801834$
3	250	36,13°	$c_3 = 0{,}0055028908$
4	225	29,98°	$c_4 = 0{,}0074642444$
5	200	24,34°	$c_5 = 0{,}0102453137$
6	170	18,01°	$c_6 = 0{,}0133755719$
7	140	12,02°	$c_7 = 0{,}0153956608$
8	100	4,35°	$c_8 = 0{,}0156836159$
Final	0	−14,20°	$a = -31{,}70592591$



(a)



(b)

Fig. 16. Curvas PWL sobrepostas nas características V_{cc} x α: (a) pré-energização síncrona e (b) desenergização síncrona.

REFERÊNCIAS

[1] N. G. Hingorani, L. Gyugyi, *Understanding FACTS: concepts and technology of flexible AC transmission systems*, Wiley-IEEE press, 2000.

[2] B. Singh, P. Jayaprakash, D. Kothari, "A T-connected transformer and three-leg VSC based DSTATCOM for power quality improvement", *IEEE Transactions on Power Electronics*, vol. 23, no. 6, pp. 2710–2718, Nov. 2008.

[3] H. Akagi, E. H. Watanabe, M. Aredes, *Instantaneous*

power theory and applications to power conditioning, vol. 31, John Wiley & Sons, 2007.

[4] J. Rodriguez, J.-S. Lai, F. Z. Peng, "Multilevel inverters: a survey of topologies, controls, and applications", *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 724–738, Aug. 2002.

[5] H. Akagi, "Classification, terminology, and application of the modular multilevel cascade converter (MMCC)", *IEEE Transactions on Power Electronics*, vol. 26, no. 11, pp. 3119–3130, Nov. 2011.

[6] M. Malinowski, K. Gopakumar, J. Rodriguez, M. A. Pérez, "A survey on cascaded multilevel inverters", *IEEE Transactions on Industrial Electronics*, vol. 57, no. 7, pp. 2197–2206, Jul. 2010.

[7] M. Manolarou, G. Kostakis, S. Manias, "Inrush current limiting technique for low-voltage synchronous DC/DC converters", *IEE Proceedings-Electric Power Applications*, vol. 152, no. 5, pp. 1179–1183, Sep. 2005.

[8] T. Larsson, B. Thorvaldsson, B. Akesson, "Device for energizing a voltage-source converter", US Patent 6,337,802, Jan. 8 2002.

[9] C. Schauder, E. Stacey, M. Lund, L. Gyugyi, L. Kovalsky, A. Keri, A. Mehraban, A. Edris, "AEP UPFC project: installation, commissioning and operation of the ±160 MVA STATCOM (phase I)", *IEEE Transactions on Power Delivery*, vol. 13, no. 4, pp. 1530–1535, Oct. 1998.

[10] C. Han, *Power system dynamic voltage management with advanced STATCOM and energy storage system*. Ph.D. Thesis, North Carolina State University, Raleigh, USA, 2006.

[11] C. Han, B. Chen, K. Tewari, W. Liu, A. Q. Huang, M. Ingram, A. A. Edris, S. Atcitty, "An ETO Thyristor and Modular H-bridge PWM Converter-based 4.5 MVA STATCOM: 480 V/500 A Transformerless Grid-Connected Experimentation", *in Conference Record of the 2006 IEEE Industry Applications Conference Forty-First IAS Annual Meeting*, vol. 2, pp. 1039–1044, 2006.

[12] C. A. Petry, "Metodologia de projeto de retificadores com filtro capacitivo", *Revista Ilha Digital*, vol. 3, pp. 77–85, Jan. 2012.

[13] D. Balocco, "AC/DC converter preloading circuit", US Patent App. 12/958,854, Jun. 9 2011.

[14] R. L. Ribeiro, R. M. Sousa, E. C. Santos Jr., T. O. Rocha, "Enhanced power quality compensation of shunt active power filters without harmonic detection schemes", *Revista Eletrônica de Potência*, vol. 19, no. 4, pp. 332–342, Nov. 2014.

[15] C. H. da Silva, R. R. Pereira, L. E. B. da Silva, G. L. Torres, R. B. Gonzatti, "Charging and regulating the DC-link voltage of hybrid active series power filters", *in 14th International Conference on Harmonics and Quality of Power (ICHQP)*, pp. 1–4, 2010.

[16] W.-H. Choi, C.-S. Lam, M.-C. Wong, Y.-D. Han, "Analysis of DC-link voltage controls in three-phase four-wire hybrid active power filters", *IEEE Transactions on Power Electronics*, vol. 28, no. 5, pp. 2180–2191, May 2013.

[17] J.-P. Hasler, "Methods for de-energizing a chain-link converter, controller, computer programs and computer program products", US Patent 8,760,120, Jun. 24 2014.

[18] P. M. de Almeida, *Modelagem e Controle de Conversores Estáticos Fonte de Tensão utilizados em Sistemas de Geração Fotovoltaicos Conectados à Rede Elétrica de Distribuição*, Dissertação de mestrado, Universidade Federal de Juiz de Fora, Juiz de Fora, Brasil, 2011.

[19] P. M. de Almeida, A. A. Ferreira, H. A. Braga, P. G. Barbosa, "Projeto dos controladores de um conversor VSC usado para conectar um sistema de geração fotovoltaica à rede elétrica", *in Anais do Congresso Brasileiro de Automática*, pp. 3960–3965, 2012.

[20] A. Yazdani, R. Iravani, *Voltage-sourced converters in power systems: modeling, control, and applications*, John Wiley & Sons, 2010.

[21] S. N. Duarte, J. G. de Oliveira, P. G. Barbosa, "Projeto e simulação dos controladores de um sistema de geração eólica conectado à rede de distribuição", *in Anais do Congresso Brasileiro de Automática*, pp. 1014–1019, 2016.

[22] M. H. Rashid, *Power electronics handbook: devices, circuits and applications*, Academic press, 2010.

[23] J. R. Tibola, R. L. Sari, T. D. M. Lanzanova, M. E. S. Martins, H. Pinheiro, "Modeling and Control of a Low-Cost Driver For an Eddy Current Dynamometer", *Journal of Control, Automation and Electrical Systems*, vol. 27, no. 4, pp. 368–378, Apr. 2016.

[24] L. O. Chua, P. Y. Lin, *Computer-aided analysis of electronic circuits: algorithms and computational techniques*, Prentice Hall Professional Technical Reference, 1975.

DADOS BIOGRÁFICOS

Samuel Neves Duarte recebeu o título de Engenheiro e Mestre em Engenharia Elétrica pela Universidade Federal de Juiz de Fora em 2014 e 2017, respectivamente, onde atualmente é aluno de doutorado.

Gabriel Azevedo Fogli recebeu o título de Engenheiro Eletrônico e de Telecomunicações pela PUC Minas, em 2011 e o título de Mestre em Engenharia Elétrica pela Universidade Federal de Juiz de Fora, em 2014, onde atualmente cursa o doutorado. Desde 2016 ele é Professor Assistente do Departamento de Engenharia Elétrica da UFOP.

Pedro Machado de Almeida recebeu os títulos de Engenheiro, Mestre e Doutor em Engenharia Elétrica pela Universidade Federal de Juiz de Fora em 2009, 2011 e 2013, respectivamente. Desde 2014 ele é Professor Adjunto do Departamento de Energia Elétrica da UFJF.

Pedro Gomes Barbosa recebeu o título de Engenheiro Eletricista pela Universidade Federal de Juiz de Fora em 1986 e os títulos de Mestre e Doutor, em Engenharia Elétrica, pela Universidade Federal do Rio de Janeiro em 1994 e 2000, respectivamente. Desde 2016 ele é Professor Titular do Departamento de Energia Elétrica da UFJF.

STUDY OF THE CASCADED DOUBLY FED INDUCTION MACHINE DYNAMICS UNDER VECTOR CONTROL

Carlos H. S. de Vasconcelos[1], Antonio C. Ferreira[2], Richard M. Stephan[2]
[1]CEFET-MG, Leopoldina - MG, Brasil
[2]COPPE/UFRJ, Rio de Janeiro - RJ, Brasil
e-mail: vasconcelos@leopoldina.cefetmg.br, ferreira@coep.ufrj.br, richard@dee.ufrj.br

***Abstract* – Brushless Doubly-Fed Induction Machines (BDFIM) present many industrial advantages due to the lack of brushes. A foreseen major application is for Wind Power Generation in substitution to the well known and used Doubly-Fed Induction Generator. The Cascaded Doubly Fed Induction Generator (CDFIG), composed of two Doubly-Fed Induction Machines (DFIM), can be used as starting point to the study of BDFIM and is the object of the present paper. The dynamic model and vector control of the CDFIG will be discussed. The reference frame is given by the stator flux of the power machine. The proposed control has a cascaded structure, with internal current loop and two different possibilities of external control loop: speed control or power control. In both cases the reference is given by a Maximum Power Point Tracking (MPPT) scheme and the reactive power reference is established in accordance with the requirements of reactive power compensation. Experimental results are presented to validate the proposed methodology.**

***Keywords* – Brushless Doubly Fed Machine, Cascaded Doubly Fed Induction Machine, Wind Power Generator.**

NOMENCLATURE

A. Variables

u	Voltage.
i	Current.
ψ	Flux linkage.
R	Resistance.
L	Linkage inductance.
M	Mutual inductance.
ω	Angular velocity.
P	Number of pole pairs.
m	Electromagnetic torque.

B. Subscripts and Superscripts

g	General reference frame.
e	Excitation reference frame.
p	Power Machine.
c	Control Machine.
s	Stator.
r	Rotor.
L	load.
sm	Synchronous speed.
ep	Electrical speed of Power Machine.
epc	Electrical speed between Power and Control Machine.

Manuscript received 23/03/2017; first revision 15/05/2017; accepted for publication 27/06/2017, by recommendation of Editor Marcelo Cabral Cavalcanti.

I. INTRODUCTION

The brushless doubly-fed machine presents several advantages when used in adjustable speed drive or as a wind turbine generator. The absence of slip rings and brushes increase the lifetime of the machine and reduces the maintenance costs [1]. Recent publications show three common types of brushless doubly-fed machine: Brushless doubly-fed machine (BDFM), single frame cascaded doubly-fed induction machine (SF-CDFIM) and cascaded doubly-fed induction machine (CDFIM) [2].

The first one is the most compact machine. It consists in two three-phase winding systems in the same frame and mounted in the same slots. The rotor structure in nested-loop was proposed by Broadway and Burbridge [3]. The second type is composed of two sets of stator winding assembled next to each other in the same frame and there are two individual rotor arranged on the shaft. Both machines types hold a prototype status and are not standard manufacturing [4].

The third one will be studied in this paper. It consists in the connection of two DFIM, both mechanically and electrically and can have a higher commercial appeal since DFIMs are of standard manufacturing. The first motor is called Power Machine and is directly connected to the power system grid while the second one, called Control Machine, is supplied from a power electronic converter. This machine contains slip rings and brushes but, due to the mechanical connection, both rotors have the same rotational speed and the brushes are no longer necessary. The main use of these machines seems to be as generator in wind power plants, with variable speed operation [5], [6].

The fundamental concepts to understand the operation in steady state of CDFIM were shown in a previous paper. Based on these considerations, the possible points of operation and the power flow of the set were deduced [7].

The present paper aims the study of the dynamic characteristics of the CDFIM under vector control based on the orientation on the Power Machine stator flux. This control approach can be divided in three parts: Current control loop, speed control loop and power control loop. Based on the experimental result of current control loop, the transient response of the CDFIM to current step changes in the Control Machine and the cross coupling disturbance are examined. In the speed control loop and the power control loop, the decoupling of the active and reactive power is examined. The

main contribution of this work is to verify the speed and power control loop dynamic characteristics and validate the vector control based on the orientation on the Power Machine stator flux strategies applied to a CDFIM.

II. CDFIM MODEL

The model of the CDFIM can be derived from the model of the DFIM. Considering a symmetric three-phase winding and a sinusoidal magnetic flux density and disregarding magnetic saturation and the temperature effects, the DFIM model can be supposed linear. The model of DFIM in a general reference frame ("g") is given by:

$$\overline{u}_s^g = R_s \overline{i}_s^g + \frac{d\overline{\psi}_s^g}{dt} + j\omega^g \overline{\psi}_s^g \tag{1}$$

$$\overline{u}_r^g = R_r \overline{i}_r^g + \frac{d\overline{\psi}_r^g}{dt} + j(\omega^g - \omega_r)\overline{\psi}_r^g \tag{2}$$

$$\overline{\psi}_s^g = L_s \overline{i}_s^g + M \overline{i}_r^g \tag{3}$$

$$\overline{\psi}_r^g = M \overline{i}_s^g + L_r \overline{i}_r^g \tag{4}$$

and the mechanical equation of the DFIM can be written as follow:

$$m(t) - m_L(t) = J\frac{d\omega_m}{dt} + B\omega_m. \tag{5}$$

The electromagnetic torque of the DFIM is given by:

$$m = -\frac{3}{2}P\frac{M}{L_s}\left(\overline{\psi}_s^g \times \overline{i}_r^g\right) = -\frac{3}{2}PM\left(\overline{i}_s^g \times \overline{i}_r^g\right). \tag{6}$$

The CDFIM is composed of the union of two DFIMs in back-to-back configuration, where the rotors are connected electrically and mechanically. The CDFIM is shown in Figure 1.

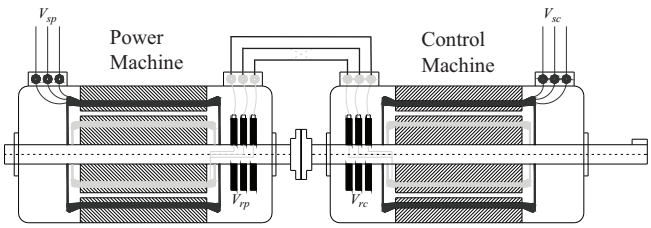


Fig. 1. CDFIM: two DFIM connected back-to-back.

Considering the rotor connection in positive phase sequence and the arrangement of the machines in back-to-back, the electric quantities of the rotor are in opposition to the relative speed of the rotor. The individual rotor phase voltages and currents are shown in Figure 2.

The rotor parameters assume the relationship:

$$\begin{aligned} R_r &= R_{rp} + R_{rc}; & L_r &= L_{rp} + L_{rc} \\ \overline{u}_r^g &= \overline{u}_{rp}^g = \overline{u}_{rc}^g; & \overline{i}_r^g &= \overline{i}_{rp}^g = -\overline{i}_{rc}^g. \end{aligned} \tag{7}$$

The rotor connected in positive phase sequence makes the individual torque components operate in the same direction,

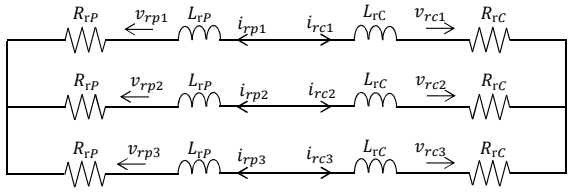


Fig. 2. CDFIM: positive phase sequence rotor connection.

but with the negative phase connection the individual torque components work in opposite direction. The negative sequence phase connection does not have real use in industrial applications [8].

The CDFIM dynamic model can be written in a general reference frame ("g"). To describe this model, it is necessary to move all space vectors from their own reference frame to a general one. The reference frame for the Power Machine is stationary and the reference frame for the Control Machine is moving in positive direction relative to Power Machine frame with the mechanical rotor speed (ω_{ep}) in electrical radians por second. The reference frame system of CDFIM is shown in Figure 3 [9], where $\omega_{epc} = (P_p + P_c)\omega_r$ and $\omega_{ep} = P_p\omega_r$.

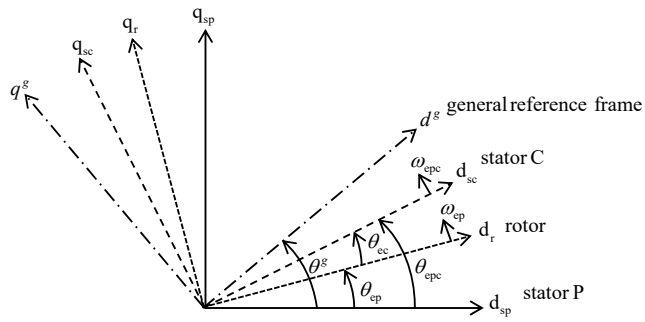


Fig. 3. CDFIM: reference frame and angles.

Considering a general reference frame, the CDFIM model is given by [10], [11]:

$$\overline{u}_{sp}^g = R_{sp}\overline{i}_{sp}^g + \frac{d\overline{\psi}_{sp}^g}{dt} + j\omega^g \overline{\psi}_{sp}^g \tag{8}$$

$$\overline{u}_r^g = R_r \overline{i}_r^g + \frac{d\overline{\psi}_r^g}{dt} + j(\omega^g - \omega_{ep})\overline{\psi}_r^g \tag{9}$$

$$\overline{u}_{sc}^g = R_{sc}\overline{i}_{sc}^g + \frac{d\overline{\psi}_{sc}^g}{dt} + j(\omega^g - \omega_{epc})\overline{\psi}_{sc}^g. \tag{10}$$

The flux linkages in a general reference frame can be expressed as:

$$\overline{\psi}_{sp}^g = L_{sp}\overline{i}_{sp}^g + M_p \overline{i}_r^g \tag{11}$$

$$\overline{\psi}_r^g = M_p \overline{i}_{sp}^g + L_r \overline{i}_r^g - M_c \overline{i}_{sc}^g \tag{12}$$

$$\overline{\psi}_{sc}^g = L_{sc}\overline{i}_{sc}^g - M_c \overline{i}_r^g. \tag{13}$$

The total eletromagnetic torque in the CDFIM shaft produced by both machines is calculated from

$$m_{epc} = m_{ep} - m_{ec}. \tag{14}$$

Because of the back-to-back connection, the m_{ec} signal is in opposition of the m_{ep}, resulting in a sum of the both torque.

The electromagnetic torque, invariant with the reference frame, is given by [12]:

$$m_{epc} = -\frac{3}{2}\left[\left(P_p M_p \bar{i}_{sp}^g + P_c M_c \bar{i}_{sc}^g\right) \times \bar{i}_r^g\right] \tag{15}$$

and the mechanical equation of the CDFIM can be written as follows:

$$m_{epc}(t) - m_L(t) = J\frac{d\omega_m}{dt} + B\omega_m \tag{16}$$

and

$$\frac{d\theta_m}{dt} = \omega_m. \tag{17}$$

The steady state speed of the CDFIM expressed in function of the Power Machine frequency (f_p) and the Control Machine frequency (f_c) is given by:

$$\omega_m = \frac{2\pi(f_p + f_c)}{P_p + P_c} \tag{18}$$

and the synchronous (natural) speed of the CDFIM is obtained when the Control Machine frequency is set at zero ($f_c = 0$) and is given by:

$$\omega_{sm} = \frac{2\pi(f_p)}{P_p + P_c}. \tag{19}$$

III. STATOR FLUX ORIENTED CONTROL

The torque of the CDFIM (15) expressed in function of the Power Machine flux and the Control Machine stator current (6) can be written in the general reference frame as:

$$m_{epc} = -\frac{3}{2}\left[\left(P_p \frac{M_p}{L_{sp}} \overline{\psi}_{sp}^g + P_c M_c \bar{i}_{sc}^g\right) \times \bar{i}_r^g\right]. \tag{20}$$

This equation shows that the torque control is directly related with the Power Machine flux and the Control Machine stator current. By imposing the d-component of the Power Machine stator flux as the reference frame for the CDFIM vector control, it follows $\psi_{qsp}^e = 0$, $\psi_{dsp}^e = \psi_{sp}^e$, where the superscript "e" indicates the excitation reference frame of the Power Machine direct flux. The reference frame for the CDFIM in Power Machine stator flux control is depicted in Figure 4.

Isolating the rotor current in (11) and substituting in (12), one obtains:

$$\overline{\psi}_r^e = \left(M_p - \frac{L_r L_{sp}}{M_p}\right)\bar{i}_{sp}^e + \frac{L_r}{M_p}\overline{\psi}_{sp}^e - M_c \bar{i}_{sc}^e. \tag{21}$$

Isolating the Power Machine stator current in (21) and replacing it in (8), one obtains the model for the CDFIM in stator flux orientation [13]:

$$\frac{d\psi_{dsp}^e}{dt} - \frac{R_{sp}L_r}{KM_p}\psi_{dsp}^e = -\frac{R_{sp}}{K}\psi_{dr}^e - \frac{R_{sp}M_c}{K} i_{dsc}^e + u_{dsp} \tag{22}$$

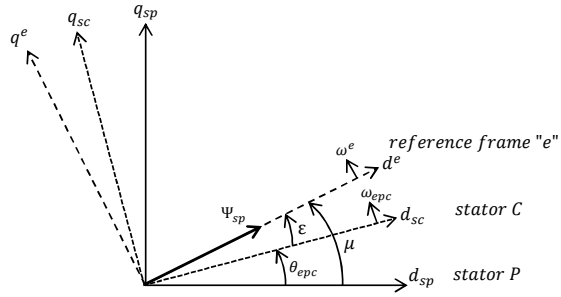


Fig. 4. Reference frame for the CDFIM with Power Machine stator flux control.

$$\frac{d\mu}{dt} = \omega^e = -\frac{R_{sp}}{K}\frac{\psi_{qr}^e}{\psi_{dsp}^e} - \frac{R_{sp}M_c}{K}\frac{i_{qsc}^e}{\psi_{dsp}^e} + \frac{u_{qsp}^e}{\psi_{dsp}^e} \tag{23}$$

with K given by:

$$K = M_p - \frac{L_r L_{sp}}{M_p}. \tag{24}$$

A. Current Control Loop

Rewriting (11) to (13), the Control Machine flux can be express in function of the rotor flux, Power Machine flux and Control Machine current as:

$$\overline{\psi}_{sc}^e = -\frac{M_c}{K_a}\overline{\psi}_r^e + \frac{M_p M_c}{K_a L_{sp}}\overline{\psi}_{sp}^e + K_b \bar{i}_{sc}^e \tag{25}$$

with:

$$K_a = L_r - \frac{M_p^2}{L_{sp}} \qquad K_b = L_{sc} - \frac{M_c^2}{K_a}. \tag{26}$$

Replacing (25) in the Control Machine voltage (10) in the vector control reference frame and considering only steady state in dq-components gives:

$$u_{dsc}^e = R_{sc} i_{dsc}^e + (\omega^e - \omega_{epc})\left(\frac{M_c}{K_a}\psi_{qr}^e - K_b i_{qsc}^e\right) \tag{27}$$

$$\begin{aligned} u_{qsc}^e &= R_{sc} i_{qsc}^e - (\omega^e - \omega_{epc})\left(\frac{M_c}{K_a}\psi_{dr}^e - K_b i_{dsc}^e\right) \\ &\quad + (\omega^e - \omega_{epc})\frac{M_p M_c}{K_a L_{sc}}\psi_{sp}^e. \end{aligned} \tag{28}$$

These equations show two terms of cross coupling, the second term constitute smooth cross coupling in the Control Machine voltage and the third term is a slip proportional term. Only the third term should be include to ensure decoupled control, by increasing steady state accuracy. The feedforward term of q axis is given by:

$$feedforward = (\omega^e - \omega_{epc})\frac{M_p M_c}{K_a L_{sc}}\psi_{sp}^e. \tag{29}$$

The current control loop block diagram is shown in Figure 5. The block "μ" calculates the angle between the stationary reference of stator flux and the excitation reference of Power

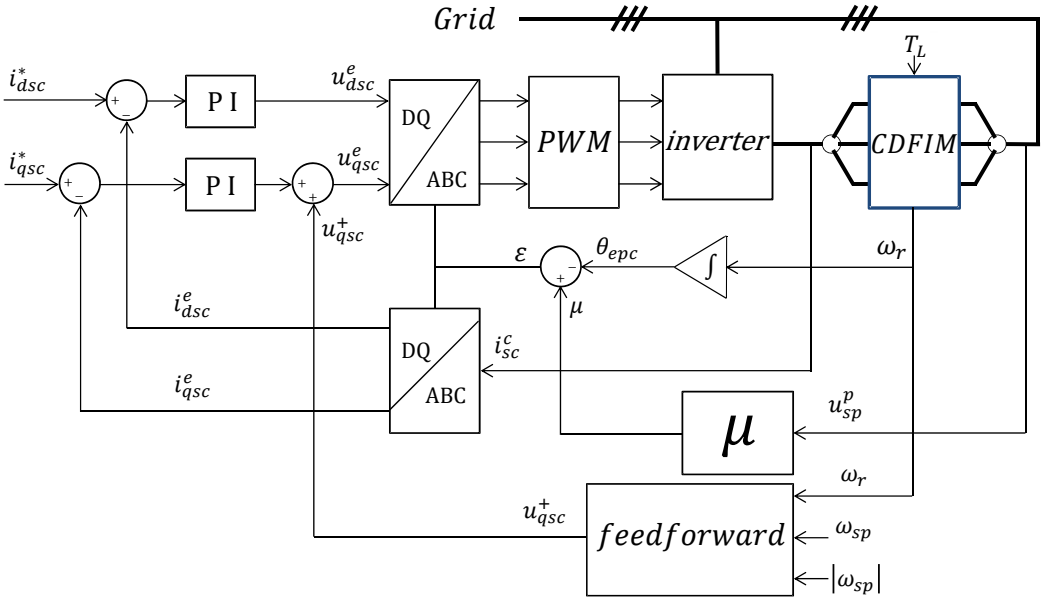


Fig. 5. CDFIM: current control loop with orientation on the Power Machine stator flux.

Machine.

B. Speed Control Loop

Equation (20) shows that the Control Machine current is directly proportional to the torque. By adding a speed control loop in cascade with the q-component of current control loop one can control the speed of CDFIM.

Rewriting (11) to (13), the rotor current can be expressed as a function of the rotor flux, Power Machine flux and Control Machine current as:

$$\bar{i}_r = \frac{1}{K_a}\overline{\psi}^e_r - \frac{M_p}{K_a L_{sp}}\overline{\psi}^e_{sp} + \frac{M_c}{K_a}\bar{i}^e_{sc}. \tag{30}$$

Replacing the rotor current in (15), the torque is given by:

$$\begin{aligned} m_{epc} \quad = \quad & \frac{-3}{2}\left[\left(\frac{P_p M_p}{K_a L_{sp}}\overline{\psi}^e_{sp} + \frac{P_c M_c}{K_a}\bar{i}^e_{dsc}\right)\psi^e_{qr}\right. \\ & \left. + \left((P_p + P_C)K_c\overline{\psi}^e_{sp} - \frac{P_p M_p}{K_a}\overline{\psi}^e_{dr}\right)i^e_{qsc}\right] \end{aligned} \tag{31}$$

with:

$$K_c = \frac{M_p M_c}{K_a L_{sp}}. \tag{32}$$

This equation shows that both components of Control Machine current appear indicating a coupling in the torque control. Analyzing the results of the current control loop simulations, it was observed that the influence of the d-component of the current is insignificant when compared with the q-component. Considering the d-component of the Control Machine current constant, the first term of (31) remains constant uncoupling the speed control. The speed control loop of CDFIM is show in Figure 6.

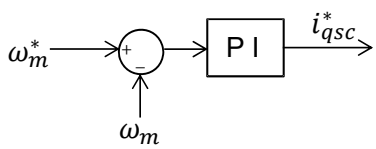


Fig. 6. CDFIM: speed control loop with orientation on the Power Machine stator flux.

C. Power Control Loop

The active and reactive power of the Power Machine are calculated as follows:

$$P_{sp} = \frac{3}{2}(u^g_{dsp} i^g_{dsp} + u^g_{qsp} i^g_{qsp}) \tag{33}$$

$$Q_{sp} = \frac{3}{2}(u^g_{dsp} i^g_{qsp} - u^g_{qsp} i^g_{dsp}). \tag{34}$$

Manipulating (21), the relationship between the Power Machine and the Control Machine currents in dq components are given by:

$$i^e_{dsp} = \frac{1}{K}\psi^e_{dr} - \frac{L_r}{KM_p}\psi^e_{sp} + \frac{M_c}{K}i^e_{dsc} \tag{35}$$

$$i^e_{qsp} = \frac{1}{K}\psi^e_{qr} + \frac{M_c}{K}i^e_{qsc}. \tag{36}$$

Considering the stator resistance small in comparison with the stator reactance ($R_{sp} \ll \omega_{sp} L_{sp}$), it follows:

$$\overline{u}_{sp} \approx \frac{d\overline{\psi}_{sp}}{dt}. \tag{37}$$

This equation shows that the Power Machine stator voltage has the same angular frequency as the Power Machine stator flux ($\omega_{sp} = \omega^e = constant$). The magnitude of the Power Machine stator flux is calculated as follow:

$$\psi_{sp} \approx \frac{\sqrt{2}u_{sp}}{\omega_{sp}}. \tag{38}$$

Substituting (35), (36) and (38) in (33) and (34), it follows:

$$P_{sp} = \frac{3}{2}\sqrt{2}u_{sp}\left(\frac{1}{K}\psi_{qr}^{e} + \frac{M_c}{K}i_{qsc}^{e}\right) \tag{39}$$

$$Q_{sp} = \frac{3}{2}\sqrt{2}u_{sp}\left(\frac{1}{K}\psi_{dr}^{e} - \frac{L_r}{KM_P}\psi_{sp}^{e} + \frac{M_c}{K}i_{dsc}^{e}\right). \tag{40}$$

These equations show the cross coupling in the power control. The rotor flux term $(\overline{\psi}_r^g = (R_r/j(\omega^g - \omega_{ep}))\overline{i}_r^g)$ can cause cross coupling and its intensity depends on the rotor resistance and speed. Disregarding the cross coupling, the q-component of the Control Machine current controls the active power of the Power Machine and d-component controls the reactive power.

By adding a power control loop in cascade with the current control loop one can control the power flow of CDFIM. The Power control scheme of CDFIM flux oriented control is shown in Figure 7. The block "Power Calculation" utilizes (33) and (34) to calculate the active and reactive power.

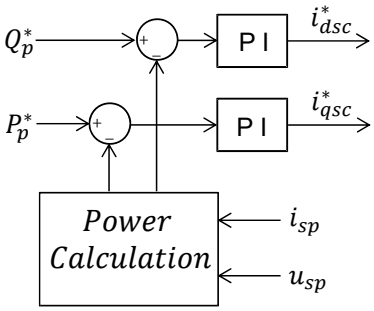


Fig. 7. CDFIM: power control loop.

IV. MPPT TECHNIQUE

The MPPT techniques determines the operation of the generator to obtain maximum energy from wind. The maximum power extraction algorithms can be classified in the two more common control methods, namely tip speed ratio (TSR) control and power signal feedback (PSF) control [14].

The power produced by a wind turbine is given by:

$$P_0 = \frac{1}{2}\rho A C_p(\lambda,\beta)v_v^3 \tag{41}$$

where ρ is the air density, A is the area swept by the rotor blades, C_p is the power coefficient, v_v is the wind speed. The power coefficient is a function of tip speed ratio (λ) and pitch angle (β). The tip speed ratio is defined as:

$$\lambda = \frac{\omega_r R}{v_v} \tag{42}$$

where ω_r is the turbine angular speed and R is the radius of the area swept by the rotor blades in meters. The power coefficient is determined by the aerodynamic design.

To extract the maximum possible power, the turbine should operate at optimum tip speed ratio λ_{opt}. The turbine mechanical power can be represented as a function of rotor speed for various wind speeds. Figure 8 shows the turbine power as a function of rotor speed at various wind speeds and the maximum power trajectory [15].

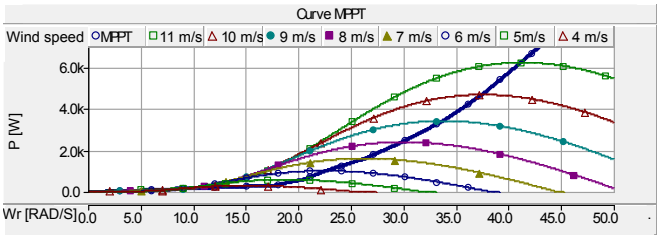


Fig. 8. Wind turbine maximum power trajectory.

A. MPPT-TSR

This method adjusts the rotational speed of the turbine in order to extract the maximum power. This method uses the measurement of wind speed and turbine speed and the knowledge of optimum tip speed ratio to extract maximum power of the wind.

The optimal rotor speed in function of wind speed is given by:

$$\omega_{r_{opt}} = \frac{\lambda_{opt} v_v}{R}. \tag{43}$$

The block diagram of MPPT-TSR control loop is shown in Figure 9. Where ω_r^* is the reference of rotor speed for the speed control loop.

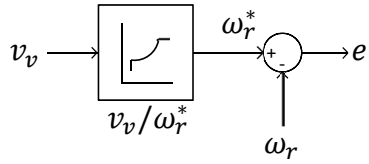


Fig. 9. Block diagram of the MPPT-TSR.

B. MPPT-PSF

To apply this method it is required to have the knowledge of the MPPT curve of the wind turbine. This method uses the measurement of generator speed and the active power of CDFIM to extract maximum power of the wind.

Neglecting the rotor converter losses, the active power of CDFIG is given by:

$$P_a^* = P_g + P_{pa} = P_g + P_{sp} + P_{sc} + P_{rot} \tag{44}$$

where P_a^* is the reference power to be generated, P_g the total generated power, $P_{pa} = P_{sp} + P_{sc} + P_{rot}$, with P_{pa}, P_{sp}, P_{sc}, P_{rot} the total losses, the stator Power Machine and the stator Control Machine losses and the rotational losses, respectively. In Figure 10 the block diagram of the MPPT-PSF control loop is shown. P_P^* is the reference of active power for the power control loop.

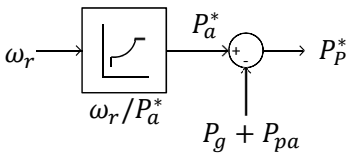


Fig. 10. Block diagram of the MPPT-PSF.

V. EXPERIMENTAL IMPLEMENTATION

To validate the performance of the vector control of the CDFIM with stator flux orientation, tests have been carried out in a test bench using the CDFIM. The experimental test bench is shown in Figure 11. The references of Speed control (TSR) and Power control (PSF) are generated by the MPPT techniques.

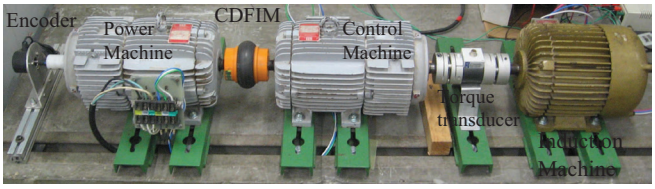


Fig. 11. CDFIM test bench (left to right): encoder, CDFIM (Power Machine and Control Machine), torque transducer and induction machine (IM) to simulate the wind.

The vector control and PWM (8 kHz) are implemented on a DSP-TMS320F28335, Texas Instruments. The measurement equipment are composed of four current sensors (LEM LA55-P), five voltage sensors (LEM LV20-P), incremental optical encoder and the torque transducer (HB T22). The Power Machine is directly connected to the grid (220 V, 60 Hz) and the Control Machine is supplied by a back-to-back converter. The IM is powered by PWM inverter with constant V/f control.

The Power Machine and the Control Machine are composed of two identical wound rotor induction machines. The induction machines parameters are given in Table I.

TABLE I
CDFIM: Power and Control Machine Parameters

Parameter	Value	Parameter	Value
Power	3 HP	R_s	0.861 Ω
speed	178 rad/s	R_r	0.963 Ω
Voltage	220 V	L_s	4.631 mH
pole pair	2	L_r	4.631 mH
stator current	10.9 A	M	73.049 mH
Rotor current	13.4 A	J	0.02 kg.m^2

This section presents three experimental results of vector control of the CDFIM: current control loop, speed control loop and power control loop. To reduce the rating of the converter connected to the Control Machine, it is expected that the CDFIM will operate at a limited speed range around its natural synchronous speed, which is 94,25 rad/s for the experimental setup. The speed settings used in the tests were chosen to have the machine working above its natural speed as in this case power is extracted from both machines, and the values were randomly chosen.

A. Current Control Loop

In this experiment the CDFIM was started with a reference speed equal to 110 rad/s. A variation in the q-component of the Control Machine current from 1.0 A to -3.0 A was imposed and back to 1.0 A, while the d-component was left at a constant value of 2.0 A. Figure 12 shows the results for the current control loop. It can be seen the light cross coupling in the d-component.

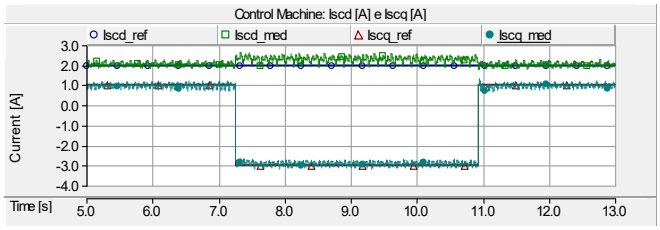


Fig. 12. CDFIM - Current control loop: Control Machine currents.

Figure 13 shows the Power Machine active power. It can be seen that when a variation in q-component of the Control Machine current was imposed, the active power of Power Machine was altered. This behavior shows that the active power of Power Machine can be controlled by the q-component of Control Machine current.

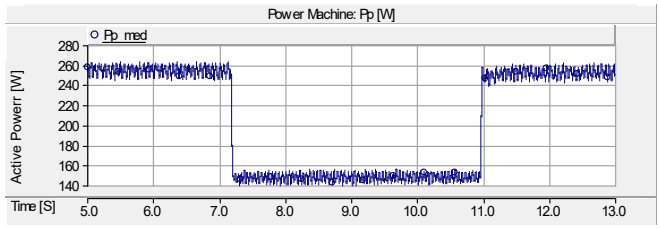


Fig. 13. CDFIM - Current control loop: Power Machine active power.

B. Speed Control Loop

In this experiment the CDFIM was started with a reference speed equal to 110 rad/s. The d-component of Control Machine current was left at a constant value of 1.0 A. After 3.5 seconds a variation in torque in the mechanical power source was introduced . Figure 14 shows the results for the mechanical speed of the CDFIM. It can be seen that with the variation of load applied to the axis of CDFIM, the speed control maintains constant speed.

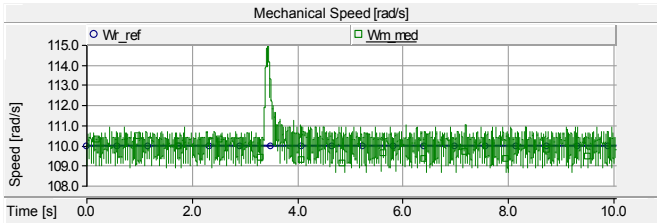


Fig. 14. CDFIM - Speed control loop: mechanical speed (110 rad/s).

It can be seen in Figure 15 the transient response of the Control Machine current and the light cross coupling in the q-component.

Figure 16 shows the active and reactive power of the Power Machine. It can be seen that when a variation in torque was imposed, the active power flow in the Control Machine is on

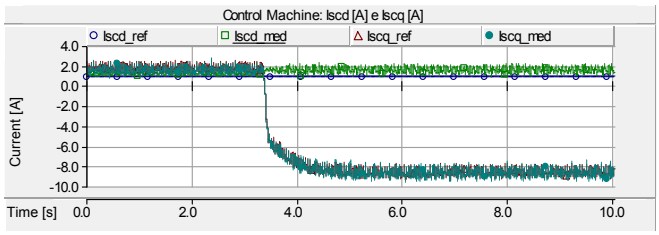


Fig. 15. CDFIM - Speed control loop: Control Machine currents.

the order of 15% in relation to the Power Machine. This behavior shows that the speed of the CDFIM can be controlled by the q-component of the Control Machine current.

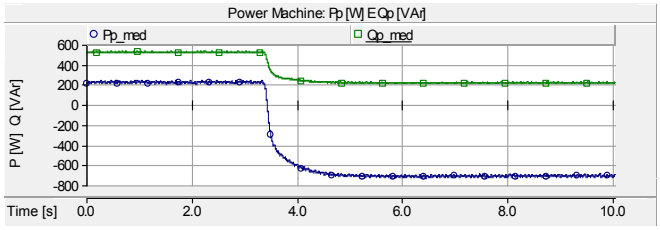


Fig. 16. CDFIM - Speed control loop: Power Machine active and reactive power.

C. Power Control Loop

In this experiment the CDFIM was started with a reference speed equal to 116 rad/s and the reference signal of the active power of the Power Machine is set in -150 W, while the reactive power of the Power Machine is set in 150 var. During the interval from 5.3 seconds to 9.2 seconds a variation in reference active power to 450 W was introduced. Figure 17 shows the active and reactive powers of the Power Machine. It can be seen that the active and reactive power control are uncoupled. This result also shows that the machine can work as motor (positive power) or generator (negative power).

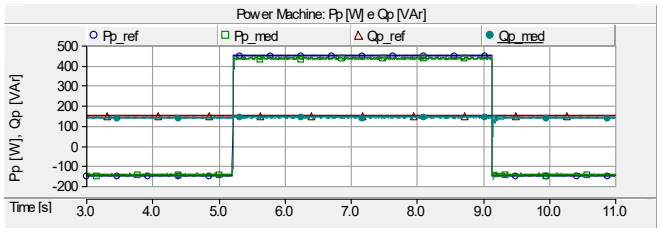


Fig. 17. CDFIM - Power control loop: Power Machine active and reactive power.

The dynamic performance of the Control Machine currents are shown in Figure 18. It can be seen that a variation in the reference active power acts directly in the q-component of Control Machine current. It can also be seen that this speed variation causes a small change in the d-component of the Control Machine current to keep the reactive power constant.

It can also be seen that this speed variation causes a small change in the d-component of the Control Machine current to keep the reactive power constant.

Figure 19 shows the mechanical speed of the CDFIM. It can be seen, that due to the variation of the active power reference, the mechanical speed of CDFIM was adjusted to a new speed.

This result also shows that the machine can work as motor (positive power) or generator (negative power).

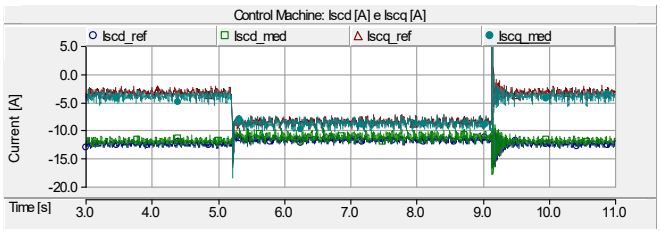


Fig. 18. CDFIM - Power control loop: Control Machine currents.

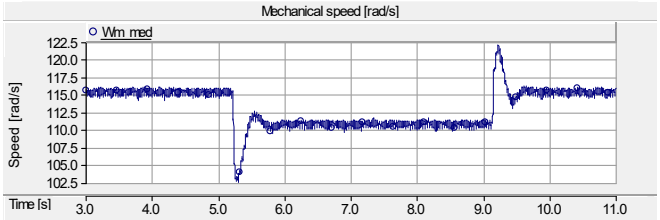


Fig. 19. CDFIM - Power control loop: mechanical speed (116 rad/s).

VI. CONCLUSION

This paper presents a study of the cacaded doubly-fed induction machine dynamics under vector control. The fundamental concepts to understand CDFIM model and stator flux oriented control are shown.

The experimental results present a good dynamic response and proved the theoretical studies. The cross coupling intensity presented in the control loops depends on the rotor speed and rotor resistance. The cross coupling in the speed control can be neglected. The power control loop is efficient to manipulate directly the active and reactive powers.

The CDFIM associated to the vector control based on Power Machine stator flux proved to be a good option to control the speed and power flow in variable speed drives.

ACKNOWLEDGEMENTS

This work was supported in part by CAPES, CNPq, BNDES and FAPERJ.

REFERENCES

[1] I. Gowaid, A. Abdel-Khalik, A. Massoud, S. Ahmed, “Ride-Through Capability of Grid-Connected Brushless Cascade DFIG Wind Turbines in Faulty Grid Conditions - A Comparative Study”, *IEEE Transactions on Sustainable Energy*, vol. 4, no. 4, pp. 1002–1015, Oct 2013.

[2] H. Gorginpour, H. Oraee, R. A. McMahon, “Performance Description of Brushless Doubly-Fed Induction Machine in Its Asynchronous and Variable Speed Synchronous Modes”, *Journal of Electromagnetic Analysis and Applications*, vol. 3, no. 12, pp. 490–511, Dec 2011.

[3] A. Broadway, L. Burbridge, “Self-cascaded machine: a low-speed motor or high-frequency brushless alternator”, *Proceedings of the Institution of Electrical Engineers*, vol. 117, no. 7, pp. 1277 –1290, July 1970.

[4] P. Löhdefink, A. Dietz, A. Möckel, “Modeling and power flow analysis of cascaded doubly-fed

induction machines", *in 5th International Electric Drives Production Conference (EDPC)*, 2015.

[5] S. Kato, N. Hoshi, K. Oguchi, "Small-scale hydropower", *IEEE Industry Applications Magazine*, vol. 9, no. 4, pp. 32 –38, July-Aug. 2003.

[6] M. Adamowicz, R. Strzelecki, "Cascaded doubly fed induction generator for mini and micro power plants connected to grid", *in 13th Power Electronics and Motion Control Conference (EPE-PEMC)*, 2008.

[7] F. L. Neves, C. H. S. Vasconcelos, D. b. Lima, A. C. Ferreira, R. M. Stephan, "Steady State Operating Points of the Doubly Fed Cascaded Induction Machine", *Eletrônica de Potência-SOBRAEP*, vol. 17, no. 1, pp. 466–473, Fev 2012.

[8] C. H. S. de Vasconcelos, A. C. Ferreira, R. M. Stephan, "Wind turbine generator system based on Cascaded Doubly Fed Induction Generator", *in IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)*, pp. 1–6, 2015.

[9] B. Hopfensperger, D. J. Atkinson, R. A. Lakin, "Stator flux oriented control of a cascaded doubly-fed induction machine", *IEE Proceedings - Electric Power Applications*, vol. 146, no. 6, pp. 597 –605, Nov 1999.

[10] D. Basic, J. G. Zhu, G. Boardman, "Transient performance study of a brushless doubly fed twin stator induction generator", *IEEE Transactions on Energy Conversion*, vol. 18, no. 3, pp. 400–408, Sept 2003.

[11] S. Shao, E. Abdi, F. Barati, R. McMahon, "Stator-Flux-Oriented Vector Control for Brushless Doubly Fed Induction Generator", *IEEE Transactions on Industrial Electronics*, vol. 56, no. 10, pp. 4220–4228, Oct 2009.

[12] B. Hopfensperger, D. Atkinson, R. Lakin, "Combined magnetising flux oriented control of the cascaded doubly-fed induction machine", *IEE Proceedings - Electric Power Applications*, vol. 148, no. 4, pp. 354 –362, Jul 2001.

[13] K. Ji, S. Huang, J. Zhu, Y. Gao, C. Zeng, "Vector control and synchronization of brushless doubly-fed machine for high power wind power generation", *in 15th International Conference on Electrical Machines and Systems (ICEMS)*, 2012.

[14] M. Heydari, K. Smedley, "Comparison of maximum power point tracking methods for medium to high power wind energy systems", *in 20th Conference on Electrical Power Distribution Networks Conference (EPDC)*, pp. 184–189, 2015.

[15] Q. Wang, L. Chang, "An intelligent maximum power extraction algorithm for inverter-based variable speed wind turbine systems", *IEEE Transactions on Power Electronics*, vol. 19, no. 5, pp. 1242–1249, 2004.

BIOGRAPHIES

Carlos Henrique Silva de Vasconcelos received the B.Sc. and M.Sc. degrees from the Pontifical Catholic University of Minas Gerais, Belo Horizonte, Brazil, in 2001 and 2006, respectively, and the D.Sc. degrees from Federal University of Rio de Janeiro (COPPE), in 2015, all in Electrical Engineering. His main interests are in the fields of control of electrical drives, power electronics, renewable energy and energy generation.

Antonio Carlos Ferreira received the B.Sc. and M.Sc. degrees from the Federal University of Rio de Janeiro, Rio de Janeiro, Brazil, in 1987 and 1991, respectively, and the Ph.D. degree from the University of Cambridge, Cambridge, U.K., in 1997, all in Electrical Engineering. Since 1989, he has been with the Graduate School of Engineering, Federal University of Rio de Janeiro, where he is currently an Associate Professor, teaching at both under-graduate and post-graduate levels. His main interests are power system and electrical machines.

Richard Magdalena Stephan received the B.Sc. degree in electrical engineering from the Instituto Militar de Engenharia (IME), Rio de Janeiro, in 1976, the M.Sc. degree in electrical engineering from the Federal University of Rio de Janeiro (UFRJ) in 1980, and the Dr.-Ing. degree in electrical engineering from Ruhr Universitat Bochum, Germany, in 1985. He has an MBA degree (2005) from the Center for Scientific Enterprise, London (CSEL), on Technology Enterprise Development. During 1977, he worked as an engineer at Furnas Centrais Elétricas, Rio de Janeiro. Since 1978, he has been with the Department of Electrical Engineering, UFRJ. He spent a sabbatical leave at CEPEL, the Research Center of ELETROBRAS in 1993. His main interests are in the fields of applications of superconductivity, control of electrical drives and power electronics.

DOUBLE MODULATION APPLIED TO A HIGH POWER FACTOR RECTIFIER WITH HIGH FREQUENCY TRANSFORMER FOR UPS APPLICATION

Daniel B. de Alvarenga[1], Martin B. Meier[2], Roger Gules[2], Alceu A. Badin[2], Eduardo F. R. Romaneli[2]
[1]NHS Sistemas de Energia, Curitiba - PR, Brazil
[2]Federal University of Technology - UTFPR/CPGEI/PPGSE, Curitiba - PR, Brazil
e-mail: danielb@nhs.com.br, martinbra@gmail.com, rgules@utfpr.edu.br, badin@utfpr.edu.br, eduardo.romaneli@gmail.com

***Abstract* – The bridgeless boost-full-bridge rectifier is used as preregulator for a high frequency isolated UPS and the asymmetric pulse width modulation (APWM) modulation is applied in order to obtain a high quality input current with high power factor. The rectifier operates with soft-switching and reduced conduction losses improving the efficiency. A simultaneous phase-shift modulation allows obtain a fast output voltage control and step-up/step-down static gain, becoming possible the operation in a wide voltage range. An auxiliary power feed-forward action allows improving the dynamic response of the output voltage and primary side DC-bus voltage for the load transient. The double modulation and the auxiliary control action reduce the DC-bus voltage overshoot and undershoot during the output load transients, reduce the converter filters capacitance and limit the maximum voltage across the switches. The theoretical analysis and design procedure are presented for the modulations proposed and the experimental results were obtained from a 2 kW prototype operating with switching frequency equal to 44 kHz. The experimental results are presented using four different combinations of control structures showing comparatively the dynamic improvements.**

***Keywords* –AC-DC Power Conversion, Digital Control, Rectifiers.**

I. INTRODUCTION

The AC-DC converters operating with high power factor (HPF) and low input current harmonic distortion are important to maintain the energy quality of the utility grid. A common configuration used in most part of applications is composed by two stages. The input stage is a high power factor preregulator followed by a second stage as a DC-DC converter, used in telecommunication infrastructure application or a DC-AC converter used in AC machine drive or uninterruptible power supply (UPS) applications [1]-[3].

The conventional structure used in UPS applications is a non isolated boost converter as pre-regulator and a full-bridge non isolated inverter. When the galvanic isolation is necessary, a simple solution is the inclusion of a low frequency transformer in the pre-regulator input or in the inverter output. This is an usual structure used in true on-line UPS and it is a robust and reliable solution. However, the galvanic isolation obtained with low frequency transformer increase the weight, volume and cost [1]. Therefore, the development of topologies including the galvanic isolation in high frequency link can increase significantly the UPS power density [1], [3], [4].

A HPF rectifier with high-frequency transformer is proposed in this paper presenting some operation characteristic for high efficiency and high power density applications. All switches operate with soft-commutation allowing the operation with high switching frequency.

A bridgeless rectifier configuration is used reducing the conduction losses. The high-frequency multiphase operation reduces the input current ripple and shares the current among the input inductors and switches. The non idealities of the circuit, as the transformer leakage inductance, are used by the power circuit in order to obtain soft-commutation and the use of dissipative snubbers is not necessary.

However, the proposed converter presents as drawback two DC-bus capacitor, one at the primary and other at the secondary side. Some improvements in the control strategy of the preregulator are proposed in this paper reducing the bus capacitor volume and the voltage overshoot and undershoot at the load transient. The control improvements allows the use of the minimum DC-bus capacitance, limited by the maximum RMS capacitor current, operating with an overshoot and undershoot close to 1% in the DC-bus voltage at the primary and secondary sides.

Four control structures are presented combining different control techniques and the results are analyzed and compared, showing the high dynamic performance obtained.

II. PREREGULATOR POWER CIRCUIT

The use of high-frequency transformer is possible replacing the classical boost converter with low frequency transformer in the input by a rectifier with high-frequency transformer link. However, this is a high complexity solution and there are several problems to be solved in order to maintain the converter robustness, efficiency and cost in a competitive level. Some alternatives for low output power applications (P_o<500 W) are the use of single switch isolated DC-DC converters such as flyback, SEPIC and CUK topologies, mainly operating in discontinuous conduction mode (DCM) [4]. The continuous conduction mode (CCM) normally is considered for applications with output power higher than 500 W. A first solution is the replacement of the classical non-isolated boost converter by the current fed full-bridge converter [5]. However, this solution presents some limitations as the hard-switching commutation that reduces the efficiency. The energy stored in the transformer leakage

Manuscript received 03/04/2017; first revision 21/06/2017; accepted for publication 19/08/2017, by recommendation of Editor Marcelo Cabral Cavalcanti.

inductance results in switch overvoltage and snubber circuits are necessary. The active clamping technique can be used in order to solve some of these problems [6]. However, the additional switch and isolated command circuit increase the cost and complexity and a specific command signal for the auxiliary switch must be generated. Also, these solutions present the conduction of four semiconductors at the primary side in each operation stage, besides the auxiliary switch, increasing the conduction losses.

Another alternative for the high-frequency isolated rectifier implementation is the use of solutions based on integrated isolated DC-DC converters. An interesting topology is the integration of a boost DC-DC converter with the half bridge DC-DC converter. This configuration was firstly presented in [7] and is also proposed with some modification in [8]-[10].

A bridgeless HPF rectifier with high-frequency isolation using the boost-half-bridge converter is presented in [11]. The operation as rectifier with an asymmetrical PWM modulation allows obtaining zero voltage switching (ZVS). The replacement of two diodes of the rectifier bridge by the half-bridge commutation leg reduces the rectifier conduction losses. However, the topology presented in [11] was developed operating in DCM at the input side, limiting the use in low power applications. Also, the asymmetrical operation of the half-bridge section can result in high current in the semiconductors in high power application.

A better current distribution and symmetrical operation can be obtained for high power application using the integration of a multiphase boost DC-DC converter with a full-bridge DC-DC converter. This configuration was presented in [12] in a DC-DC converter application using the phase-shift modulation. The operation with asymmetrical PWM or with phase-shift modulations allows obtaining ZVS commutation and the current sharing between the commutation legs. The full-bridge topology is indicated for high power operation and this configuration is adopted in this work for the UPS application.

A bridgeless rectifier using the boost-full-bridge with current source output characteristic was proposed as a single stage switch mode power supply (SMPS) in [13]. The SMPS application presents low output voltage (V_o=48 V) and the output inductor filter is designed for the full-bridge operation in CCM at nominal output power. A two duty-cycle modulation was proposed in [13] for the boost-full-bridge rectifier in order to comply with the SMPS application requirements using a single stage converter. A duty-cycle defined by the simultaneous conduction period of the diagonal switches of the full-bridge are used to control the output voltage. Another duty-cycle defined by the conduction period of the lower switches or upper switches of the full-bridge are used to control the input current in order to obtain a high power factor.

However, the two duty-cycles modulation are not independent and one modulation limits the action of the other, imposing design and operation restrictions [13]. Some undesirable operation characteristics are the large primary side DC-bus voltage variation, input power factor reduction and harmonic distortion increment with the load and input voltage variations, input zero current cross distortion and operational problems at light load. Also the operation with soft commutation was not presented in [13].

The requirements for the HPF preregulator output voltage in a two stage UPS application are lower than in a single-stage SMPS. The operation with low frequency output voltage ripple and low output voltage dynamic performance is possible in UPS application. The second stage, that is the inverter, is designed to operate with a bus voltage with some variation without change the inverter output voltage quality. Also, preregulators used in UPS application presents high output voltage (V_o=400 V) and the operation requirement as input voltage and load variation are high, mainly with the UPS supplying non linear loads. The high power factor and low input current harmonic distortion for all input voltage and load range are also very important parameters in UPS application. Therefore, modifications in the modulation, control and topology of the boost-full-bridge rectifier are proposed in this paper in order to obtain a high performance preregulator for UPS application with high frequency isolation. The topology modifications are the elimination of the output inductor filter and the full-bridge converter section operating in DCM. These modifications are more adequate for the operation with high output voltage (V_o=400 V) and change significantly the converter operation and analysis. The voltage source output characteristic allows the operation with a semiconductors voltage at the secondary side lower than with the current source output characteristic. Also, the use of snubbers at the secondary side is not necessary eliminating the output filter inductor. The limitation of the current variation between the primary and secondary sides of the full-bridge is accomplished only by the transformer leakage inductance. A relative small inductance can be included in series with the transformer for the soft-commutation requirements. The analysis of the boost-full-bridge rectifier with output voltage source characteristic and the DCM operation of the full-bridge section operating with the asymmetric PWM modulation was not presented in previous works. Therefore, the analysis and design procedure is developed for the proposed modulation and after the simultaneous phase-shift modulation and different control strategies are included, improving the control performance and reducing the DC-bus capacitance at the primary and secondary sides.

III. BOOST-FULL-BRIDGE RECTIFIER OPERATION WITH THE APWM MODULATION

A. Simplified Operation Analysis and Theoretical Waveforms

The bridgeless boost-full-bridge rectifier with voltage source output characteristic used in this work is shown in Figure 1. This converter can be considered as the integration of a bridgeless multiphase boost converter with two commutation legs as presented in [14] and a ZVS full-bridge DC-DC converter without the output inductor filter presented in [15] and after in [16]-[18], both converters sharing the same power switches. The bus capacitor C_b at the primary side is the output of the bridgeless boost converter and is also the input of the full-bridge DC-DC converter.

The modulation used in order to obtain a high power factor with low input current harmonic distortion is the

asymmetric PWM and the same modulation signal is applied to each commutation leg, but with a constant phase-shift equal to 180º. This modulation also defines the energy transference from the primary side DC-bus voltage to the secondary side DC-bus voltage through the full-bridge section.

The operation of the proposed circuit can be analyzed in a half-cycle of the AC input voltage using the equivalent circuit presented in Figure 2. Considering an unitary transformer turns ratio, the power transformer is eliminated by simplification and all circuit is referred to the converter primary side.

The effects of the transformer leakage inductance (L_d) and the magnetizing inductance (L_m) are considered in the equivalent circuit. The input inductors are replaced by current sources with half of the converter input current. The operation stages of the soft-commutation are not presented by simplification.

The theoretical waveforms are presented in Figure 3. At the positive half-cycle of the input voltage, the input inductors (L_{ia}-L_{ib}), represented by current sources in Figure 2, store energy when the PWM signal is applied to the upper switches M_{1a}-M_{1b}. The lower switches M_{2a}-M_{2b} operates as the output diode of the classical boost during the energy transference to the bus capacitor C_b and the complementary signal $\overline{PWM}$ is applied to these switches.

At the negative half-cycle of the input voltage, the switches functions are changed. The input current is shared by the two phases and also the input current ripple is equal to half of the inductors current ripple due to the complementary operation resultant of the constant 180º phase-shift modulation.

The input diode D_{R1} conducts during all half-cycle of the AC input voltage and the diode D_{R2} conducts during the other half-cycle.

Considering the complementary operation of the switches of each commutation leg, the ZVS commutation is obtained in all power switches with the energy stored in the transformer leakage inductance, as shown in Figure 3. The ZVS full-bridge converter operation with input and output voltage source characteristic and the soft-switching analysis are presented in [15]-[18].

The output diodes have no reverse recovery current due to the low di/dt limited by the transformer leakage inductance. The average magnetizing current i_{Lm} and the average voltage of the magnetizing inductance present null value for any converter duty-cycle, as shown in Figure 3.

Therefore, there are no DC or low frequency components in the high-frequency transformer.

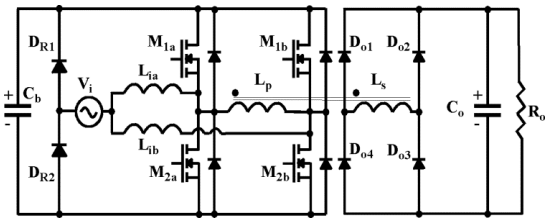


Fig.1. Bridgeless boost-full-bridge rectifier with voltage source output characteristic.

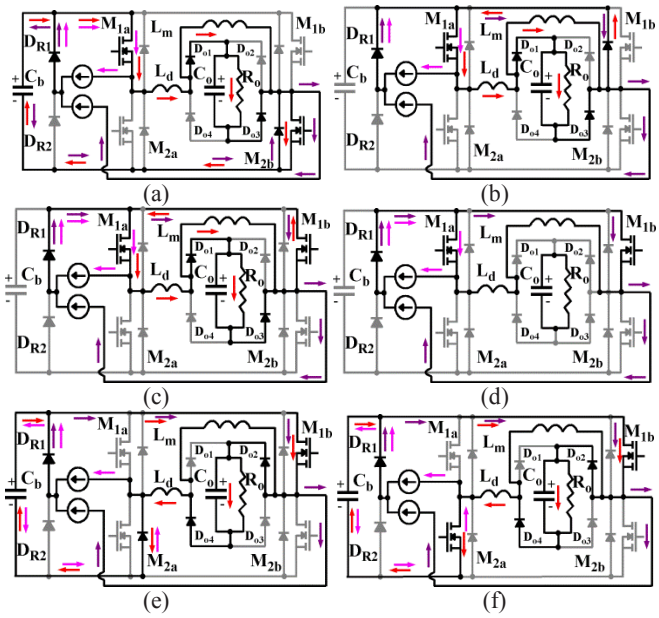


Fig. 2. Simplified operation stages for half-cycle of the AC input voltage. (a) First stage [t_o-t_1]. (b) Second stage [t_1-t_2]. (c) Third stage [t_2-t_3]. (d) Fourth stage [t_3-t_4]. (e) Fifth stage [t_4-t_5]. (f) Sixth stage [t_5-t_6].

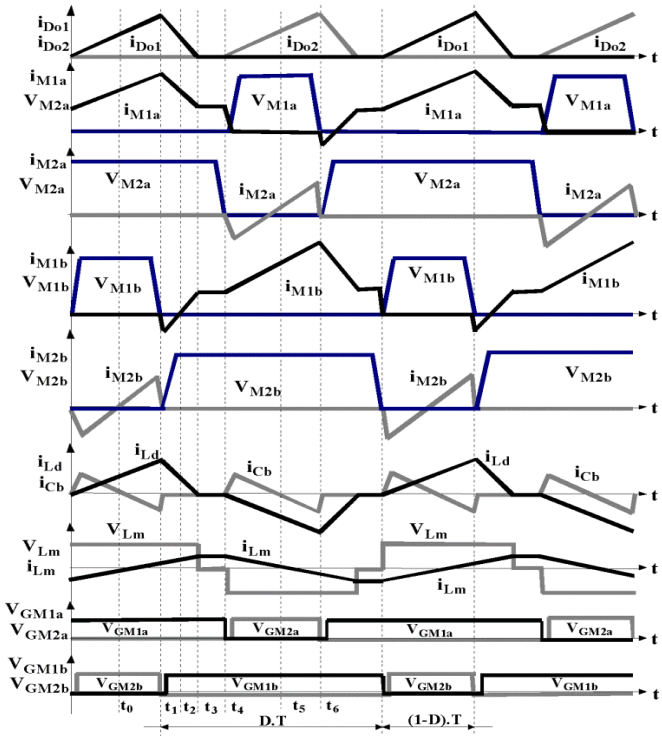


Fig. 3. Main theoretical waveforms.

B. Mathematical Analysis

The development of the main equations and the static gain of the boost-full-bridge converter with output voltage source characteristic and operating in DCM at the output are presented. Initially is considered the operation as a DC-DC converter with constant input voltage and after the equations are applied considering the operation as rectifier with an AC input voltage. The transformer turns ratio is considered unitary in the theoretical analysis and in the experimental prototype.

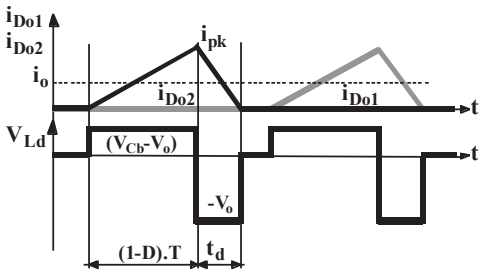


Fig. 4. Output rectifier current and leakage inductance voltage waveforms.

The main theoretical waveforms used in the equations development is the output rectifier current waveform presented in Figure 4. The voltage applied across the leakage inductance L_d is equal to the primary side DC-bus voltage V_{Cb} minus the output voltage V_o, during the fifth and sixth operation stages. Therefore, the output peak current i_{pk} can be calculated by:

$$i_{pk} = \frac{(V_{Cb} - V_o)(1-D)T}{L_d}. \quad (1)$$

The proposed converter operates as a classical multiphase boost converter at the primary side. Therefore, the primary side bus voltage is calculated by:

$$V_{Cb} = \frac{V_i}{1-D}. \quad (2)$$

Replacing (2) in (1), the output peak current can be also calculated by:

$$i_{pk} = \frac{V_i - V_o(1-D)}{L_d f}. \quad (3)$$

The leakage inductance is demagnetized with the output voltage V_o applied across the leakage inductance as presented in the second and third operation stages.

The period of leakage inductance demagnetization (t_d) is calculated by:

$$t_d = \frac{L_d i_{pk}}{V_o}. \quad (4)$$

Replacing (1) in (4), the period of leakage inductance demagnetization (t_d) is not dependent of the leakage inductance value and it is calculated by:

$$t_d = \frac{(V_{Cb} - V_o)(1-D)T}{V_o}. \quad (5)$$

The instantaneous average output current (i_o) is calculated by the area of the output current waveform presented in Figure 4 and is equal to:

$$i_o = \frac{i_{pk}}{T}\left[(1-D)T + t_d\right]. \quad (6)$$

Also, replacing (5) in (6) the instantaneous average output current is equal to:

$$i_o = \frac{i_{pk} V_{Cb}(1-D)}{V_o}. \quad (7)$$

Replacing (2) in (7), the instantaneous average output current is equal to:

$$i_o = \frac{i_{pk} V_i}{V_o}. \quad (8)$$

Replacing (3) in (7), the primary side bus voltage can be calculated as a function of the instantaneous average output current and voltage, such as:

$$V_{Cb} = \frac{i_o V_o L_d f}{V_i(1-D) - V_o(1-D)^2}. \quad (9)$$

Finally, the converter static gain is obtained replacing (2) in (9) and the result is given by:

$$V_o = \frac{V_i}{1-D} - \frac{i_o V_o L_d f}{V_i(1-D)}. \quad (10)$$

Considering a parameter *k* given by:

$$k = \frac{i_o V_o L_d f}{V_i} \quad (11)$$

the converter output voltage is calculated by:

$$V_o = \frac{V_i - k}{1-D}. \quad (12)$$

The static gain of the converter is similar to the static gain of the classical boost converter with a reduction (k) that is dependent of the leakage inductance, switching frequency and also changes with the load.

The specifications presented in Table I are considered in the application of the equations developed and in the experimental prototype.

Considering the converter operation with an AC input voltage, the instantaneous input current ($i_i(\omega t)$) can be obtained in order to calculate the instantaneous duty-cycle variation. Considering an ideal operation without losses, this current is given by:

$$i_i(\omega t) = \left(\sqrt{2}\frac{P_o}{V_{iRMS}}\right)\sin(\omega t). \quad (13)$$

TABLE I
Steady-State Converter Specification

Output power	P_o=2 kW
Output voltage	V_o=350 V
Primary side DC-bus voltage	V_{Cb}=406 V
Peak AC input voltage	V_{ipk}=155 V
RMS AC input voltage	$V_{iRMS} = V_{ipk}/\sqrt{2}$
Switching frequency	f=44 kHz
AC input voltage frequency	f_{AC}=60 Hz

Considering an ideal operation without losses, replacing (13) in (8), the instantaneous average output current is obtained as:

$$i_o(\omega t) = \frac{i_i(\omega t)V_i(\omega t)}{V_o}. \quad (14)$$

The average output current (I_o) is equal to half of the peak value of the instantaneous average output current ($i_o(90^o)$) and it is equal to $I_o=P_o/V_o=5.714$ A. From (10), the duty-cycle variation can be calculated as:

$$D(\omega t) = 1 - \frac{Vi(\omega t)^2 - V_o i_o(\omega t)L_d f}{V_o V_i(\omega t)} \quad (15)$$

where:

$$V_i(\omega t) = V_{ipk}\sin(\omega t). \quad (16)$$

Replacing (14) in (15), the duty-cycle variation can be calculated by:

$$D(\omega t) = 1 - \frac{Vi(\omega t) - i_i(\omega t)L_d f}{V_o}. \quad (17)$$

Considering the leakage inductance equal to zero, the duty-cycle variation is equal to the classical boost converter.

An external inductor can be included in series with the transformer primary winding in order to increase the transformer leakage inductance and the soft-commutation range as presented in [14]. However, this inductance also defines the DCM operation range of the full-bridge converter and the difference between the primary-side DC-bus voltage and the output voltage defined by the parameter k shown in (11).

The full-bridge section can be designed at the boundary of CCM and DCM at the nominal operation conditions in order to reduce the current stress. Considering the input power equal to 2.2 kW, the peak current at the transformer primary winding and the value of the leakage inductance for the boundary operation of DCM and CCM are calculated respectively by:

$$i_{pk} = \frac{2P_i}{V_{ipk}} = \frac{2\cdot 2200}{155} = 28.39A \quad (18)$$

$$L_d = \frac{(V_{Cb} - V_o)V_o}{V_{Cb}\,2fi_{pk}} = \frac{(406-350)\cdot 350}{406\cdot 2\cdot 44\cdot 10^3\cdot 28.39} = 19.3\mu H. \quad (19)$$

Considering the use of the inductance L_d=19.3 μH, the full-bridge section will operate at the boundary of DCM and CCM close to the nominal output power. The voltage difference between the primary side DC-bus voltage and the output voltage is equal to 56 V, as specified in Table I. The minimum duty-cycle at the peak of the AC input voltage is equal to D(90º)=0.619 calculated by (15). Each switch operates with the PWM signal in one half-cycle of the input voltage and operates with the complementary signal in the other half-cycle of the input voltage. The other commutation leg presents the same modulation with a phase-shift equal to 180º.

IV. CONTROL STRATEGIES AND DOUBLE MODULATION

As presented in the theoretical analysis and in the converter static gain shown in (12), the proposed rectifier operation is similar to a classical boost converter. Thus, the classical control structure used in the boost preregulators can be applied in the proposed rectifier. But the classical preregulator control normally presents a slow dynamic performance resulting in relative high DC-bus overshoot/undershoot at the load transient. This problem can be minimized increasing the DC-bus capacitance in order to supply the difference between the instantaneous input and output power during the load transient.

However, this problem is more significant in the proposed rectifier because there are two DC-bus, one at the primary and other at the secondary side. Also, the power switches of the boost-full-bridge converter must support the maximum primary side DC-bus voltage. The power switches of the second stage (inverter) must support the maximum DC-bus voltage at the secondary side. Therefore, some modifications in the classical preregulator control are proposed in order to improve the dynamic performance and also to reduce the DC-bus capacitance to a minimal value at the primary and secondary sides. Four control strategies are developed and the first control structure considered is the classical average current mode control using the asymmetric PWM modulation. The results obtained with this classical control are considered as reference for the comparison with the three others control strategies used to improve the rectifier dynamic response.

A. Average Current Mode Control Using the APWM Modulation

The average current mode control is one of the most widely used methods to correct the power factor of rectifiers and can be adapted for the boost-full-bridge isolated rectifier. The input section of the rectifier operates in CCM and a fast internal current control loop and a slow external voltage loop can be used to obtain high input power factor and regulate the output voltage, as shown in Figure 5.

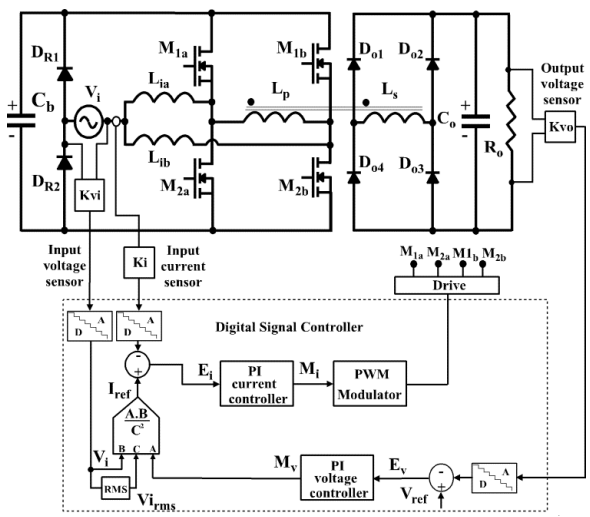


Fig. 5. Classical average current mode control using the asymmetric PWM modulation.

The input current is compared with a current reference (I_{ref}) and the error signal (E_i) is applied to a proportional-integral (PI) controller defining the converter modulation (M_i). The model of the system for current control loop is the same of the classical multiphase boost converter and the same design parameters can be considered. A classical boost design procedure is used and considering a cross frequency f_{ci}=1.7 kHz and phase margin M_{fi}=80º, the PI controller designed with a sample rate of f_{Si}=22 kHz is given by:

$$PI_i(z) = \frac{M_i(z)}{E_i(z)} = \frac{0.5(z-0.92)}{z-1}. \quad (20)$$

The input current reference I_{ref} is obtained by the multiplication of the current waveform (input B), that is the same input voltage waveform V_i, by the current amplitude (input A) defined by the output voltage control loop (M_v).

The voltage control loop is developed comparing the output voltage reference (V_{ref}) with the output voltage (V_o). The output voltage presents a low frequency ripple (twice of the input voltage frequency) as occurs in all preregulators due to the difference between the instantaneous input and output power. The voltage control loop output M_v must be only a DC component without the low frequency ripple in order to maintain the sinusoidal current waveform and the HPF. Therefore, the voltage control loop has a very low bandwidth and the cut-off frequency is typically ten-fold lower than ripple frequency. The slow dynamic in the voltage control loop causes a very slow transient response and high overshoot/undershoot in the DC-bus voltage during load transients. The DC bus output capacitor may be increased to limit the voltage transient for the second stage that is a voltage inverter in an UPS application.

If a load transient occurs, the input power will be different of the output power resulting in the output voltage variation. As the voltage control loop is slow due to the low frequency ripple rejection, the current reference amplitude is changed slowly until to obtain the power balance, regulating the output voltage. Therefore, the output voltage can change significantly during the load transient using this classical control structure.

The dynamic of the ZVS full-bridge DC-DC converter is much faster than the low bandwidth voltage control loop. Thus, the DC-DC full-bridge section can be considered a gain at steady-state for the voltage control loop.

The same design parameters of the classical preregulator are considered in the voltage control loop design. The voltage control loop cross frequency is equal to f_{cv}= 15 Hz and phase margin M_{fv}=80º. Using a sample rate of f_{Sv}=2.7 kHz, the designed PI voltage controller is given by:

$$PI_v(z) = \frac{M_v(z)}{E_v(z)} = \frac{1.884(z-0.994)}{z-1}. \quad (21)$$

The DC-bus voltage at the primary side is unregulated as shown in Figure 5 and can present voltage variation at the load transient and at steady-state.

B. Average Current Mode Control Using the APWM Modulation and the Output Power Feed-forward

Some techniques have been developed in order to improve the operation of the classical rectifier average current mode control. The works presented in [19]-[21] are proposed to solve the problem of the slow voltage control loop and poor dynamic performance. Some solutions proposes the elimination of the low frequency ripple from the voltage control loop using notch filters in the sample of the output voltage. This allows the increment of the bandwidth and the cut-off frequency. There are also no linear techniques with more complex solutions as presented in [21].

A fast output power feed-forward technique is used in this work obtaining a fast change in the input current reference at the load transients independently of the slow output voltage control loop and also maintaining the high power factor operation. The fast operation of the output power feed-forward allows the definition of the correct input current value for the output load transient. This reduces significantly the DC-bus capacitor undershoot and overshoot. The control system structure is presented in Figure 6, which is basically the same presented in the previous session, but now including a sum of a second signal (M_p) in the definition of the input current reference, beside the output voltage control loop (M_v), such as:

$$I_{ref} = \frac{K_{Vi} V_i \frac{P_o}{V_{iRMS}}}{V_{iRMS}} + \frac{K_{Vi} V_i M_v}{V_{iRMS}}. \quad (22)$$

The output power feed-forward operates obtaining the rectifier output power and the correct input current reference is calculated, maintaining the input and output power balance.

When a load transient occurs, the output power is calculated by the average value of the instantaneous output power. This result is divided by the RMS input voltage, calculating the correct input current reference amplitude at each cycle of the AC input voltage.

The output power feed-forward (M_p) defines the total current reference amplitude (input A) with the use of correct parameters. The voltage control loop operates only with a small contribution in the determination of the reference current amplitude during the transients and presents null value at steady-state (M_v=0). This auxiliary control action can be used also in the classical non isolated boost rectifier.

The output power is obtained with the measurement of the output voltage and current. But in an UPS application normally the UPS output power is measured and this information can be applied to the control of the rectifier stage without the use of additional current sensor.

The DC-bus voltage at the primary side is unregulated with this control structure, as shown in Figure 6, and can present voltage variation at the load transient and at steady-state.

C. Average Current Mode Control Using the Double Modulation APWM/PS

The power transference between the primary side to the secondary side through the full-bridge DC-DC converter section can be obtained also with the phase-shift modulation.

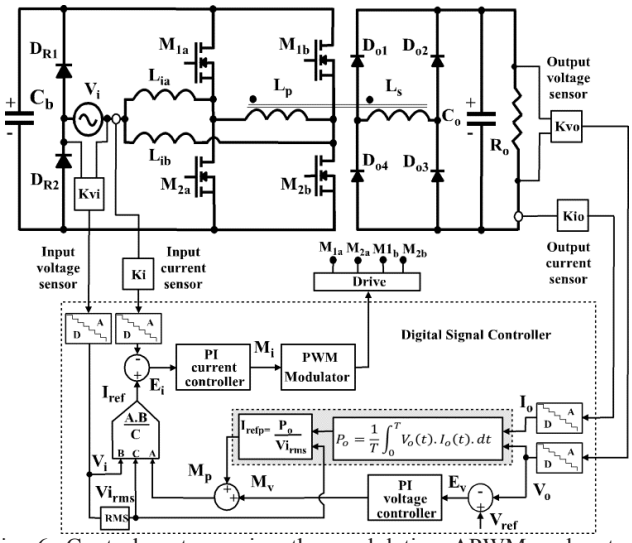


Fig. 6. Control system using the modulation APWM and output power feed-forward.

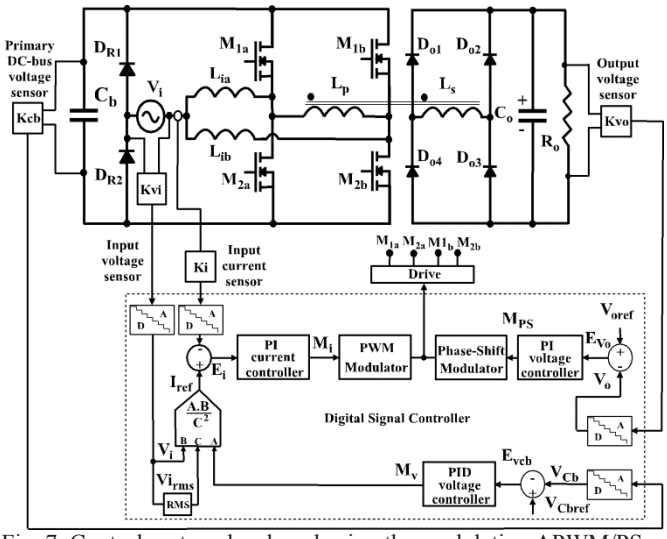
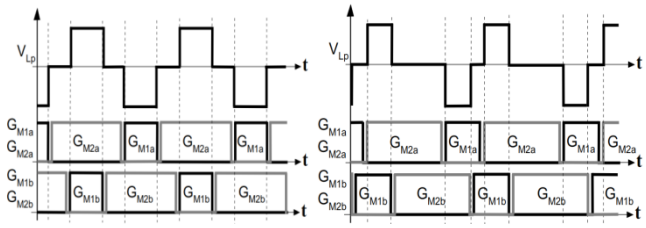


Fig. 7. Control system developed using the modulation APWM/PS.



(a) (b) APWM/PS

Fig. 8. Modulation strategy for the boost-full-bridge rectifier. (a) APWM. b) APWM/PS.

Appling the same APWM in both commutation legs with a phase-shift equal to zero, it is possible to control the input current and the primary side DC-bus voltage, maintaining null the output voltage.

Changing the phase-shift between the commutation legs from 180º to 0º, the rectifier output voltage will be linearly reduced from the maximum output voltage value calculated by (10) to zero as a step-down converter.

The following operation characteristics are obtained using the double modulation APWM/PS:

- a fast and independent output control loop can be developed controlling the full-bridge phase-shift, improving the dynamic response of the output voltage, maintaining high power factor and low input current harmonic distortion.
- The classical average current mode control can be used to regulate the primary side DC-bus voltage with the APWM modulation, limiting the primary side DC-bus voltage variation at the load transient. This increases the converter reliability and also improves the operation conditions for the control of the output voltage. A second independent control loop can be used to control the output voltage with the phase-shift modulation.
- The operation with a large voltage range is possible due to the step-up/step-down output characteristic obtained with the double modulation.
- The independent control operation allows obtaining a high power factor and low input current distortion in all output voltage range.
- The fast control of the output voltage allows the reduction of the overshoot/undershoot at the load transients and the reduction of the DC-bus capacitors.
- The independent control system operation allows the use of the classical models of the boost converter for the input section and the full-bridge converter for the output section. The controls present the same flexibility of a two stage converter composed by a boost AC-DC and full-bridge DC-DC structures, but using a single stage converter.

The input current waveform is defined by the APWM and the simultaneous phase-shift modulation does not change the input current waveform.

The control structure using the double modulation APWM/PS is presented in Figure 7.

The classical average current mode control regulates the primary side bus voltage and obtain high power factor changing the converter duty-cycle. A fast output voltage control loop regulates the output voltage changing the phase-shift of the two commutation legs. The asymmetric PWM and simultaneous modulation are presented in Figure 8. The average current at the transformer primary side is null with both modulations.

However, there is a limitation in the simultaneous modulation operating as a high power factor rectifier. When the instantaneous AC input voltage is near to the zero crossing, the duty-cycle of the APWM is close to one and the complementary signal is close to zero for the input current waveform to follow the input voltage waveform.

Therefore, even with a fast output voltage control loop, the low frequency ripple of the output voltage is not eliminated due to the extreme value of duty-cycle near of the zero crossing of the input voltage. The low frequency ripple can be reduced limiting the maximum duty-cycle value, allowing the power transference from primary side to the output at the input AC voltage zero crossing.

However, this maximum duty-cycle limitation will reduce the input power factor increasing the input current distortion. The experimental results show that limiting the maximum duty-cycle to D=0.8, the power factor was reduced from 0.999 to 0.977 and the output low frequency voltage

ripple was reduced from 10 V to 2 V. The low frequency output voltage ripple is not a problem for the preregulator operation in UPS application and the maximum duty-cycle is not limited in this application.

The controllers applied in the input current control loop and in the DC-bus voltage control loop are the same used in the control systems presented in the previous sections. However, the primary side DC-bus voltage is controlled by the classical control structure.

The fast output voltage control loop changes the converter phase-shift and a PI controller is used considering a cross frequency equal to f_{cPS}= 350 Hz and phase margin M_{fPS}=80º. Using a sample rate of f_{SPS}=22 kHz, the designed PI voltage controller is given by:

$$PI_{PS}(z) = \frac{M_{PS}(z)}{E_{Vo}(z)} = \frac{10.38(z-0.982)}{z-1}. \quad (23)$$

An important design parameter that must be considered for the correct operation of the double modulation control system is the minimal value of the regulated DC-bus at the primary side (V_{Cb}). The V_{Cb} voltage must be the factor "k", calculated by (12), higher than the output voltage referred to the primary side.

If a primary side DC-bus voltage undershoot occurs due to a load increment transient and the primary side DC-bus voltage to reach a value lower than this minimum limit, the output voltage will be reduced during the load transient even with the maximum action of the phase-shift output voltage control loop.

D. Average Current Mode Control With the APWM/PS Modulations and the Output Power Feed-forward

The classical average current control used to regulate the primary side DC-bus voltage in the previous structure presents a slow dynamic performance resulting in high overshoot/undershoot in the primary side DC-bus voltage during load transients. Also, a minimal value of the primary DC-bus voltage must be ensured during the load increment transient, as commented in the last section for the correct operation of the fast phase-shift output voltage control. This problem can be solved elevating the reference of the primary side DC-bus voltage. But this increases the switch voltage and also limits the possibility of reduction of the primary side DC-bus capacitance.

The primary side DC-bus voltage control operation can be improved applying the auxiliary output power feed-forward action, reducing overshoot/undershoot of the primary side DC-bus voltage under the load transient.

This results in a better operation condition for the fast output voltage control loop with the phase-shift operation and also allows the reduction of the primary side DC-bus capacitance. The control structure using the double modulation APWM/PS and the output power feed-forward action is presented in Figure 9.

The average current mode control regulates the primary side bus voltage and obtain high power factor. The amplitude of the input current reference is calculated by the slow control loop of the primary side DC-bus voltage and by the fast output power feed-forward algorithm.

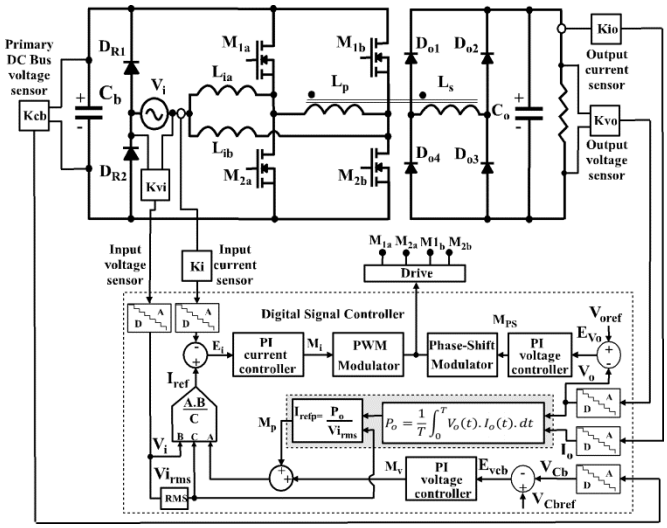


Fig. 9. Control system developed using the modulation APWM/PS and output power feed-forward.

Therefore, the fast balance of the input and output power during the load transient ensure a reduced overshoot/undershoot at the primary side DC-bus voltage. The controllers used are the same presented in the previous sessions.

V. EXPERIMENTAL RESULTS

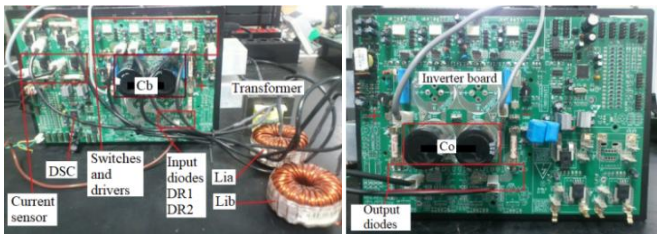
The static and dynamic performance of the proposed rectifier presented in Figure 1 is verified with the implementation of a prototype considering the specifications presented in Table I. Table II presents the main prototype parameters obtained with a design procedure using the main equations presented in the theoretical analysis. The experimental prototype is presented in Figure 10 and is divided in two boards fixed in both sides of a heat sink. All rectifier components at the transformer primary side are in the rectifier board shown in Figure 10a. The rectifier components at the secondary side, that are the output diode bridge and output filter capacitor, are in the inverter board presented in Figure 10b, that shows also all components of the inverter stage of the UPS.

The design of the input inductors and filter capacitors follows the classical procedure of the boost converter and the design of the power transformer follows the design procedure of the full-bridge DC-DC converter.

A. Experimental Results - Steady-state Operation

The high power factor operation can be observed in Figure 11a. The total harmonic distortion of the grid voltage and of the rectifier input current are equal to THD_V=6% and THD_i=8% respectively. The voltage at the DC-bus primary (C_b) and secondary (C_o) sides are presented in Figure 11b. Considering the converter operation with the parameters presented in Table II and with L_d=19.3 μH, the voltage difference between primary and secondary bus voltage is close to 56 V as specified in the converter design.

The ZVS commutation of the switches of a commutation leg is presented in Figure 12, as presented in the theoretical waveforms. The switch voltage is equal to the primary side DC-bus voltage (V_{Cb}).



(a) (b)

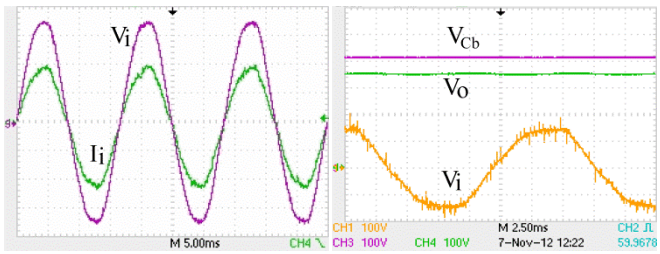
Fig. 10. Experimental prototype. a) Rectifier board. b) Inverter board.

The current at the transformer primary side is shown in Figure 13a. The transformer is magnetized and demagnetized at each switching cycle and does not present DC or low frequency current at the primary side.

The current in each input inductor (L_{ia} and L_{ib}) is presented in Figure 13b. This acquisition also shows that the input current is the sum of the input inductor currents, presenting half of the current ripple and twice of the average current and frequency.

TABLE II
Circuit Parameters and Components

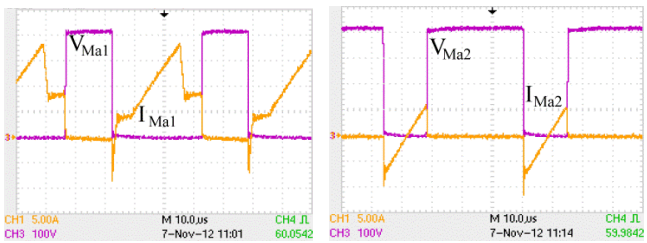
Output Power	P_o=2 kW
Output Voltage	V_o=350 V
Input Voltage	V_{in}=110 V_{rms}
Switching Frequency	f=44 kHz
M_{1a}, M_{1b},M_{2a}, M_{2b}	IRGP50B60PD1
D_{o1} - D_{o4} D_{R1} - D_{R2}	MUR1560
L_{ia}, L_{ib}	525 µH – Toroidal core
L_p, L_s	Transformer core EE65/26: L_P=2.68 mH, L_S=2.68 mH, L_d=8.0 µH. Primary winding in series with a resonant inductor equal 11 µH. Core EE42/15.
C_o	1880 µF- Four capacitors 470 µFx400 V (parallel)
C_b	940 µF- Two capacitors 470 µFx450 V (parallel)
Digital Controller	DSC MC56F8257



(50 V/div - 10 A/div - 5 ms/div) (100 V/div - 2.5 ms/div)

(a) (b)

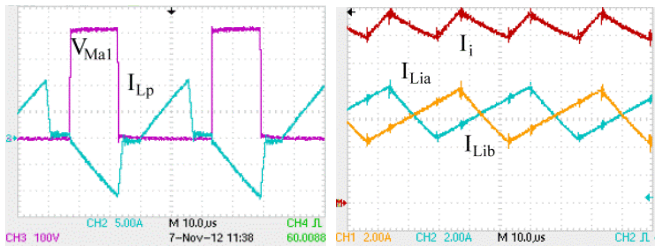
Fig. 11. Input voltage, input current and primary and secondary DC-bus voltages. (a) Input voltage (V_i) and input current (I_i). (b) Input and output voltage (V_o) and primary DC-Bus voltage (V_{Cb}).



(100 V/div - 5 A/div - 10 µs/div) (100 V/div - 5 A/div - 10 µs/div)

(a) (b)

Fig. 12. Switch voltage and current. (a) Switch voltage and current operating with the PWM signal. (b) Switch voltage and current operating with the $\overline{\text{PWM}}$ signal.



(100 V/div - 5 A/div - 10 µs/div) (2 A/div - 10 µs/div)

(a) (b)

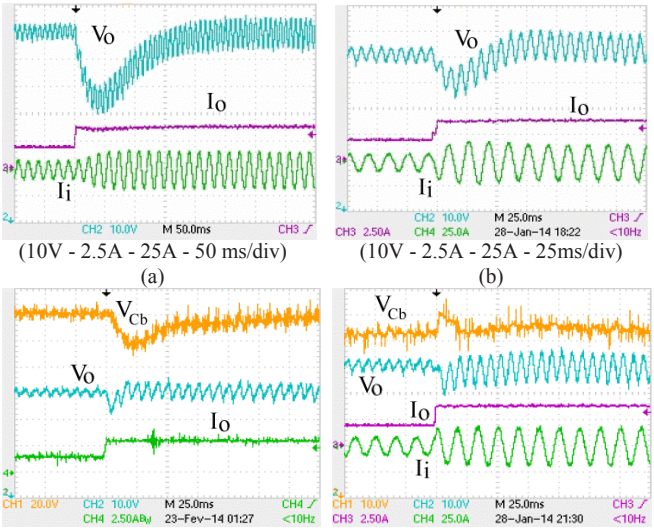
Fig. 13. Primary winding and inductors currents. (a) Primary winding current (I_{LP}) and switch voltage (V_{Ma1}). (b) Input inductors current (I_{Lin}) and input rectifier current (I_i).

Efficiency equal to 92% was obtained using low cost IGBTs. However, the efficiency can be improved replacing the power switches by low resistance MOSFETs or silicon-carbide switches that are more adequate than IGBTs for ZVS switch turn-off.

B. Experimental Results - Control System Operation

The four control structures presented in the theoretical analysis were tested using the digital signal controller MC56F8257. All experimental results were obtained with the primary side DC-bus capacitor equal to C_b=940 µF and the secondary DC-bus equal to C_o=1880 µF. Only in the last results obtained with the most complete control structure, the primary and secondary DC-bus capacitance were reduced to half of the value adopted in the previous tests.

Figure 14 shows the experimental results obtained from the four control structures for a load increment from 50% to the 100% of the output power. The output voltage and current and the input current are presented in Figure 14a, using the classical average current mode control with the APWM modulation shown in Figure 5. The output voltage variation is close to 30 V with a DC value of 350 V. The voltage undershoot is 8.5% and the setting time is ten cycles of the AC input voltage. The slow variation of the input current amplitude, due to the slow increment of the reference current amplitude defined by the low bandwidth voltage control loop, can be observed in this result. The performance obtained with the classical control is adequate for the most part of the applications and is similar to the dynamic results of the classical non isolated rectifiers. The first improvement in the average current control structure is the inclusion of the auxiliary output power feed-forward action presented in Figure 6, which is the second control structure. The result obtained is shown in Figure 14b. The output voltage transient average value is close to 10 V with a DC value of 350 V. The output voltage undershoot was reduced from 8.5% to 2.85% and the setting time was reduced from ten cycles to three cycles of the AC input voltage. The fast stabilization of the input current also can be observed using the fast auxiliary control action. However, the primary side DC-bus voltage is unregulated with the first and second control structures. The results obtained with the third control structure using the double modulation presented in Figure 7 are shown in Figure 14c. The output voltage undershoot was reduced to 1.42% and the setting time was reduced for one cycle of the AC input voltage due to the fast action of the output voltage control loop, changing the phase of the system.



(10V - 2.5A - 25A - 50 ms/div) (a)

(10V - 2.5A - 25A - 25ms/div) (b)

(20V - 10V - 2.5A - 25ms/div) (c)

(10V - 2.5A - 25A - 25ms/div) (d)

Fig. 14 - Load transient from 50% to 100% of the output power with C_b= 940 µF and C_o=1880 µF. (a) Average current control. (b) Average current control and output power feed-forward. (c) Average current control and double modulation APWM/PS. (d) Average current control with double modulation APWM/PS and output power feed-forward.

Another important result shown in Figure 14c is that the primary side DC-bus voltage (V_{CB}) is regulated with this control structure.

However, as the slow voltage control loop of the average current control is used to control the primary side DC-bus voltage, the transient response is ten cycles of the AC input voltage and the voltage undershoot is close to 30 V.

The experimental results of the last and more complete control structure presented in Figure 9, including the auxiliary output power feed-forward in the control of primary side DC-bus voltage are shown in Figure 14d. The output voltage control loop maintains the fast control action. The fast change in the input current is also presented in Figure 14d, maintaining the high power factor. The primary side DC-bus voltage is regulated and presents an overshoot equal to 10 V instead an undershoot equal 30 V presented in the third control structure. The setting time was reduced from ten cycles of the AC input voltage to one cycle. The changing in the response behavior from the voltage undershoot to a limited voltage overshoot of the primary side DC-bus is favorable to the control of the output voltage due to the minimal voltage difference between the output voltage and the primary side DC-bus voltage (factor "k") that must be ensured, allowing the reduction of the DC-bus capacitance.

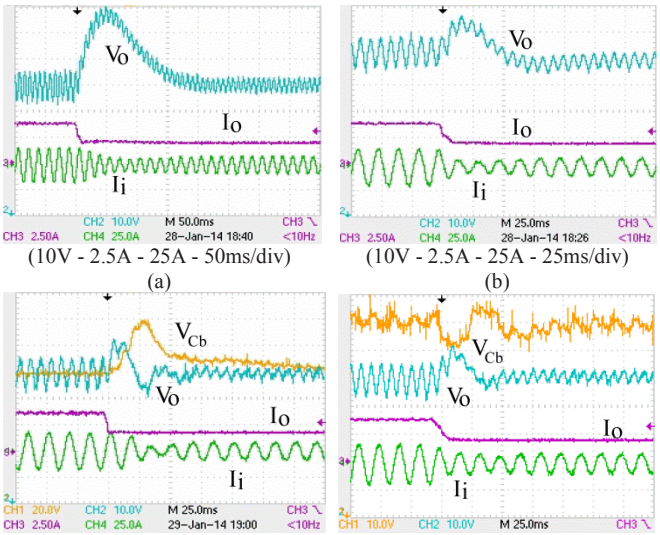
Figure 15 shows the experimental results obtained from the four control structures for a load decrement from 100% to the 50% of the output power. The average current control result, shown in Figure 15a, presents an output voltage overshoot of 30 V with a setting time of eight cycles of the AC input voltage.

The result obtained with the second control structure including the auxiliary output power feed-forward is presented in Figure 15b. The output voltage overshoot is reduced to 10 V and the setting time is three cycles of the AC input voltage.

The result of the third control system using the double modulation is presented in Figure 15c. The output voltage overshoot is reduced to 5 V and the setting time is one cycle of the AC input voltage. The primary side DC-bus voltage is regulated with this control structure and presents an overshoot equal to 40 V.

The results of the fourth control structure shown in Figure 9, including the auxiliary output feed-forward action in the control of the primary side DC-bus voltage, are presented in Figure 15d. The output voltage control loop maintains the fast control action. The primary side DC-bus voltage is regulated and presents an undershoot equal to 8 V instead an overshoot equal to 40 V presented in the previous control structure.

After the acquisitions of the experimental results obtained from the four control systems proposed, the load transients were repeated for the most complete control structure shown in Figure 9, reducing the primary and secondary DC-bus capacitance to half of the value used in the previous testes (C_b=470 µF and C_o=940 µF).



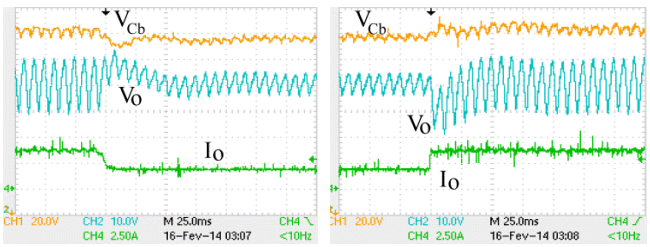
(10V - 2.5A - 25A - 50ms/div) (a)

(10V - 2.5A - 25A - 25ms/div) (b)

(20V-10V- 2.5A - 25A - 25 ms/div) (c)

(10V-2.5A-25A-25 ms/div) (d)

Fig. 15 - Load transient from 100% to 50% of the output power with C_b= 940 µF and C_o=1880 µF. (a) Average current control. (b) Average current control and output power feed-forward. (c) Average current control and double modulation APWM/PS. (d) Average current control with double modulation APWM/PS and output power feed-forward.



(20V - 10V - 2.5A - 25ms/div) (a)

(20V - 10V - 2.5 A - 25ms/div) (b)

Fig.16. Average current control with double modulation APWM/PS and output power feed-forward with C_b= 470 µF and C_o=940 µF. (a) Load transient from 100% to 50% of output power. (b) Load transient from 50% to 100% of output power.

These results are presented in Figure 16a for the load decrement form 100% to 50% and in Figure 16b for the load increment from 50% to 100%.

In both results the primary DC-bus voltage and the output voltage present a variation close to the low frequency ripple and very fast response.

The classical average current mode control shown in session IV presents an adequate operation for many applications. However, the typical 10% of output voltage overshoot operating with Vo=400 V results in the utilization of higher voltage-rated capacitors (higher than 450 Vdc). The primary side DC-bus voltage also presents a large voltage variation.

Figures 16a and 16b shows that the combination of the double modulation APWM/PS and the output power feed-forward action allows the reduction of the voltage overshoot/undershoot close to 1% in both primary and secondary DC-bus, even operating with the minimum capacitance limited by the RMS capacitor current. Therefore, a reduced capacitance for the primary and secondary DC-bus and lower cost 450 V rated capacitors can be used with the proposed control structure. The maximum switch voltage at the primary side is limited to 410V at the load transient.

VI. CONCLUSION

The bridgeless boost-full-bridge rectifier with voltage source output characteristic is proposed as preregulator of an UPS with high-frequency transformer isolation. The operation with the input section in CCM and output section in DCM with voltage source output characteristic was presented and analyzed. The steady-state operation obtained presents some desirable characteristics for a high performance rectifier as high switching frequency with ZVS soft commutation, reduced conduction losses with the bridgeless configuration and low input current ripple due to the multiphase operation. However, the proposed converter presents two DC-bus capacitors at the primary and secondary sides and some developments are presented in order to reduce the converter capacitance.

Four control structures are proposed to control the isolated preregulator. The classical average current mode control with the APWM modulation was used obtain high power factor and regulating the output voltage. However, the typical control performance with 10% of overshoot/undershoot and a setting time of ten cycles of the AC input voltage were obtained. Also the primary side DC-bus voltage presents a large variation and the DC-bus capacitors cannot be reduced due to the limitations of the control performance.

The output power feed-forward algorithm is introduced in the preregulator control structure obtaining a fast output voltage response with overshoot/undershoot lower than 3% and a setting time of three cycles of the AC input voltage. But the primary side DC-bus voltage is not controlled and can present a large variation during the load transient.

The preregulator output current sensor used in the output power feed-forward is not necessary in two stages structures where the output power or current of the system is already measured, as in UPS and telecom applications.

The double modulation APWM/PS was developed regulating the primary side DC-bus voltage and the output voltage. The phase-shift modulation allows the development of a fast output voltage control maintaining the HPF. An overshoot/undershoot close to 1% and a setting time of one cycle of the input voltage is obtained. But a minimal voltage difference between the primary DC-bus voltage and the output voltage must be maintained in the load increment transient in order to maintain the high performance of the output voltage control. The primary DC-bus voltage presents the same performance of the classical average current control and presents 10% of overshoot/undershoot.

The best control performance was obtained using the double modulation APWM/PS operating with the output power feed-forward action where both primary DC-bus voltage and the output voltage presents an overshoot/undershoot close to 1% even operating with half of the capacitance used in the previous control structures. This result maintain limited the maximum switch voltage and capacitors voltage at the load transient, increasing the converter reliability and allowing the operation with the minimal capacitance at the primary and secondary DC-bus.

ACKNOWLEDGEMENT

The authors would like to express their gratitude to Fundação Araucária, CAPES, CNPq and NHS Sistemas de Energia for financial support.

REFERENCES

[1] R. P. T. Bascopé, D. S. Oliveira, C. G. C. Branco, F. L. M. Antunes, " A UPS With 110-V/220-V Input Voltage and High-Frequency Transformer Isolation", *IEEE Transaction on Industrial Electronics* , vol. 55, nº 8, pp. 2984 – 2996, August 2008.

[2] C. G. C. Branco, C. M. T. Cruz, R. P. Torrico-Bascopé, F. L. M. Antunes, "A Non-isolated Single Phase Ups Topology With 110 V/220 V Input Output Voltage Ratings," *Eletrônica de Potência* - SOBRAEP, vol. 11, nº 2, pp. 111 - 118, Julho 2006.

[3] R. P. Torrico-Bascopé, D. S. Oliveira Jr., C. G. C. Branco, F. L. M. Antunes, " A High Frequency Transformer Isolation UPS System With 110 V/220 V Input Voltage", *Eletrônica de Potência*- SOBRAEP, vol. 11, nº 3, Novembro 2006.

[4] G. Spiazzi, P. Tenti, P. Maltavelli, "High-Quality Rectifiers with High-Frequency Insulation-An Overview", *in IEEE International Symposium on Industrial Electronics ISIE*, vol. 1, pp. 64-71, 1995.

[5] K. Hirachi, J. Yoshitsugu, K. Nishimura, A. Chibani, M. Nakaoka, "Switched-Mode PFC Rectifier with High-Frequency Transformer Link For High-Power Density Single Phase UPS", *in 28th Annual IEEE Power Electronics Specialists Conference PESC*, vol. 1, pp. 290-296, 1997.

[6] R. Watson, F.C. Lee, "A Soft-Switched, Full-Bridge Boost Converter Employing an Active-Clamp Circuit", *in 27th Annual IEEE Power Electronics Specialists Conference PESC*, vol. 2, pp. 1948 – 1954, 1996.

[7] E. F. R. Romaneli and I. Barbi, “A New ZVS-PWM Clamping Mode Isolated Non Pulsating Input and Output Current DC-to-DC Converter”, *in IEEE Power Electronics Specialists Conference PESC,* vol. 1, pp. 205 – 210, 2000.

[8] K. Fathy, H. Lee, T. Mishima, M. Nakaoka, “Boost Half Bridge Single Power Stage PWM DC-*DC* Converter for Small Scale Fuel Cell Stack,” *in IEEE International Conference on Power and Energy PECon*, pp. 426 – 431, 2006.

[9] J. Zeng, J. Ying, Q. Zhang, “A Novel DC–DC ZVS Converter For Battery Input Application,” *in IEEE Applied Power Electronics Conference and Exposition APEC*, pp. 892–896, 2002.

[10] C. Yoon, J. Kim, S. Choi, “Multiphase DC–DC Converters Using a Boost-Half-Bridge Cell for High-Voltage and High-Power Applications”, *IEEE Transactions on Power Electronics*, vol. 26, nº 2, pp. 381-388, February 2011.

[11] W.-Y. Choi, J.-S. Yoo, “A Bridgeless Single-Stage Half-Bridge AC/DC Converter”, *IEEE Transactions on Power Electronics*, vol. 26, nº 12, pp. 3884-3895, December 2011.

[12] E. F. R. Romaneli, I. Barbi, "A New Isolated Phase-Shift Controlled Non-Pulsating Input and Output Current Converter", *in IEEE Power Electronics Specialists Conference PESC*, vol. 1, pp. 237-242, 2001.

[13] H. S. Ribeiro, B. V. Borges, "Analysis and Design of a High-Efficiency Full-Bridge Single-Stage Converter With Reduced Auxiliary Components*", IEEE Transactions on Power Electronics*, vol. 25, nº 7, pp. 1850-1862, July 2010.

[14] B. Su, Z. Lu*,* *"*An Interleaved Totem-Pole Boost Bridgeless Rectifier With Reduced Reverse-Recovery Problems For Power Factor Correction", *IEEE Transactions on Power Electronics*, vol. 25, nº. 6, pp. 1406 - 1415, June 2010.

[15] I. Barbi, W.C. P. A. Filho, “A non Resonant Zero-Voltage Switching Pulse-Width Modulated Full-Bridge DC-to-DC converter”, *in 16th Annual Conference of IEEE Industrial Electronics Society IECON*, vol. 2, pp. 1051 – 1056, 1990.

[16] I. D. Jitaru, “A 3 kW Soft Switching DC-DC Converter”, *in IEEE Applied Power Electronics Conference and Exposition APEC*, vol. 1, pp. 86-92, 2000.

[17] G. Ortiz, D. Bortis, J. Biela, J. W. Kolar, “Optimal Design of a 3.5 kV/11 kW DC-DC Converter for Charging Capacitor Banks of Power Modulators”, *in IEEE Pulsed Power Conference - PPC*, pp.1406-1411, 2009.

[18] D. S. Gautam*,* F. Musavi*,* W. Eberle, W. G. Dunford*,"* A Zero-Voltage Switching Full-Bridge DC–DC Converter With Capacitive Output Filter for Plug-In Hybrid Electric Vehicle Battery Charging", *IEEE Transactions on Power Electronics*, vol. 28, nº 12, pp. 5728 - 5735, December 2013.

[19] C. Spiazzi, P. Mattavelli, L. Rossetto, “Power Factor Preregulators with Improved Dynamic Response,” *IEEE Transactions on Power Electronics*, vol. 12, nº 2, pp. 343–349, March 1997.

[20] Y. Zaohong, C. S. Paresh, "A Novel Technique To Achieve Unity Power Factor And Fast Transient Response in AC-to-DC converters," *IEEE Transactions on Power Electronics,* vol. 16, nº 6, pp. 764-775, November 2001.

[21] P. Das, M. Pahlevaninezhad, J. Drobnik, G. Moschopoulos, P. K. Jain, "A Nonlinear Controller Based on a Discrete Energy Function for an AC/DC Boost PFC Converter", *IEEE Transactions on Power Electronics*, vol. 28, nº 12, pp. 5458-5476, December 2013.

BIOGRAPHIES

Daniel Bernardo de Alvarenga, was born in Curitiba-PR, Brazil. He received the M.Sc. degrees in Electrical Engineering from Federal University of Tecnology - Paraná, Brazil, in 2014. Currently, he is Research and Development Senior Engineer at NHS company and owner of EGNEX, a smart energy solutions company, Brazil. His research interests UPS systems, soft-switching techniques and converters for renewable energy sources.

Martin Breus Meier, was born in Campinas, Brazil in 1988. He received the B.S. degree in electrical engineering with control and automation emphasis from the Federal University of Technology of Paraná, Brazil in 2013. He is currently working toward his M.S. degree in Power Electronics in the same university, and works at MB Tech, developing solar inverters. His main research interests includes rectifiers and multilevel topologies for UPS and solar applications.

Roger Gules, was born in Bento Gonçalves, RS, Brazil, in 1971. He received the B.S. degree from the Federal University of Santa Maria, Brazil and the M.S. and Ph.D. degrees from the Federal University of Santa Catarina, Brazil, in 1998 and 2001, respectively. Since 2006 he has been at Federal Technological University of Paraná, Brazil as Professor. His research interests include high frequency power conversion and renewable energy applications.

Alceu André Badin, was born in Maravilha, Santa Catarina, Brazil, in 1979. He received the B.S., M.S. and Ph.D. degrees in electrical engineering from the Federal University of Santa Catarina, Florianopolis, Brazil, in 2002, 2004, and 2009, respectively. Since 2010, he has been a Professor at the Federal Technological University of Paraná, Curitiba, Brazil. His current research interests include high-frequency power converter topologies, power factor correction techniques and power supplies. Prof. Badin is a member of the Brazilian Power Electronics Society (SOBRAEP).

Eduardo Félix Ribeiro Romaneli, received the B.S. degree, and the Master’s and Doctorate degrees in electrical engineering from the Federal University of Santa Catarina, Florianopolis, Brazil, in 1993, 1998, and 2001, respectively. Since 2003, he has been a Full-Time Professor at the Federal University of Technology - Paraná, Curitiba, Brazil. His current research interests are focused but not restricted to uninterruptible power system (UPS), power-factor correction and renewable energies.

STUDY OF THE MODULATION SCHEMES IN THE HYBRID THREE-PHASE MULTILEVEL INVERTER

Marcos Vinicius Bressan[1], Marcello Lobo Heldwein[2], Alessandro Luiz Batschauer[1]
[1]UDESC/nPEE, Joinville – SC, Brazil
[2]UFSC/INEP, Florianópolis – SC, Brazil
e-mail: bressan.marcosvinicius@gmail.com, heldwein@inep.ufsc.br, batschauer@joinville.udesc.br

***Abstract* – This work proposes and analyzes modulation strategies for a hybrid three-phase multilevel inverter, which employs two different topologies in a cascade connection, a three-phase Neutral Point Clamped (NPC) converter and single-phase half-bridge converters. Two different modulation schemes are proposed: the hybrid modulation and the space vector modulation. The both modulation schemes can synthesize five voltage levels in the output phase voltage at the hybrid three-phase multilevel inverter with symmetrical dc sources. The modulation schemes operate the three-phase NPC in low-switching frequency and the half-bridge converters in high-switching frequency. Thus, semiconductors with low conduction losses can be used for three-phase NPC, decreasing the semiconductor losses. The hybrid three-phase multilevel inverter structure and modulation schemes are explained in detail and verified by simulation and experimental results.**

***Keywords* – Cascade Multilevel Converter, Hybrid Modulation, Hybrid Multilevel Inverter, Medium-voltage, Pulse Width Modulation, Space Vector Modulation.**

NOMENCLATURE

S_{jA}	Switches of the phase A.
$V_{x,y}$	dc source voltage values.
V_{ref}	Reference waveform of the output phase voltage.
M_a	Modulation index.
ω_o	Output angular frequency.
V_{cc}	Bus voltage.
$V_{g,h}$	Signals reference in gh coordinates.
P_{dc}	Active power to flow through the power supply.
i_o	Output current.
V_{RMS}	Supply voltage.
f_r	Supply frequency.
f_c	Carrier frequency.
f_o	Output frequency.
L_o	Load inductance.
R_o	Load resistance.
P_o	Load active power.
v_{AB}	Output line voltage between phases A and B.
i_A	Output phase current, phase A.

Manuscript received 11/04/2017; first revision 31/05/2017; accepted for publication 19/08/2017, by recommendation of Editor Marcelo Cabral Cavalcanti.

I. INTRODUCTION

Voltage source multilevel converters have been highly developed in recent years through industrial and academic research, mainly due to their inherent capacity to process larger quantities of electric power in medium voltage (MV) applications, while employing mature semiconductor technologies [1]–[4]. As a result, the modern multilevel converters can synthesize higher output voltage levels with low voltage semiconductors and are a adequate solution for MV power electronics applications. Another great advantage of this technology is the typical output voltage waveform quality when compared to a two-level inverter. Multilevel inverters can synthesize a output voltage with more than two steps from the combination of different dc source levels, output voltage is close to a sinusoidal waveform and with relatively low harmonic distortion.

The most well known multilevel inverter topologies are arguably the Neutral Point Clamped Converter (NPC), the Flying Capacitor Converter (FC), the Cascaded H-Bridge Converter (CHB) and the Modular Multilevel Converter (MMC). The three-level/-phase NPC is well known and widely used in industrial applications in the MV and low voltage (LV) [5], [6]. Its structure can be driven with different modulation schemes, e.g., carrier-based pulse modulation, space vector modulation and optmized synchronous [7]. The NPC is used in power system applications, e.g., power flow control [8], and in motor drive applications [9]. Its main advantageous is not require bulky isolated dc sources, as in CHBs, or a large amount of capacitance, as in FCs. The FC [10] uses floating (or flying) capacitors that provide the clamping potentials to the switches and generate the multiple dc voltage levels to the converter output. FCs present a large number of redundant states that can be used to balance the floating capacitor voltages. The CHB structure employs of the series connection of identical cells, i.e., single-phase converters. Thus, the single-phase H-bridge converter is usually employed in CHB and each cell requires an isolated dc voltage source. Its modular structure is easy expandede and allows to use of low-voltage semiconductors in high voltage/power applications. In [11], the association of the two single-phase half-bridge converters has been used as the basic cell of the cascaded topology. This basic cell can generate three levels of output voltage, such as the H-bridge converters. The disadvantage of the cascaded converters are their separate dc sources that generally formed by bulky and expensive phase-shifting transformers [3], [12]. The MMC was presented in [13], and was recently accepted as a suitable choice in power systems applications at high voltage [14].

Its modular structure composed of series connection of half-bridge converters and does not require the isolated dc sources (phase-shifting transformers). Increasing the number of series connection converters increasing the number of the output voltage levels of the MMC.

Anther type of cascaded multilevel inverters are the hybrid multilevel inverters. They can be formed from the association of different converters topologies in their structure, e.g., employing NPC and full-bridge converters in the cells [15], [16]; or from different semiconductor technologies [17], [18], e.g., Integrated Gate-commutated Thyristors (IGCTs) or Gate Turn-off Thyristors (GTOs); or using different modulation schemes in each cell [19]. As an example, in reference [15] the authors proposed a three-level NPC cascaded connection with H-bridge cells generating up to fifteen levels of output phase voltage. However, dc voltage sources must be isolated from each other. In [19] and [20], the single-phase full-bridge converters are connected in series with a three-phase two-level converter to increase the number of output voltage levels. In all cases those topologies have particular modulation schemes and controls. Another hybrid solution was presented in [21], where single-phase half-bridge converters are connected to a three-phase two-level inverter. The single-phase half-bridge converter are connected in a particular way to replace H-bridge converters. Its modulation strategy used a low swithcing frequency in the three-phase inverter two-level and high-switching frequency in the half-bridge converters, that this enables to use different power semiconductors in the structure and reducing the power losses. However, the main disadvantage of this topology is the requirement of isolated power supplies for each half-bridge converter and for the three-phase two-level inverter. In [22], a hybrid multilevel inverter has been proposed from a three-phase NPC that is connected in series with single-phase full-bridge converters. This hybrid multilevel inverter is supplied only from a single dc source voltage at the three-phase NPC and there is no need to use transformers to provide the isolation to the single-phase converters. However, the capacitor voltage of the single-phase converters must be controlled. Another disadvantage is that the semiconductor of the three-phase NPC must block the peak of the output voltage, once the half-bridge converters don't supply active power to load and work with lower blocking voltages.

Therefore, for proper operation of the multilevel inverters, the choice of the adequate modulation scheme is fundamental. Some multilevel inverters can be operated with a large range of types of modulation schemes, in high or low-switching frequency.

The low-frequency modulation schemes usually operate the switches in the fundamental frequency, e.g., selective harmonic elimination (SHE), space vector control and nearest voltage level [23], [24]. These modulation schemes are interesting in multilevel inverters with higher number of output voltage levels, where the output voltage waveform is naturally close to a sine waveform [25]. For multilevel inverters with low number of output voltage levels, the high frequency modulation schemes are widely employed, e.g., carrier-based pulse width modulations (CB-PWM) and space vector modulation (SVM) [1], [3], [10]. High-frequency modulation schemes increase the switching losses, however they increase the output signal quality when compared to low-frequency modulation schemes. This characteristic allows reducing the size, volume and cost of the expensive output filters. The most weel-known carrier-based pulse width modulations are: phase disposition pulse width modulation (PD-PWM), phase opposition disposition (POD-PWM), alternative phase opposition disposition (APOD-PWM) and phase shift pulse width modulation (PS-PWM). Basically, the difference among those modulation schemes is the phase and offset disposition of the carrier signals, generating different command signals for the switches. The PD-PWM and PS-PWM are usually employed in multilevel inverters due to their characteristics. The PD-PWM has a low total harmonic distortion (THD) in the output line voltages, however it has poor semiconductor losses distribution. The PS-PWM can provide even current distribution among the semiconductors of the structure, i.e., even losses by inverter [26]. This feature makes the PS-PWM main modulation scheme to be used in modular converters. Both modulation schemes are easily applied independently on the number of the output step levels. Another widely studied high-frequency modulation scheme is the SVM. Due to its high degree of freedom it offers significant flexibility to operation of the power converter [2]. As an example, in [27], the SVM is applied to remove the low-frequency voltage oscillation that appears in the neutral point of the NPC, and, in [28], the SVM was used to reduce common-mode voltage (CMV) at the output of a multilevel inverter. For both cases, the inverter is penalized with increase of the switching and, consequently, the switching losses.

Others modulation schemes are proposed as a solution for specific problems found in some multilevel inverters [29]–[31]. In [29], the carrier signals have different operation frequencies, decreasing the switching losses in the semiconductors and slightly increasing the distortion in the output voltage, but all the switches are operating in high frequency. In [30], a pulse width modulation strategy was proposed for the CHB operating under unbalanced dc sources. The strategy uses the injection of the offset voltages in the reference signals to compensate the output voltage imbalance caused by unbalanced dc source. In [31], the PS-PWM strategy was improved, resulting in faster natural voltage balancing of the flying capacitors. However, this modified PS-PWM strategy does not allow to distribute the losses for all semiconductors of the FC.

In [32], the authors have proposed a hybrid multilevel inverter employing a three-phase NPC connected in series with half-bridge converters. A modulation strategy was proposed, allowing a low-switching frequency at the three-phase NPC, while the half-bridge converters switch in a high frequency. This feature allows the use of low conduction losses semiconductors in the three-phase NPC, reducing the losses of the multilevel inverter.

This work presents and analyzes different PWM strategies employed in a hybrid three-phase multilevel inverter [32], shown in Figure 1. The hybrid modulation and two types of space vector modulation are explored. The modulation strategies allows the three-phase NPC to be switched in low

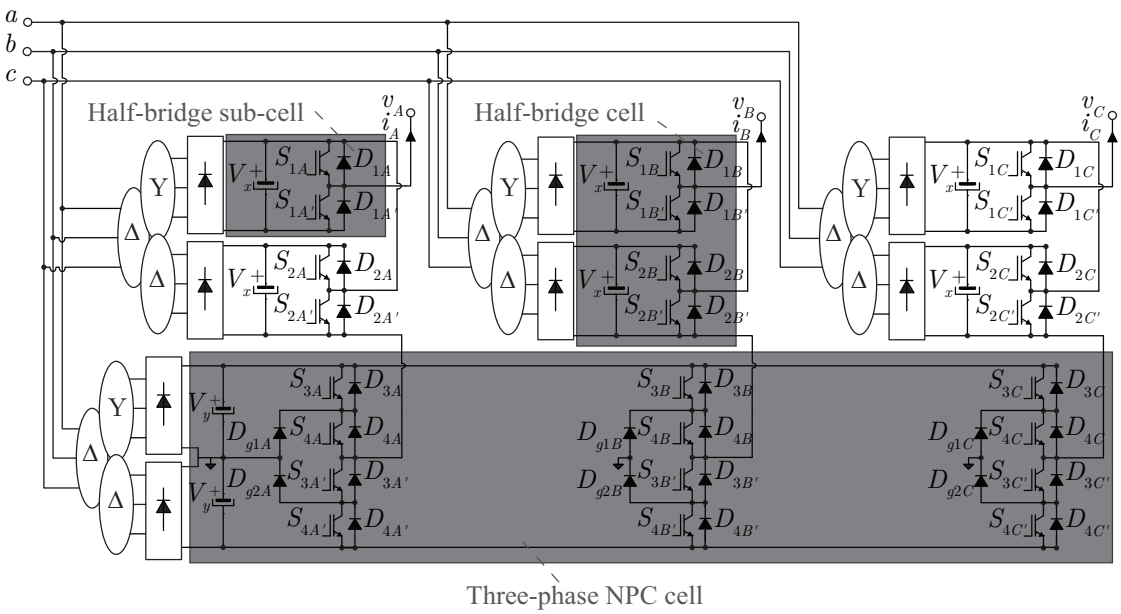


Fig. 1. Circuit schematic of the hybrid three-phase multilevel inverter employing single-phase half-bridge cells and a three-phase NPC inverter.

frequency and the half-bridge converters at high frequency. Thus, an efficiency increase and overall volume decrease are expected. The modulation strategies can be extended and used in hybrid multilevel inverters with a higher number of half-bridge converters in series, i.e., higher number of output voltage levels for the structure.

Section II is a description of the hybrid three-phase multilevel inverter structure, its operation states and output voltage ratios. The analysis of the proposed hybrid and space vector modulation schemes are presented in Section III. Finally, Section IV shows the experimental results.

II. HYBRID INVERTER

A. Structure

Figure 1 shows the hybrid three-phase multilevel inverter, that employs one three-phase NPC inverter and six half-bridge converters and eight isolated power supplies, where each half-bridge converter requires an isolated power supply and the three-phase NPC inverter demands the two isolated power supplies. In this case the power supplies are generated by isolation transformers with diodes rectifiers. Thus, one phase leg of the hybrid topology utilizes one phase leg of the three-phase NPC inverter and two half-bridge converters. The structure can be extended increasing the number of half-bridge converters and synthesizing more levels at the output voltage.

When compared, the structure presented in Figure 1 and one proposed in [21] have the same disavantage: both need of isolated power sources for each half-bridge converter and another for the three-phase inverter. However, the hybrid multilevel inverter, shown in Figure 1, reduces the active power processed by the half-bridge converters for high range of modulation indexes when compared to the inverter presented in [21], thus reducing the size of the dc source capacitors and rectifiers of the half-bridge converters [32].

B. Operation

The analysis of the hybrid three-phase multilevel inverter for four operation stages is shown in Figure 2, which shows only the half-bridge cells switching. The others operation stages are done switching the NPC cell too. Thus, the hybrid three-phase multilevel inverter has twelve operation stages.

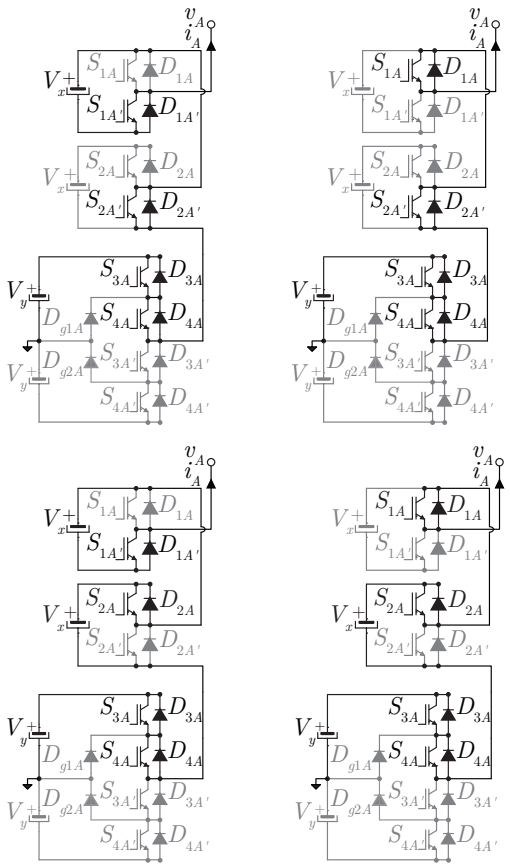


Fig. 2. Four operation stages for one phase-leg of the hybrid three-phase multilevel inverter.

TABLE I
Resulting Output Phase Voltage (v_o) as a Function of the dc Source Values V_x and V_y and of the Switching States

S_{1A}	S_{2A}	S_{3A}	S_{4A}	v_o	v_o (Case 1) $V_y = V_x = V_{cc}$	v_o (Case 2) $\frac{V_y}{2} = V_x = V_{cc}$	v_o (Case 3) $\frac{V_y}{3} = V_x = V_{cc}$
0	0	1	1	$+V_y - V_x$	0	$+V_{cc}$	$+2V_{cc}$
1	0	1	1	$+V_y$	$+V_{cc}$	$+2V_{cc}$	$+3V_{cc}$
0	1	1	1	$+V_y + V_x - V_x$	$+V_{cc}$	$+2V_{cc}$	$+3V_{cc}$
1	1	1	1	$+V_y + V_x$	$+2V_{cc}$	$+3V_{cc}$	$+4V_{cc}$
0	0	0	1	$-V_x$	$-V_{cc}$	$-V_{cc}$	$-V_{cc}$
1	0	0	1	0	0	0	0
0	1	0	1	$+V_x - V_x$	0	0	0
1	1	0	1	$+V_x$	$+V_{cc}$	$+V_{cc}$	$+V_{cc}$
0	0	0	0	$-V_y - V_x$	$-2V_{cc}$	$-3V_{cc}$	$-4V_{cc}$
1	0	0	0	$-V_y$	$-V_{cc}$	$-2V_{cc}$	$-3V_{cc}$
0	1	0	0	$-V_y + V_x - V_x$	$-V_{cc}$	$-2V_{cc}$	$-3V_{cc}$
1	1	0	0	$-V_y + V_x$	0	$-V_{cc}$	$-2V_{cc}$

*V_{cc} - dc-link voltages. **$o = A, B, C$

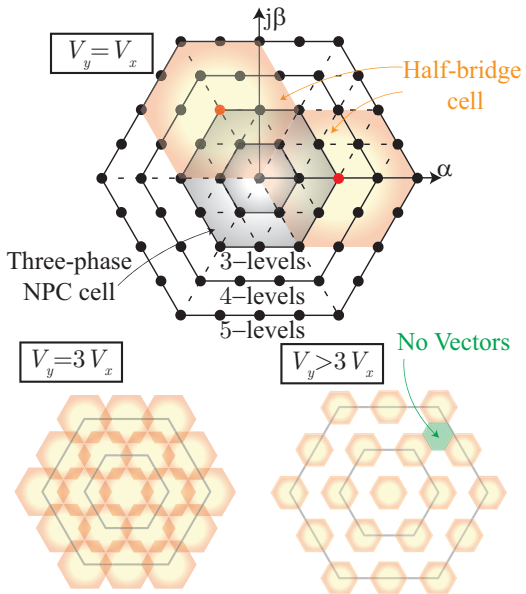


Fig. 3. Space vector diagram of the hybrid three-phase multilevel inverter for different ratios of the $V_y \neq V_x$, the space vectors resulting from the half-bridge cells are in orange, and the NPC cell are in gray.

The operating states and the dc voltage ratios define the step levels at output phase voltage, which is presented for phase A in Table I. Some assumptions are made for the analysis of the hybrid three-phase multilevel inverter operation: the devices are ideal, i.e., lossless; the dc source voltages are constant values and any parasitic element is neglected.

The number of levels at the output voltage for one phase changes according to the adopted modulation scheme, modulation index and dc source voltage values, V_x and V_y. In Table I the resulting output phase voltage is presented for all switching states and different dc source values. Where in Case 1 is assumed that $V_x = V_y$, i.e., symmetric dc sources are employed. Asymmetric dc sources are assumed in Cases 2 and 3, where $V_x = \frac{V_y}{2}$ and $V_x = \frac{V_y}{3}$, respectively. According to the "Case" operation, the hybrid multilevel can have five, seven or nine levels at the output phase voltages. For Case 1 the multilevel inverter has five levels at output phase voltages, in Case 2 it has seven levels at output phase voltages and nine levels are synthesized at output phase voltages for Case 3.

For the application of the hybrid multilevel inverters with asymmetrical dc sources is desirable the uniform condition of the voltage space vectors. It enables the utilization of the multilevel inverter without increasing the distortion of the output phase voltage waveform. Figure 3 shows the voltage space vector for different dc source ratios of the multilevel inverter. The voltage space vector is obtained applying the Clarke $\alpha\beta$ transform to the output voltages.

The uniform condition is achieved up to $V_y = 3V_x$, i.e., the converter has full PWM capability for relation. When the ratio of V_y is three times bigger than V_x the empty spaces appear at the space vector diagram. In other words, no vectors are synthesized in the empty spaces by the inverter and the uniform condition of the space vector diagram is lost.

In this work, the hybrid multilevel operates just as a five-level inverter, i.e., with symmetric dc sources (Case 1), with greater degrees of freedom for the inverter operation, and, thus, namely Five-level Symmetric Hybrid Inverter (5L-SHI).

III. MODULATION SCHEMES FOR THE 5L-SHI

Different modulation schemes in high frequency can be used to drive the 5L-SHI, such as: CB-PWM, hybrid modulation (HM) and SVM. To achieve a low-switching frequency in the three-phase NPC and a high-switching frequency in the half-bridge converters, two modulation schemes are explored: HM and SVM.

A. Hybrid Modulation Scheme

The HM has features of operation in low-switching frequency in the three-phase NPC inverter, i.e., at the output voltage frequency, and of high-switching frequency in the half-bridge converters, i.e., at the carrier frequency. In Figure 4 is shown the hybrid modulation used in the 5L-SHI.

Considering a reference waveform of the output phase voltage V_{ref} as

$$V_{ref} = M_a \sin(\omega_o t) \tag{1}$$

where:

M_a - modulation index ($0 \leq M_a \leq 1$);

ω_o - output angular frequency.

Comparing the desired waveform of the output phase voltage to the carrier signals leads to the command pulses at

high-switching frequency for the half-bridge cells. The low-frequency switching signals for the NPC switches are given by comparing the desired waveform of the output phase voltage with the three dc source ratios, in the case given by dc ratios $\pm\frac{1}{2}$ and 0, as shown in Figure 4.

B. Space Vector Modulation Scheme

The SVM is a complex technique where the number of output converter levels increases the computation cost and makes its application in real-time mode difficult. Some authors such as [27], [33]–[35] proposed methods that can be processed quickly by a digital signal processor. The modulation algorithm proposed in [27] processes all the calculations of the duty cycle and the definition of the best switching states in the first sextant. It is possible due to the symmetry in the space vector diagram, thus, reducing the computation cost and simplifying of the definition of the optimal switching states.

The trajectory of the rotating voltage reference mapped on the space vector diagram is given by the *gh* transformation:

$$\begin{bmatrix} V_g \\ V_h \end{bmatrix} = \frac{(n-1)}{\sqrt{3}V_{cc}} \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \end{bmatrix} \begin{bmatrix} V_{ref_A} \\ V_{ref_B} \\ V_{ref_C} \end{bmatrix} \tag{2}$$

where:

V_{cc} - bus voltage;

$V_{g,h}$ - signals reference in *gh* coordinates.

So, the switching states of the multilevel inverter for the first sector in the *gh* transformation are shown in Figure 5.

The mathematical efforts to find the nearest three vectors at the reference vector and its respectively duty cycle are simplified in the *gh* coordinates. As shown in Figure 5, for the first sector, the vectors have an integer *gh* coordinate. By the way, the reference vector is located inside of the parallelogram that the vertexes are formed by rounding up and down V_g and V_h, given by

$$\begin{aligned} \vec{V}_{ul} &= \begin{bmatrix} \text{ceil}\,(V_g) \\ \text{floor}\,(V_h) \end{bmatrix}, \quad \vec{V}_{lu} = \begin{bmatrix} \text{floor}\,(V_g) \\ \text{ceil}\,(V_h) \end{bmatrix}, \\ \vec{V}_{uu} &= \begin{bmatrix} \text{ceil}\,(V_g) \\ \text{ceil}\,(V_h) \end{bmatrix}, \quad \vec{V}_{ll} = \begin{bmatrix} \text{floor}\,(V_g) \\ \text{floor}\,(V_h) \end{bmatrix}. \end{aligned} \tag{3}$$

So, the parallelogram can be divided into two triangles and the vertexes are formed by three vectors. The three nearest vectors are, $\vec{V}_{uu}$, $\vec{V}_{lu}$, $\vec{V}_{ul}$, if $Su > 0$ and $\vec{V}_{ll}$, $\vec{V}_{lu}$, $\vec{V}_{ul}$, if $Su < 0$, where

$$Su = V_g + V_h - \left(V_{ul,g} + V_{ul,h}\right). \tag{4}$$

Then, the three nearest vectors are found and the duty cycle are defined by:

$$\begin{aligned} d_{ul} &= V_g - V_{ll,g} \\ d_{lu} &= V_h - V_{ll,h} \\ d_{ll} &= 1 - d_{ul} - d_{lu} \end{aligned} \tag{5}$$

if $Su < 0$, and by

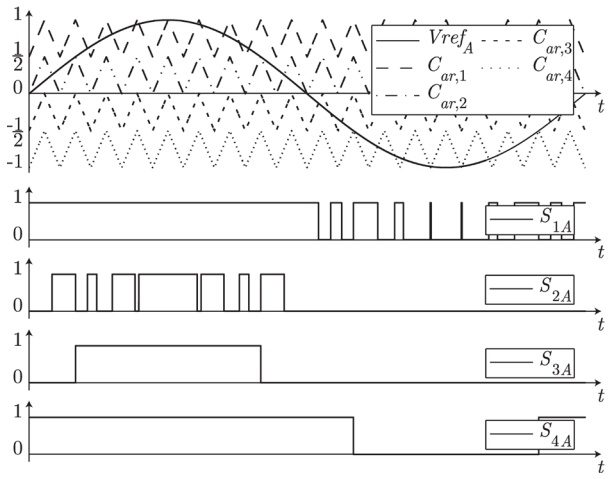


Fig. 4. HM for the 5L-SHI and the resulting switching patterns.

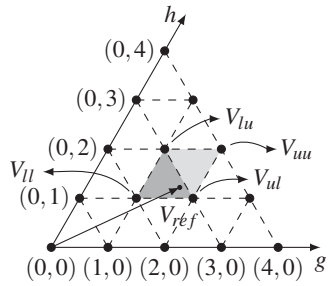


Fig. 5. Space vectors for the 5L-SHI in *gh* coordinates for the first sector.

$$\begin{aligned} d_{ul} &= V_{uu,g} - V_g \\ d_{lu} &= V_{uu,h} - V_h \\ d_{ll} &= 1 - d_{ul} - d_{lu} \end{aligned} \tag{6}$$

if $Su > 0$.

With the three nearest vectors and their duty cycles defined, the best switching state must be chosen. Generally, switching states are defined previously, as in this work, or based on currents and voltages of the multilevel inverter [27], or defined by a fixed sequence [34]. The selection of the switching state for the 5L-SHI is done as follows:

- The dc sources of the multilevel inverter cell should not be employed at the same time, preventing unnecessary losses by them.
- The transition through switching states should be realized with minimum switching events, just one switching event always as possible.

Two types of the switching sequence for the SMV are presented in this paper, the switching sequence with seven segments (SVM-7) and five segments (SVM-5). The switching sequence with seven segments is a symmetric sequence and divides the switching time T_s into seven parts, as shown in Figure 6 where, T_a, T_b and T_c are the switching times for each switching event.

This distribution of the switching sequence in the switching time T_s improves the quality waveform of the output phase voltage, and, consequently, decreases the THD.

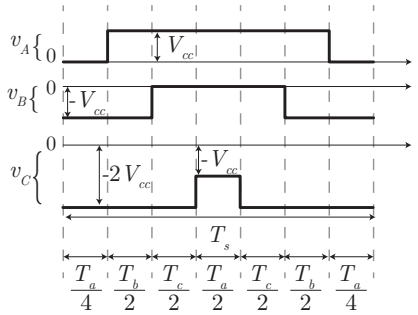


Fig. 6. The switching sequence with seven segments.

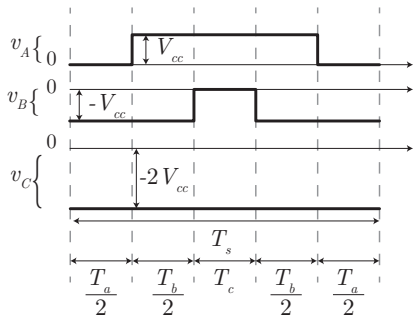


Fig. 7. The switching sequence with five segments.

Another symmetric switching sequence that can be employed is the five segments, as shown in Figure 7. The SVM-5 has a lower number of switching events than the SVM-7 and HM strategies in a time period T_s, resulting in lower switching losses in the power semiconductors. To verify semiconductors losses for each modulation schemes, the methodology proposed in [36] is applied. So, the conduction losses in the semiconductors are defined by:

$$P_{c,S/D} = V_{TO} I_{S/D,avg} + r_T I_{S/D,rms}^2 \tag{7}$$

where:

V_{TO} - semiconductor drop voltage;
r_T - series semiconductor resistance;
$I_{S/D,avg}$ - average current in the semiconductor;
$I_{S/D,rms}$ - rms current in the semiconductor.

The switching losses in the semiconductor are defined by the dissipated energy in each switching

$$E\left(i_{S/D}\right) = k_0 + k_1 i_{S/D}\left(\omega_o t\right) + k_2 i_{S/D}^2\left(\omega_o t\right) \tag{8}$$

where:

$k_{0,1,2}$ - constants of the energy losses;
$i_{S/D}\left(\omega_o t\right)$ - rated current in the semiconductor.

So, the switching losses in a fundamental period in the semiconductors are given by:

$$P_{sw}\left(i_{S/D}\right) = \frac{K_c}{2\pi}\int_0^{2\pi} f_c E\left(i_{S/D}\left(\omega_o t\right)\right) d\left(\omega_o t\right) \tag{9}$$

where:

K_c - switching-loss factor;
f_c - switching frequency (carrier frequency).

In Figure 8, the semiconductors losses in the 5L-SHI is verified with all modulation schemes. The switching losses have been estimated with the parameters from Table II.

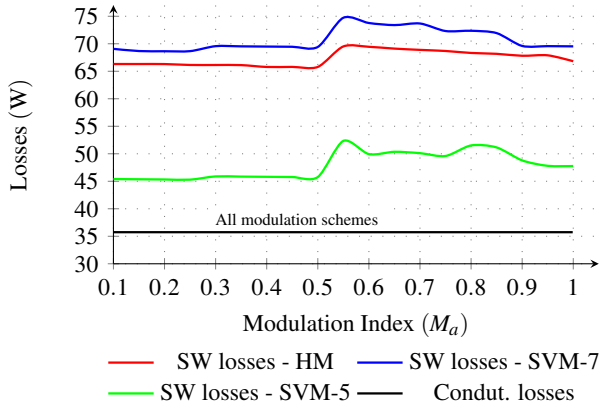


Fig. 8. Semiconductor losses in the 5L-SHI for different modulation schemes.

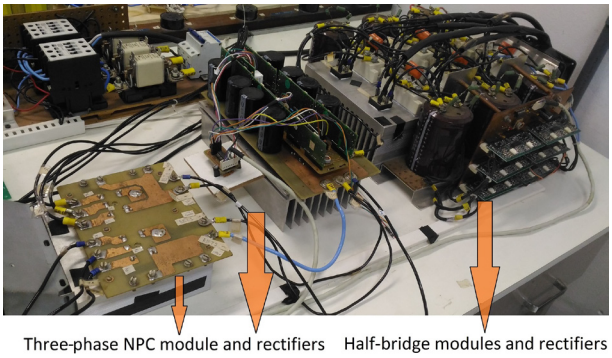


Fig. 9. Hardware structure of the 5L-SHI.

Figure 8 shows that the SVM-5 has lower results for switching losses than the SVM-7 and HM strategies for all modulation indexes. A little difference is perceived in the switching losses between the SVM-7 and HM, which can be explained by the fact that the SVM-7 has more than one switching event in some transitions of the switching states. It is important to notice that, for modulation indexes up to 0.5 just the half-bridges converters are switching, for modulation indexes higher than 0.5 the NPC cell starts to switch in low frequency, for all modulation schemes. When the NPC cell switches the half-bridge cells switches too. So, the semiconductor switching increase $4\% - 10\%$ for modulation indexes higher than 0.5, increasing the switching losses as shown in Figure 8. On the other hand, the inverter conduction losses do not change for all modulation schemes, but the conduction losses are different in each semiconductor for each modulation scheme.

IV. EXPERIMENTAL RESULTS

The 5L-SHI is verified by an experimental prototype shown in Figure 9. The prototype is composed of three-phase transformers to promote isolation of the dc source (rectifiers) for the half-bridge cells and the three-phase NPC. These half-bridge IGBT modules are rated for 600 V and 75 A. The NPC inverter cell is implemented with a Semikron IGBT module (SK50MLI066) and rated for 600 V and 60 A. The parameters of the inverter are described in Table II.

The HM, SVM-7 and SVM-5 are done with a Digital Signal Processor (DSP), model TMS320F2812. For HM

TABLE II
Experimental System Parameters for 5L-SHI.

SYSTEM PARAMETERS	
$V_{RMS} = 380$ V	supply voltage (line-to-line)
$f_r = 60$ Hz	supply frequency
$V_y = V_x = 400$ V	dc-link voltage
$f_c = 5760$ Hz	switching frequency
$f_o = 60$ Hz	output voltage frequency
$L_o = 93.3$ mH	load induction
$R_o = 77\ \Omega$	load resistance

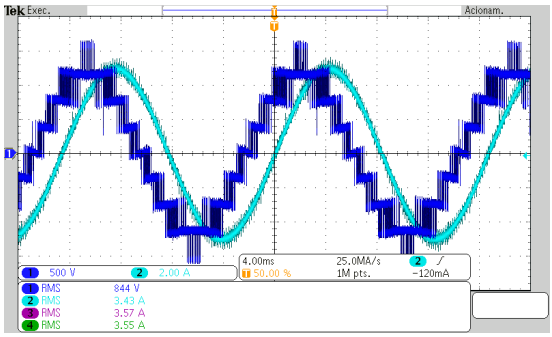


Fig. 10. Output waveform of the line voltage and phase current of the 5L-SHI with HM strategy, $M_a = 0.9$ (500 V/div) and (2 A/div).

the gate signals for the half-bridge cells are generated in an open-loop scheme and use the DSP's event manager PWM (EVA-PWM). This event manager configures the DSP PWM modules, where the switching frequency of the PWM modules is set at 5760 Hz. On the other hand, the gate signals for the NPC switches are generated by I/O output pins by comparing the sinusoidal reference V_{ref} with $\pm 1/2$ and 0. In the SVM, all gate signals are generated by I/O output and it uses the DPS's event manger to manage the switching event.

Figure 10 shows the output line voltage v_{AB} and output current i_A for HM strategy for modulation index $M_a = 0.9$. In the experimental waveform, the nine levels at the output line voltage v_{AB} are verified and the lowest value of the THD, approximately 15.2%. For all the experimental results are just presented a output line voltage and a output phase current, once, the experimental results for the others output line voltages e output phase currents are similar.

The results of the SVM-7 are shown in Figure 11, and the nine steps at all output line voltages are well defined and the output phase current is practically sinusoidal. The SVM-7 has similar switching events compared to the HM and consequently similar switching losses and THD, approximately 15.4%. The similar switching events are due to the requirement imposed for the SVM-7.

Figure 12 shows the output line voltage v_{AB} and the output current i_A for SVM-5 with modulation index $M_a = 0.9$. The experimental results show the nine steps at output line voltage and the lowest value of the THD, approximately 15.7%

The active power flow at the 5L-SHI can be verified in Figure 13 for the entire range of modulation indexes, ensuring the safe operation of the 5L-SHI with unidirectional power sources. It is important to emphasize that the most part of the active power is processed by the three-phase NPC cell for high modulation indexes, which enables the reduction of the

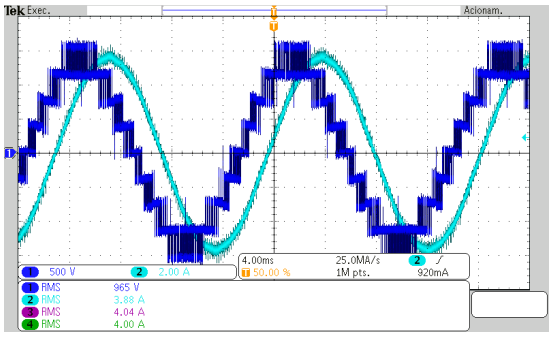


Fig. 11. Output waveform of the line voltage and phase current of the 5L-SHI with SVM-7 strategy, $M_a = 0.9$ (500 V/div) and (2 A/div).

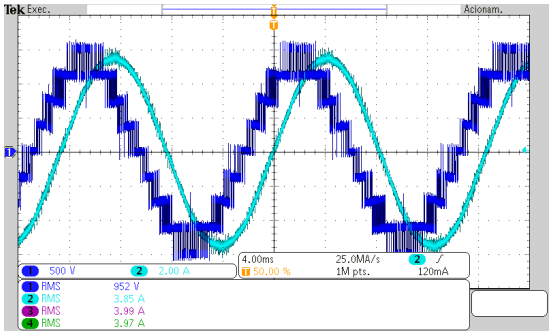


Fig. 12. Output waveform of the line voltage and phase current of the 5L-SHI with SVM-5 strategy, $M_a = 0.9$ (500 V/div) and (2 A/div).

capacitor size in the voltage dc source of the half-bridge cells.

The quality of the output line voltage waveform between the HM and SVM can be compared using THD analysis, as shown in Figure 14. A small difference in the THD analysis between the modulation schemes and the good results for modulation index up to 0.3, justify and enables a wide range of applications of the 5L-SHI using of the three modulation scheme. The THD analysis of the experimental results and of the simulation results of the output waveform have great similarity, with differences lower than 5% between experimental and simulation results.

It is important to emphasize that the SVM is more complex than the HM. While the HM can be done with some command lines in C language, the SMV, due to the real-time math operations, demands more time and more command lines, requiring a better hardware structures. However, power inverters usually uses powerful DSPs to command all the protections, switches and the auxiliary functions and this restriction does not impact in the project cost or its application.

V. CONCLUSIONS

This paper has presented two modulation schemes to drive the five-level symmetric version of the hybrid multilevel inverter (5L-SHI). The HM and the SVM provide benefits for the inverter such as, low-frequency switching in the NPC cell, which allows to decrease the semiconductor losses employing semiconductors with low conduction losses in the NPC cell. Unidirectional dc sources can be employed for both modulation schemes and in high modulation indexes the most part of the active power that flows through the inverter is processed by the dc source of the NPC cell, which leads a size reduction of the capacitors and rectifiers

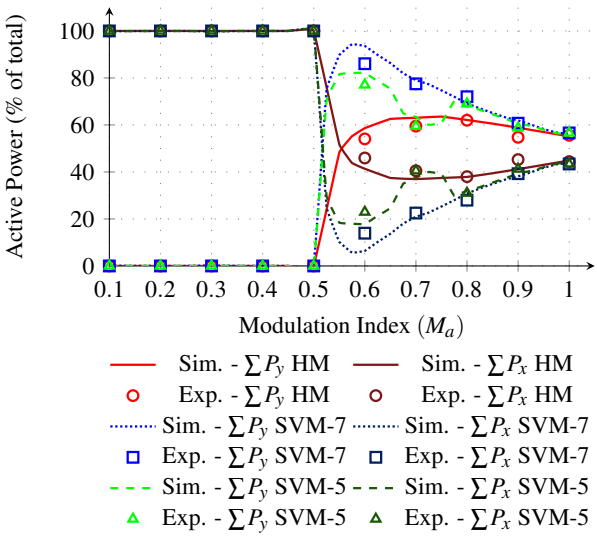


Fig. 13. Active power handled by the dc sources V_y and V_x in the 5L-SHI.

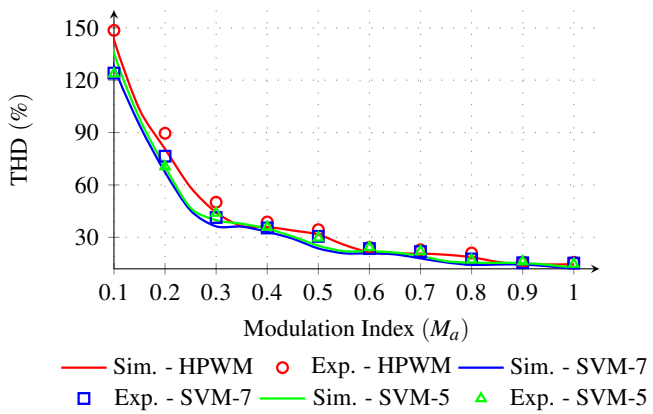


Fig. 14. THD analysis of the output line voltage waveform: simulation and experimental results.

of the half-bridge cells. The HM scheme has a simple implementation and it is easily implemented in a DSP. The SMV is more complex and its math operations requires better DSP than the HM. However, that is not a problem, once multilevel inverters already use powerful DSPs for the inverter management, and in high-power inverters the DSPs are not the costliest components. So, the SVM is an alternative to lead the multilevel inverters. The results of the THD are similar for all modulation schemes, especially for high index modulation. However, the SVM-5 has the best results for switching losses of the inverter compared to the HM and the SMV-7. This difference is due to the fact that the SMV-5 presents fewer switching events than the SVM-7 and the HM. Both modulation schemes have good results and enables a wide range of applications of the 5L-SHI.

ACKNOWLEDGEMENTS

The authors would like to thank Prof. Dr. Ing. Ivo Barbi for making available part of prototype structure for the experiments, the Foundation for the Support of Scientific and Technological Research of the State of Santa Catarina (FAPESC), Coordination for Enhancement of Higher Education Personnel (Capes), National Council for Scientific and Technological Development (CNPq), Technological Institute Foundation of Joinville (FITEJ) and State University of Santa Catarina (UDESC) for their support.

REFERENCES

[1] L. G. Franquelo, J. Rodriguez, J. I. Leon, S. Kouro, R. Portillo, M. A. M. Prats, "The age of multilevel converters arrives", *IEEE Industrial Electronics Magazine*, vol. 2, no. 2, pp. 28–39, June 2008.

[2] B. Wu, *High-Power Converters and AC Drives*, 1 ed., Wiley, Piscataway, N.J., 2006.

[3] J. Rodriguez, J.-S. Lai, F. Z. Peng, "Multilevel inverters: a survey of topologies, controls, and applications", *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 724–738, August 2002.

[4] C. Hochgraf, R. Lasseter, D. Divan, T. A. Lipo, "Comparison of multilevel inverters for static VAr compensation", *in Proceedings of IEEE Industry Applications Society Annual Meeting*, pp. 921–928 vol.2, 1994.

[5] R. H. Baker, "Electric Power Converter", US Patent 3 867 643, July 1975.

[6] A. Nabae, I. Takahashi, H. Akagi, "A New Neutral-Point-Clamped PWM Inverter", *IEEE Transactions on Industry Applications*, vol. IA-17, no. 5, pp. 518–523, September 1981.

[7] Y. Jiao, F. C. Lee, S. Lu, "Space vector modulation for 3-level NPC converter with neutral voltage balancing and switching loss/noise reduction", *in IEEE Applied Power Electronics Conference and Exposition*, pp. 1780–1787, 2014.

[8] J.-S. Lai, F. Z. Peng, "Multilevel converters-a new breed of power converters", *IEEE Transactions on Industry Applications*, vol. 32, no. 3, pp. 509–517, May 1996.

[9] K. Matsui, Y. Kawata, F. Ueda, "Application of parallel connected NPC-PWM inverters with multilevel modulation for AC motor drive", *IEEE Transactions on Power Electronics*, vol. 15, no. 5, pp. 901–907, September 2000.

[10] T. A. Meynard, H. Foch, "Multi-level conversion: high voltage choppers and voltage-source inverters", *in IEEE Power Electronics Specialists Conference*, pp. 397–403 vol.1, 1992.

[11] G. Waltrich, I. Barbi, "Three-Phase Cascaded Multilevel Inverter Using Power Cells With Two Inverter Legs in Series", *IEEE Transactions on Industrial Electronics*, vol. 57, no. 8, pp. 2605–2612, August 2010.

[12] S. Kouro, M. Malinowski, K. Gopakumar, J. Pou, L. G. Franquelo, B. Wu, J. Rodriguez, M. A. Perez, J. I. Leon, "Recent Advances and Industrial Applications of Multilevel Converters", *IEEE Transactions on Industrial Electronics*, vol. 57, no. 8, pp. 2553–2580, August 2010.

[13] A. Lesnicar, R. Marquardt, "An innovative modular multilevel converter topology suitable for a wide power

range", *in IEEE Bologna Power Tech Conference Proceedings*, vol. 3, p. 6, 2003.

[14] S. Debnath, J. Qin, B. Bahrani, M. Saeedifard, P. Barbosa, "Operation, Control, and Applications of the Modular Multilevel Converter: A Review", *IEEE Transactions on Power Electronics*, vol. 30, no. 1, pp. 37–53, January 2015.

[15] K. Corzine, Y. Familiant, "A new cascaded multilevel H-bridge drive", *IEEE Transactions on Power Electronics*, vol. 17, no. 1, pp. 125–131, January 2002.

[16] Y. Xu, Y. Zou, "Research on a novel hybrid cascade multilevel converter", *in International Power Engineering Conference*, pp. 1081–1085, 2007.

[17] M. D. Manjrekar, T. A. Lipo, "A hybrid multilevel inverter topology for drive applications", *in IEEE Applied Power Electronics Conference and Exposition*, vol. 2, pp. 523–529, 1998.

[18] M. D. Manjrekar, P. Steimer, T. A. Lipo, "Hybrid multilevel power conversion system: a competitive solution for high power applications", *in Conference Record of the IEEE Industry Applications Conference*, vol. 3, pp. 1520–1527, 1999.

[19] S. Mariethoz, A. Rufer, "New configurations for the three-phase asymmetrical multilevel inverter", *in Conference Record of the IEEE Industry Applications Conference*, vol. 2, pp. 828–835, 2004.

[20] G. Poddar, M. K. Sahu, "Natural Harmonic Elimination of Square-Wave Inverter for Medium-Voltage Application", *IEEE Transactions on Power Electronics*, vol. 24, no. 5, pp. 1182–1188, May 2009.

[21] A. L. Batschauer, S. A. Mussa, M. L. Heldwein, "Three-Phase Hybrid Multilevel Inverter Based on Half-Bridge Modules", *IEEE Transactions on Industrial Electronics*, vol. 59, no. 2, pp. 668–678, February 2012.

[22] J. A. Ulrich, A. R. Bendre, "Floating capacitor voltage regulation in diode clamped hybrid multilevel converters", *in IEEE Electric Ship Technologies Symposium*, pp. 197–202, 2009.

[23] Z. Du, L. M. Tolbert, J. N. Chiasson, "Active harmonic elimination for multilevel converters", *IEEE Transactions on Power Electronics*, vol. 21, no. 2, pp. 459–469, March 2006.

[24] A. Edpuganti, A. K. Rathore, "A survey of low-switching frequency modulation techniques for medium-voltage multilevel converters", *in IEEE Industry Application Society Annual Meeting*, pp. 1–8, 2014.

[25] M. Malinowski, K. Gopakumar, J. Rodriguez, M. A. Perez, "A Survey on Cascaded Multilevel Inverters", *IEEE Transactions on Industrial Electronics*, vol. 57, no. 7, pp. 2197–2206, July 2010.

[26] B. P. McGrath, D. G. Holmes, "Multicarrier PWM strategies for multilevel inverters", *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 858–867, August 2002.

[27] J. Pou, P. Rodriguez, D. Boroyevich, R. Pindado, I. Candela, "Efficient Space-Vector Modulation Algorithm for Multilevel Converters with Low Switching Frequencies in the Devices", *in IEEE 36th Power Electronics Specialists Conference*, pp. 2521–2526, 2005.

[28] M. M. Renge, H. M. Suryawanshi, "Three-Dimensional Space-Vector Modulation to Reduce Common-Mode Voltage for Multilevel Inverter", *IEEE Transactions on Industrial Electronics*, vol. 57, no. 7, pp. 2324–2331, July 2010.

[29] L. M. Tolbert, T. G. Habetler, "Novel multilevel inverter carrier-based PWM method", *IEEE Transactions on Industry Applications*, vol. 35, no. 5, pp. 1098–1107, September 1999.

[30] Y. Cho, T. LaBella, J. S. Lai, M. K. Senesky, "A Carrier-Based Neutral Voltage Modulation Strategy for Multilevel Cascaded Inverters Under Unbalanced DC Sources", *IEEE Transactions on Industrial Electronics*, vol. 61, no. 2, pp. 625–636, February 2014.

[31] S. Thielemans, A. Ruderman, B. Reznikov, J. Melkebeek, "Improved Natural Balancing With Modified Phase-Shifted PWM for Single-Leg Five-Level Flying-Capacitor Converters", *IEEE Transactions on Power Electronics*, vol. 27, no. 4, pp. 1658–1667, April 2012.

[32] G. P. da Silva, F. Trentini, V. T. Odaguiri, M. V. Bressan, M. L. Heldwein, A. L. Batschauer, "Hybrid three-phase multilevel inverter based ON NPC cascaded to half-bridge cells", *in Brazilian Power Electronics Conference*, pp. 72–78, 2013.

[33] N. Celanovic, D. Boroyevich, "A fast space-vector modulation algorithm for multilevel three-phase converters", *IEEE Transactions on Industry Applications*, vol. 37, no. 2, pp. 637–641, March 2001.

[34] Y. Deng, K. H. Teo, C. Duan, T. G. Habetler, R. G. Harley, "A Fast and Generalized Space Vector Modulation Scheme for Multilevel Inverters", *IEEE Transactions on Power Electronics*, vol. 29, no. 10, pp. 5204–5217, October 2014.

[35] Y. Deng, R. G. Harley, "Space-Vector Versus Nearest-Level Pulse Width Modulation for Multilevel Converters", *IEEE Transactions on Power Electronics*, vol. 30, no. 6, pp. 2962–2974, June 2015.

[36] J. W. Kolar, U. Drofenik, "A General Scheme for Calculating Switching- and Conduction-Losses of Power Semiconductors in Numerical Circuit Simulations of Power Electronic Systems", *in IPEC-Niigata*, pp. 4–8, 2005.

BIOGRAPHIES

Marcos Vinicius Bressan received the B.S. and M.S. degree in electrical engineering from the Santa Catarina State University, Brazil, in 2012 and 2014, respectively. He is currently pursuing the Ph.D. degree in the same University.

Since 2012, he is a power electronics researcher in the Electrical Power Processing Group - nPEE. His research interest includes multilevel converters, multilevel modulations and control systems.

Marcelo Lobo Heldwein (S'99 - M'08 -SM'13) received the B.S. and M.S. degrees in electrical engineering from the Federal University of Santa Catarina (UFSC), Florianopolis, Brazil, in 1997 and 1999, respectively, and the Ph.D. degree from the Swiss Federal Institute of Technology (ETH Zurich), Zurich, Switzerland, in 2007.

From 1999 to 2003, he worked with industry, including research at the Power Electronics Institute, Brazil and Emerson Network Power, Brazil and Sweden. He was a Postdoctoral Fellow at the ETH Zurich and at the UFSC from 2007 to 2009. He is currently an Adjunct Professor with the Department of Electronics and Electrical Engineering, UFSC. His research interests include power electronics, advanced power distribution, and electromagnetic compatibility.

Dr. Heldwein is a Member of the Brazilian Power Electronic Society

Alessandro Luiz Batschauer (S'09 - M'11) was born in Balneário Camboriú, Brazil, in 1977. He received the B.S., M.Sc. and Ph.D degrees in electrical engineering and from Federal University of Santa Catarina (UFSC), FlorianópolisSC, Brazil, in 2000, 2002 and 2011, respectively.

Since 2002, he has been with Department of Electrical Engineering, Santa Catarina State University. His fields of interest include high-frequency switching converters, power quality, multilevel converters and impedance source converters.

Mr. Batschauer is currently a member of the IEEE and Brazilian Power Electronic Society (SOBRAEP).

BACK-EMF BASED ROTOR POSITION ESTIMATION FOR LOW COST PMSM DRIVE USING FULLY CONNECTED CASCADE ARTIFICIAL NEURAL NETWORKS

Gabriel H. Negri[1], Filipe G. Nazário[1,2], José de Oliveira[1], Ademir Nied[1]
[1]Santa Catarina State University, Joinville – SC, Brazil
[2]EMBRACO, Joinville – SC, Brazil
e-mail: {negri.gabriel, filipef2}@gmail.com, {ademir.nied, jose.oliveira}@udesc.br

***Abstract* – Permanent Magnet Synchronous Motors (PMSMs) are widely used mainly due to their high torque per volume, high efficiency and low maintenance cost, among other advantages. To perform vector control on rotor speed and stator currents, the feedback of those variables is necessary, which can be done directly or by estimation. Measuring rotor position and speed directly requires the use of a mechanical device attached to the motor shaft, increasing the drive system volume and its maintenance cost. To overcome such disadvantages, many sensorless methods for speed estimation have been proposed. Among those methods, various strategies based on Artificial Neural Networks (ANNs) can be found. This paper presents a back-electromotive force estimator based on Fully Connected Cascade ANNs (FCC-ANNs). From the estimator, rotor position and speed can be obtained. Simulation and experimental results using automatically generated C code functions for the FCC-ANNs using fixed point notation provided rotor position estimation with simple implementation.**

***Keywords* – Artificial Neural Networks, Back-EMF Estimation, Permanent Magnet Synchronous Motor, Position Estimation.**

NOMENCLATURE

$v_{\alpha,\beta}$	α and β axis voltages.
$v_{a,b,c}$	a, b and c phase voltages.
$i_{\alpha,\beta}$	α and β axis currents.
$i_{a,b,c}$	a, b and c phase currents.
$E_{\alpha,\beta}$	α and β axis back-EMFs.
$E_{a,b,c}$	a, b and c phase back-EMFs.
ω_r	Rotor electric angle frequency.
ω_m	Rotor mechanical angle frequency.
θ_r	Rotor electric angle position.
L	Phase inductance.
T_L	Load torque.
L_M	Phase mutual inductance.
T_e	Eletromagnetic torque.
R	Phase resistance.
P	Number of poles.
h	Viscous friction coefficient.
J	Total inertia.
$k_{e,t}$	Back-EMF and torque coefficients.

Manuscript received 17/04/2017; first revision 06/06/2017; accepted for publication 19/08/2017, by recommendation of Editor Marcelo Cabral Cavalcanti.

I. INTRODUCTION

Permanent Magnet Synchronous Motors (PMSMs) are widely employed due to their advantageous features, comparing with other types of motors. Among such features, the reduced volume, low maintenance cost and high efficiency can be mentioned. PMSMs are employed in systems where high dynamic performance is required, such as robotics, and for energy saving in home appliances, automotive applications, among others, due to their high efficiency [1]. To perform current and speed control, information of rotor position and voltage and current measurements are necessary. Such information can be obtained directly or indirectly. The use of mechanical devices such as encoders or resolvers enables the direct position feedback, but causes an increase in the drive system volume, in addition to increasing maintenance and manufacturing costs [2]. PMSMs are usually divided into sinusoidal PMSM, in which the magnets are distributed in a manner that the back-EMFs have sinusoidal waveforms and non-sinusoidal PMSM, in which the back-EMFs present trapezoidal waveforms [3].

Sensorless techniques aim to eliminate the need of mechanical sensors, reducing the drive maintenance and acquisition cost. For a sensorless method to be accepted in industry, it has to fulfill some requirements. Among such requirements, it must not increase the drive cost with the need of more powerfull and expensive computational technology [4].

In the indirect form, many methods can be used to estimate the motor electric angle position and speed, such as model-reference adaptive system (MRAS), sliding mode observer (SMO) and estimators based on artificial neural networks (ANNs) [2], [5], [6]. The main advantages in using ANNs are the nonlinear input-output mapping achieved through training and the generalization characteristic, allowing the ANN to predict the motor dynamics in different conditions, using only sample data.

Other types of nonlinear mapping involve lookup tables and support vector regression. Such methods, however, have a larger computational burden than feedforward ANNs [6]. Many applications of sensorless control to electric machinery can be found, mainly for induction motors (IMs). For IM drive systems, ANNs can be used to estimate rotor resistance and/or rotor speed, rotor flux and obtaining the electrical position based on such variables [7], [8]. Other strategies for IM drives can be found, such as the use of a Luenberger observer and MRAS strategy for Direct Torque Control (DTC) [9].

As for the use of ANNs as state estimators, several works

can be found in literature. One example is the application diagonal recurrent neural networks, used to compose the observer [2]. In such work, two neural observers and a position estimation correction block are used. One neural observer is used to estimate stator current and the second observer is used to estimate speed from measured stator currents and voltages. The estimated rotor speed is then integrated for obtaining rotor position.

A review on sensorless control techniques for non-sinusoidal PMSM (the Brushless DC motor) drive can be found in [5]. Among the presented estimation techniques, the ANN approach is mentioned. The authors comment on the ANN capability for approximating nonlinear functions and cite some applications in motor drives, such as online parameter (resistance and inductance) and torque estimation in vector-controlled induction motor drives, which can be also applied in PMSM drives.

Another ANN-based rotor position estimation, for a 8/6 solid rotor switched reluctance motor, is presented in [10]. Such type of motor is utilized mainly due to its robustness and fault tolerance. ANNs are used to estimate rotor position from phase flux linkage and phase current input data. The utilized drive consists in four different operating regions. Thus, four ANNs are utilized, one for each operating region. The authors comment on an important characteristic of the ANN approach, which is the automatic consideration of nonlinear effects, such as mutual inductance and eddy currents effects, in the input-output mapping.

In addition to acting as observers, ANNs have also been used within the control algorithm for nonlinear control of eletric machinery. In [11], an ANN was combined with a fuzzy logic to develop a speed controller for a non-sinusoidal PMSM. The obtained dynamic response was compared to other controllers, such as the conventional proportional-integral and other fuzzy strategies. The authors commented that the proposed ANN-fuzzy controller outperformed the others in terms of dynamic characteristics, as settling time and overshooting. Another model-based ANN control approach using ANN is presented in [12]. Two ANNs are used in the control loop of a DC motor drive, in which one network is used to estimate the drive dynamics and the other is used to generate voltage input signals to the drive. Different applications of ANNs in engineering include system identification, fault detection and power electronics applications, among others [13]–[15].

Although methods used in previous works present satisfactory results, the objective of this paper is to present a simpler ANN-based observer, providing the used training data, simulation and experimental results, without using online training. The main idea of the work presented here is to estimate rotor position for then obtaining the speed estimation, in a manner that the estimator has low computational cost and be of easy implementation, exploiting the advantages of ANNs mentioned in the literature to obtain a simple, fast and straight-forward estimator. Without using integration of estimated speed to obtain the electrical position, the position correction block is eliminated. Based on a Luenberger observer, which takes the voltages and currents in the $\alpha\beta$ reference-frame (stationary) to estimate the α and β back-electromotive forces (back-EMFs), the use of an ANN for estimate each back-EMF is proposed [16]. Using such estimations, it is possible to obtain the estimated rotor angle position. After training the networks, C code functions using fixed point notation with integer bases are automatically generated and the implementation consists in uploading such functions to the microcontroller. Thus, the ANNs are coded as black-box functions, which take as inputs the measured stator currents and applied voltages and return the estimated back-EMFs. Another objective of this work is to present the application of Fully Connected Cascade (FCC) ANNs, which can achieve, with fewer hidden neurons, the same performance of a typical Multi Layer Perceptron (MLP) network, thus reducing the computational burden.

The procedure for training the ANN is to apply several speed reference steps, using an encoder to measure rotor position, and organizing the acquired data to train the ANNs. With the trained ANNs, the encoder can be replaced by the ANN-based estimator. It is interesting for a sensorless method that parameter tuning be as less manual as possible, reducing instalation time [4]. The proposed estimation method in this work has this advantage. Once the ANN architecture and a minimal number of neurons is defined, the procedure for training the ANN-based estimator for other different PMSM is similar. As mentioned before, another advantage of an ANN approach is the automatic treatment of the drive nonlinearities. Thus, it is possible to highlight the main features of the presented observer as:

- Use of FCC topology, reducing the number of connections and computational burden if compared to classical MLP networks [17];
- The PMSM parameters do not need to be identified individually;
- The position estimation does not depend directly on the signals amplitude, since it is obtained based on the position of the estimated back-EMFs in $\alpha\beta$ notation, which is useful for dealing with load disturbances and nonlinearities;
- C code functions using fixed point notation are automatically generated after training, which simplifies implementation on a low cost microcontroller (see Figure 27 in Appendix section for an example of automatically generated code).

The use of an encoder in the training process is necessary since the alternative would be to utilize another estimator to generate the data for training, which would require an entire tuning process. Additionally, in industry applications, the encoder is also utilized for tuning other types of observer, because it is necessary not only to identify model parameters but also to validate the results from the observer with a reliable sensor. Thus, the use of the encoder in training process of the method described in the present paper does not represent a drawback in comparison to other observer methods applied industrially.

In Section II, the dynamic model for the PMSM is presented. The design and implementation aspects of the estimator are presented in Section III. Simulation results are

shown in Section IV the experimental results in Section V. Conclusions are discussed in Section VI.

II. SINUSOIDAL PMSM DYNAMICS

The electrical dynamics for a balanced three-phase wye-connected sinusoidal PMSM can be writen by terms of phase variables as [18]:

$$v_a = Ri_a + (L - L_m)\frac{di_a}{dt} + E_a \tag{1}$$

$$v_b = Ri_b + (L - L_m)\frac{di_b}{dt} + E_b \tag{2}$$

$$v_c = Ri_c + (L - L_m)\frac{di_c}{dt} + E_c \tag{3}$$

where E_a, E_b and E_c are the phase back-EMFs, given by:

$$E_a = k_e \omega_r \sin(\theta_r) \tag{4}$$

$$E_b = k_e \omega_r \sin(\theta_r - 120^o) \tag{5}$$

$$E_c = k_e \omega_r \sin(\theta_r + 120^o) \tag{6}$$

in which ω_r is the rotor electrical speed and θ_r is the rotor electrical position.

The conversion of a set of balanced three-phase variables f_a, f_b and f_c to two-phase variables f_α and f_β is made using Concordia's Transform [19], to eliminate lineary dependent variables:

$$\begin{bmatrix} f_\alpha \\ f_\beta \\ f_0 \end{bmatrix} = \frac{2}{3}\begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix}\begin{bmatrix} f_a \\ f_b \\ f_c \end{bmatrix}. \tag{7}$$

The opposite process is made through the inverse of the transformation matrix utilized in (7).

Considering the $\alpha\beta$ reference-frame and using (7), the following equations can obtained to represent the electrical dynamics of the PMSM:

$$v_\alpha = Ri_\alpha + (L - L_m)\frac{di_\alpha}{dt} + E_\alpha \tag{8}$$

$$v_\beta = Ri_\beta + (L - L_m)\frac{di_\beta}{dt} + E_\beta. \tag{9}$$

The produced torque can be written in terms of phase currents and back-EMFs as:

$$T_e = \left(\frac{kt}{ke}\right)\left(\frac{P}{2}\right)\frac{E_a i_a + E_b i_b + E_c i_c}{\omega_r}. \tag{10}$$

The mechanical dynamics are given by:

$$J\frac{d\omega_m}{dt} = T_e - T_L - h\omega_m \tag{11}$$

where h is the friction coefficient of the mechanical coupling.

The relation between the electrical frequency and the mechanical frequency is given by:

$$\omega_r = \frac{P}{2}\omega_m. \tag{12}$$

III. BACK-EMF ESTIMATOR USING FCC ARTIFICIAL NEURAL NETWORKS

In this section, the used estimator based on FCC-ANNs is presented. Firstly, the estimation strategy is presented, indicating the role of the ANNs in such strategy. Then, the ANN architecture, topology and other parameters are commented.

A. Estimation Strategy

A flowchart for the proposed position and speed estimator is shown in Figure 1. The method consists in performing the back-EMFs estimation in the $\alpha\beta$ system to first obtain the position and then speed. The observer is composed by a pair of neural networks. Each network receives as inputs the voltages and currents α and β, and estimates each one of the back-EMFs. The estimated back-EMFs are calculated by an arc-tangent algorithm. The angular frequency, namely speed, is then estimated by the position variation rate.

The derivative terms in (8) and (9) are not used in the training process. This was done because of the ANNs capability of estimating the back-EMFs without such terms, due to their memorization characteristics. Also, the derivative terms insert a high noise level in practice.

As the electrical dynamics of the motor is fast, compared to the mechanical dynamics, the information of lead/lag and relative amplitude between voltage and current are sufficient for the back-EMFs estimation. Information of phase and amplitude difference of the voltage and current signals due to inductances and resistances are implicitly learned by the network during the training. This way, one of the advantages of using neural networks is evident, which is the parameter independency. In other words, the estimation can be performed from experimental data without knowing the motor parameters, such as phase equivalent resistance and inductance.

B. ANNs for the Estimator

The utilized neural network architecture is the FCC-ANN, trained with Neuron by Neuron (NBN) algorithm [17]. Each hidden layer in a FCC-ANN has only one neuron. The output of each neuron is connected to all of the forward neurons. Such architecture was used for having better performance with a lower number of neurons and synaptic connections if compared to the traditional MLP, provided that the training is adequate [20]. The reduced number of neurons and connections contributes with the implementation in a microcontroller device, given the limited memory and processing performance of the device. The topology consist in 4 data inputs plus 1 bias input, 4 hidden neurons and

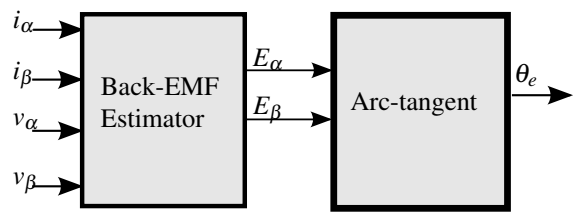


Fig. 1. Estimator flowchart. Based on [16].

one output neuron. The activation is the Symmetric Elliot's function, mainly for being of easy implementation in fixed point notation, given by:

$$Elliot(x) = \frac{2ax}{1+|ax|}. \tag{13}$$

In the simulations with floating point, the Symmetric Sigmoid function presented the best performance, but it takes approximations or iterative calculations to be implemented in the utilized hardware, which prevented its use. The parameter a represents the function *steepness* and x is the activation potential (inputs weighted sum with the synaptic weigths of the neuron inputs). The implementation was made using SuperNN library [21].

The training was performed using the measurements of the α and β voltages and currents and rotor position and speed using an encoder. Such data was acquired with the mechanical speed varying from 30 RPM to 120 RPM. The back-EMFs signals for the training are obtained through the product of the sines and cosines of the position and the measured speed, taking the back-EMF constant unitary. The back-EMF coefficient value is not necessary once the position in given by an arctangent function which takes the ratio between the two back-EMFs. However, it is necessary to generate the back-EMFs amplitude variating with the speed for the network to be trained appropriately. The experimental training data set and the simulation training data set were assembled with approximately 3000 samples each.

Figure 2 shows the ANNs structure. Note that each of the ANNs produces only one output, E_α or E_β. Using only one ANN with two outputs highly increased the number of necessary neurons and connections to achieve a similar performance than with two separated ANNs.

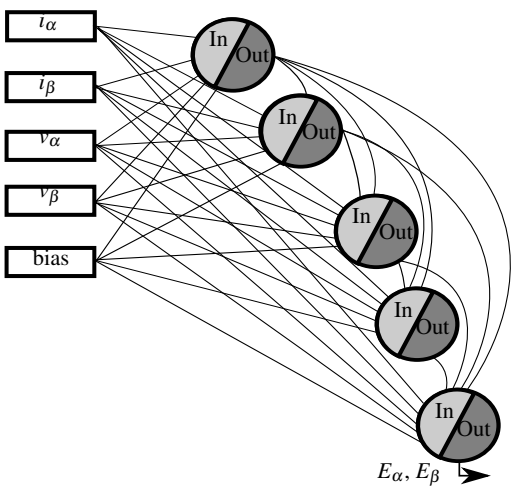


Fig. 2. ANNs FCC topology.

IV. SIMULATION RESULTS

The motor parameters are given in Table I. It is a motor utilized in washing machines, with a high number of poles, in a manner that the operating mechanical rotation is relatively low comparing to the drive frequency.

TABLE I
Motor Parameters

Parameter	Value	Unit
R	15.5	Ω
L	76×10^{-3}	H
L_m	38×10^{-3}	H
J	0.1566	Kg×m^2
β	0.98×10^{-3}	N × s/m
P	48	-
k_e	0.117	V × s / rad
k_t	0.117	N× m / A

The simulated data for training was obtained by controlling the simulated motor dynamics over several speed reference steps, with and without load. To consider the presence of noise in currents and voltages, to verify the estimator robustness, a random relative noise of 40% was added to the measured voltages and currents.

A. Simulations without Load

The back-EMFs estimation for the motor rotating at frequencies of 30 RPM, 50 RPM and 100 RPM are depicted in Figures 3, 4 and 5, respectively. In all three cases it can be observed that the α and β estimated back-EMFs have a 90° phase shift, with amplitude variations caused by the inserted noise in current and voltage. The amplitude and the frequency of the signals increase proportionally with the speed.

From the estimated back-EMFs, rotor electrical position can be obtained. Simulation results are shown in Figures 6, 7 and 8.

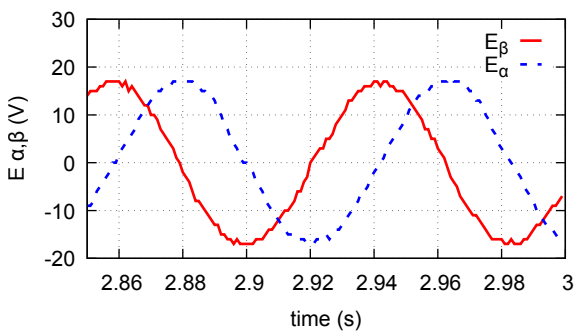


Fig. 3. Simulation: back-EMF estimation at 30 RPM.

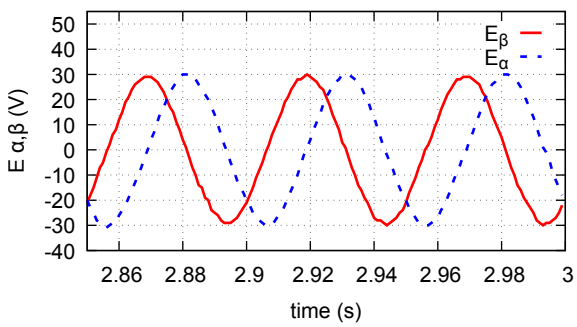


Fig. 4. Simulation: back-EMF estimation at 50 RPM.

B. Simulations with Load

Simulations with the application of a 2 Nm load step, at $t =$ 2.5 s were performed to evaluate the estimator under load

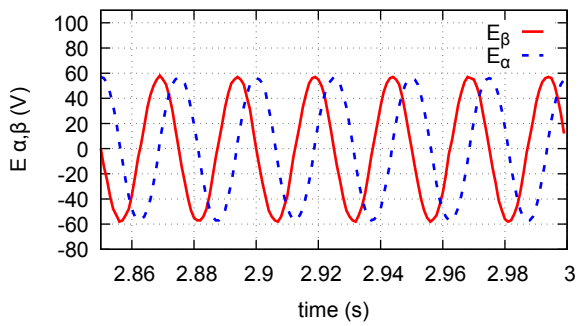


Fig. 5. Simulation: back-EMF estimation at 100 RPM.

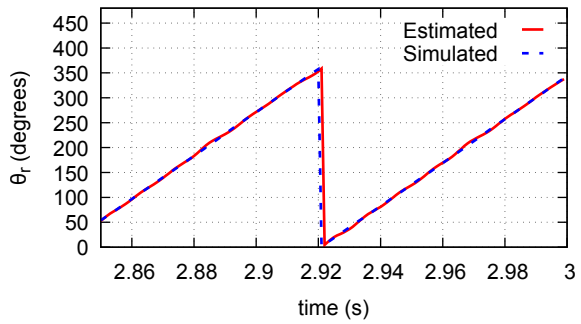


Fig. 6. Simulation: position estimation at 30 RPM.

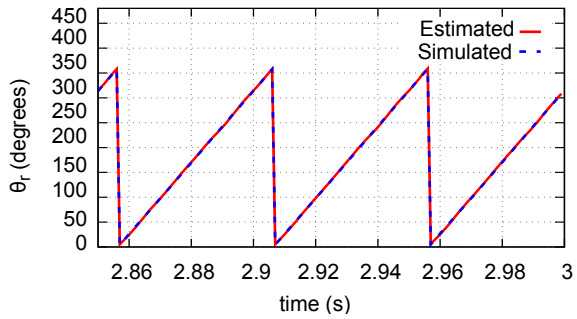


Fig. 7. Simulation: position estimation at 50 RPM.

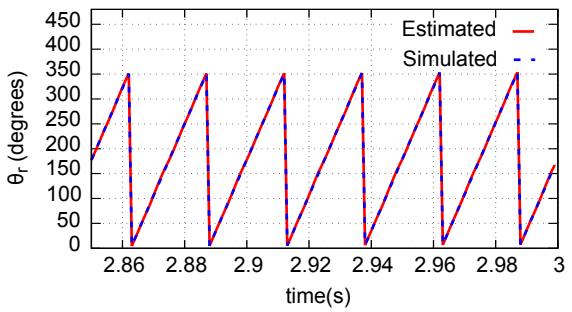


Fig. 8. Simulation: position estimation at 100 RPM.

disturbance. Figures 9, 10 and 11 present the estimated and simulated positions at mechanical speeds of 30 RPM, 50 RPM and 100 RPM respectively. At the insertion of the load, it is possible to observe oscillations in the estimated position, which were stabilized with time. After stabilization, the estimations with load presented coherent behaviors with the tests without load. However, a higher noise can be observed at 30 RPM than in the test without load, since current increases with load and a proportional noise was used in simulation.

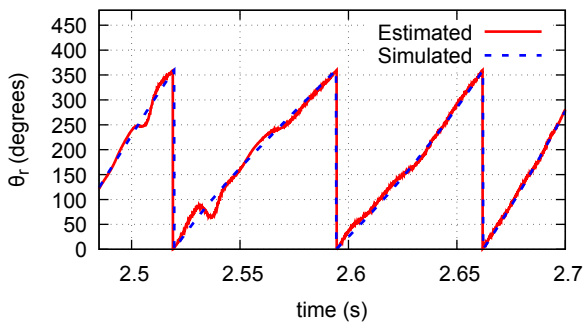


Fig. 9. Simulation: position estimation at 30 RPM with load.

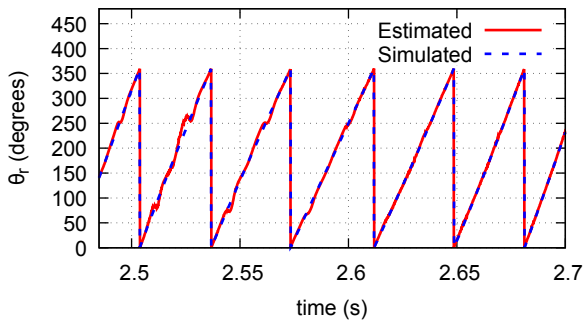


Fig. 10. Simulation: position estimation at 50 RPM with load.

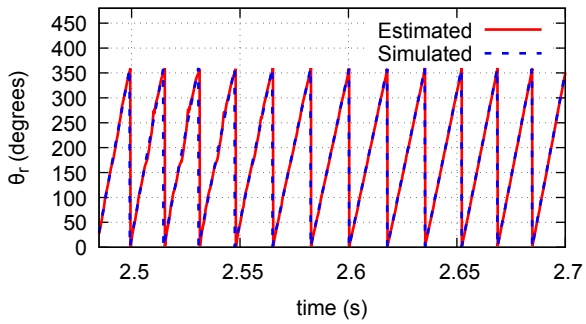


Fig. 11. Simulation: position estimation at 100 RPM with load.

V. EXPERIMENTAL RESULTS

Experimental results were obtained using a PMSM drive with vector control. The ANNs were executed along with the readings of an encoder, to verify the results. In this section, training procedures are first presented, followed by experimental results obtained in the execution phase.

A. Training

Several speed reference steps were applied to obtain a data set with information of the motor behavior from 30 RPM up to 120 RPM. Due to hardware limitations in the acquisition system, only four variables could be obtained simultaneously. The chosen variables are: β voltage, β current, electrical position and speed. The α variables are then obtained by shifting the β variables by 90°. Figure 12 shows the assembled data set for voltages while Figure 13 shows the data set for currents. The value ranges are related to internal microcontroller variables. The ANN topology is the same as the mentioned in Section III, Subsection B, with 4

hidden neurons. Training was performed through 300 epochs with NBN algorithm.

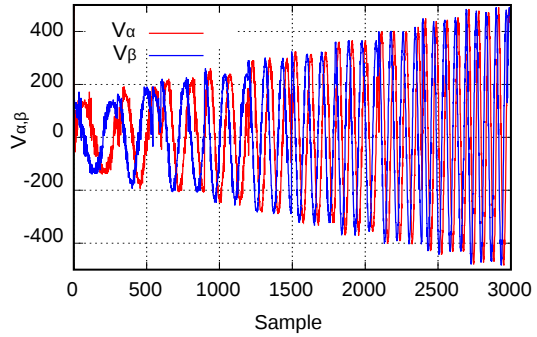


Fig. 12. Experimental α and β voltage data for training.

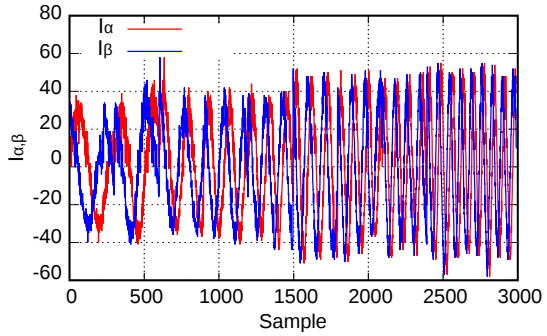


Fig. 13. Experimental α and β current data for training.

Such data sets were used as inputs for the training of both neural networks. The desired output data sets are E_α, for the first network, and E_β, for the second network. Using the acquired position and speed, the back-EMFs were obtained as described in Section III and are shown in Figure 14.

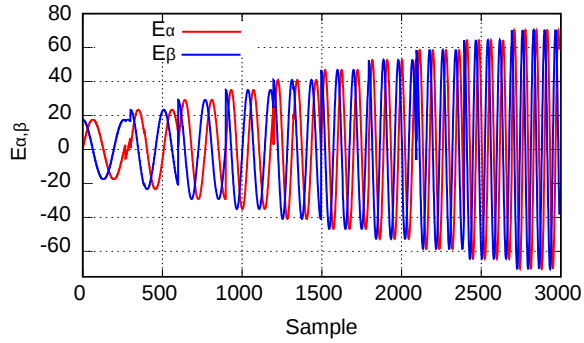


Fig. 14. Experimental α and β back-EMF data for training.

B. Execution

The proposed estimation system was tested experimentally in a set composed by a PMSM with parameters given by Table I, a STM32F103C8T6 microcontroller and an 220V, 200W inverter. The ANNs were trained with floating point variables and exported to C codes with fixed point variables using multiplications by integer bases. Next, tests without load are firstly presented, followed by tests with the application of load torque steps. The utilized experimental setup is shown in Figure 15.

C. Tests without Load

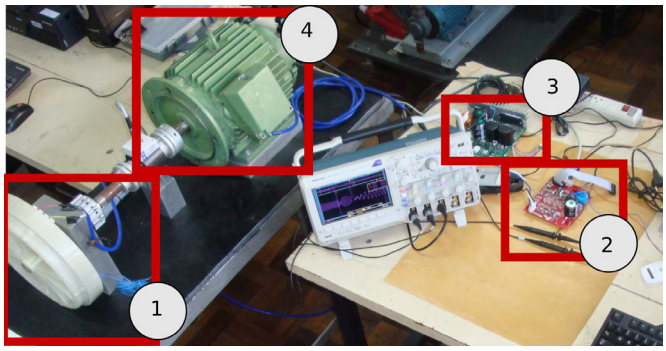


Fig. 15. Experimental setup: (1) PMSM, (2) control, signal acquisition and drive for PMSM, (3) load drive, (4) load.

Figures 16, 17 and 18 show the back-EMF estimations for the motor rotating at 30 RPM, 50 RPM and 100 RPM, respectively. It can be noticed that both the distortion level in the waves amplitudes and harmonic distortions reduce as the rotor speed increases. This is due to the relative noise level in the currents which is reduced as the speed increases.

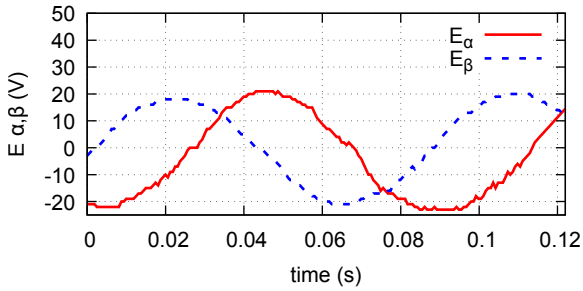


Fig. 16. Back-EMF estimation at 30 RPM.

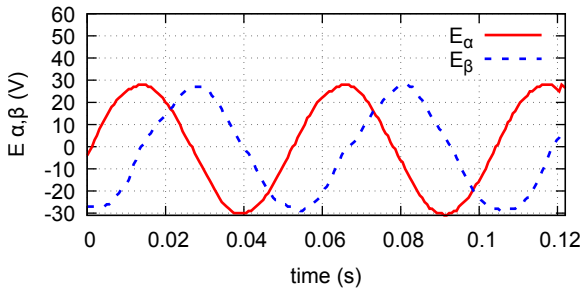


Fig. 17. Back-EMF estimation at 50 RPM.

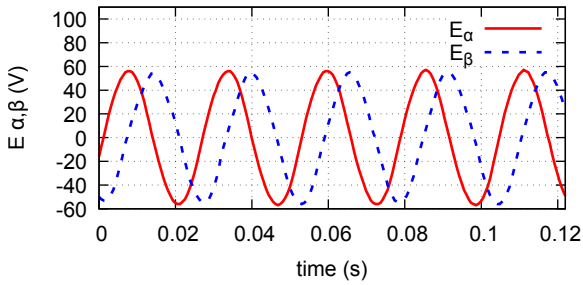


Fig. 18. Back-EMF estimation at 100 RPM.

Position estimations from the back-EMFs shown in Figures 16, 17 and 18 are depicted in Figures 19, 20 and 21, respectively. It is possible to observe that for a rotation of 100 RPM, the estimation performance is better than in lower speeds, due to the networks inputs noise level.

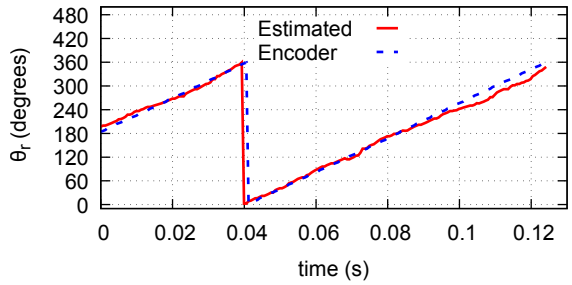


Fig. 19. Position estimation at 30 RPM.

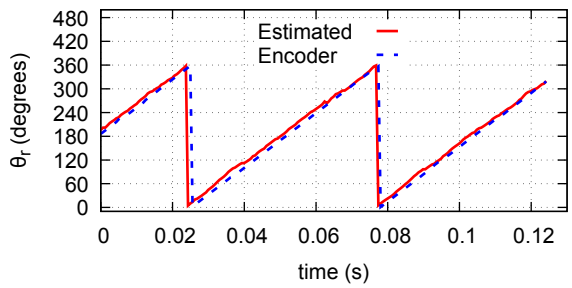


Fig. 20. Position estimation at 50 RPM.

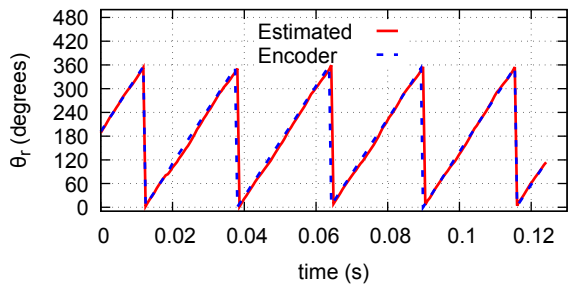


Fig. 21. Position estimation at 100 RPM.

Figure 22 shows the error per sample. Table II shows the absolute mean and the squared mean estimation errors. For both cases, the estimation error is lower at 100 RPM. Considering the mean squared error, the estimator performed better at 50 RPM than at 30 RPM. Considering the absolute squared error, however, the estimator performed better at 30 RPM than at 50 RPM. Roughly speaking, this means that at 50 RPM, the estimation error has smaller peak values than at 30 RPM, which can be interpreted as a more behaved estimation, but with a larger dc error, which can be associated with the training process.

TABLE II
Absolute and Squared Mean Position Estimation Errors

Error/Speed	30 RPM	50 RPM	100 RPM
Squared	112.37	92.47	38.22
Absolute	7.95	8.78	4.96

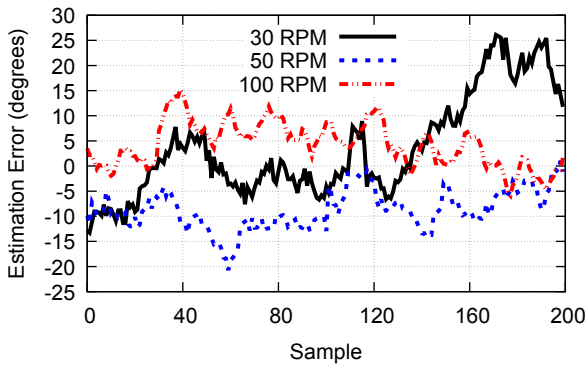


Fig. 22. Position estimation error at 30 RPM, 50 RPM and 100 RPM.

From the estimated position, rotor speed is estimated. A test at speeds of 50 RPM, 100 RPM and 30 RPM is shown in Figure 23. It can be observed that the real speed converges to the reference speeds. The estimated speed, however, presents a high noise level due to derivative calculations, with the occurrence of an offset around 30 RPM.

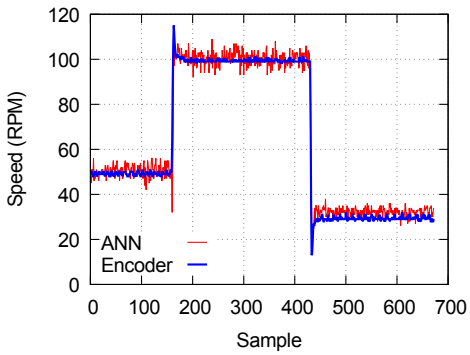


Fig. 23. Rotor speed estimation during reference steps.

D. Tests with Load

The load for the following tests were generated by inserting a DC current of approximately 1.5 A in a three-phase induction machine through two phases, with the third phase blocked, which generates a load torque of approximately 2 Nm. The load was inserted in each test by applying a step from a voltage source, after the PMSM reached the reference speed.

Figure 24 presents the measured and estimated positions at a reference speed of 30 RPM. The load torque was inserted at time $t = 2.65$ s, approximately. In the position curves it can be observed that the motor speed was decreased during the transient caused by the load step, and returns to the initial speed. The estimated position remained close to the measured position even during the load insertion. A similar behavior can be observed in Figure 25, with the application of load at $t = 1.82$ s for a 50 RPM reference speed, and Figure 26, with the application of load at $t = 2.04$ s for a 100 RPM reference speed. Comparing to the simulation results, it is possible to observe that in the experimental results smaller oscillations were observed. This can be attributed to the load steps being filtered by the electric current transient response of the induction machine, since a step voltage is applied.

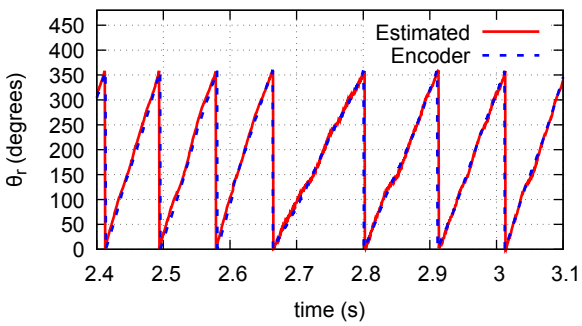


Fig. 24. Position estimation with load at 30 RPM.

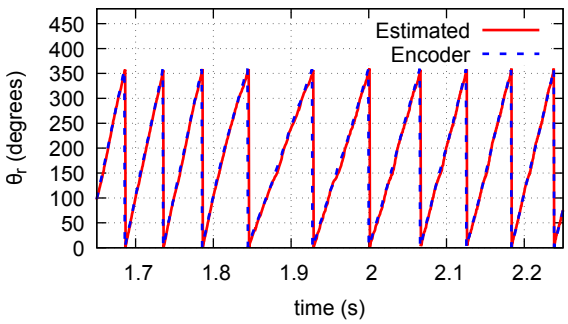


Fig. 25. Position estimation with load at 50 RPM.

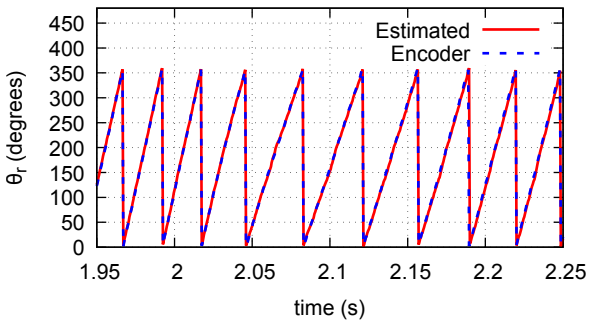


Fig. 26. Position estimation with load at 100 RPM.

VI. CONCLUSION

An approach for speed and position estimation from back-EMF estimations using FCC-ANNs was presented. Simulation and experimental results are indicatives of the effectiveness of such approach.

It was verified that the training of the networks was simple, performed from a data set taken with varied speed. The networks were training using an open source library and automatically exported to C codes in the form of functions. The obtained networks are executed in a microcontroller device with suitable computational cost, with satisfactory performance when executed with fixed point variables. Concerning to the quality of the estimated information, there was no clear gain comparing to traditional methods found in literature, such as MRAS and SMO, once the focus of the proposed approach is to simplify the design and implementation of the estimator.

The use of the position estimator has several advantages over the use of a mechanical sensor, such as an encoder. Among such advantages, the lack of construction and maintenance cost, increase of physical robustness of the drive system and reliability can be mentioned. The mentioned advantages are specifically important in PMSM applications such as in white good appliances, where the reduced volume is a requirement, and in hermetic compressors, in which the motor is drowned in oil, which could compromise the functionality of the mechanical sensor. Simulation and experimental tests could be performed with the use of automatically generated C code functions, making it practical to embed the trained FCC-ANNs in a fixed point microcontroller. Such approach shows up as an option for position estimation in low cost PMSM drive systems, such as for washing machines applications, with easy tuning and implementation.

ACKNOWLEDGEMENTS

The authors acknowledge Santa Catarina State University, Brazilian Federal Agency for Support and Evaluation of Graduate Education (CAPES) and EMBRACO.

APPENDIX

Figure 27 presents excerpts from the generated C code for E_α. Firstly, the necessary variables are declared as 32 bit integers and the inputs are scaled. The propagation starts with applying the weighted inputs to all neurons. From the second layer on, the activation function value is calculated and the neuron outputs are propagated forward. The numeric values are the synaptic weights generated from training.

```
void neural_run_ealpha(int32_t V_Alpha, int32_t V_Beta, ...){
    int 32_t mem[10], from_min[5], from_max[5], ...
    from_min[0] = -362250; from_max[0] = 368250;
    from_min[1] = -362250; from_max[1] = 368250;
    ...
    mem[0] = ((to_max[0] - to_min[0])*(V_Alpha*base ...
    mem[1] = ((to_max[1] - to_min[1])*(V_Beta*base ...
    ...
    mem[5] += (-26*mem[0]) /base; //layer 1
    mem[6] += (459*mem[0]) /base; //layer 1
    ...
    mem[5] = elliot_sym2(mem[5], 300); //layer 2
    mem[6] += (-3798 * mem[5]) /base; //layer 2
    mem[7] += (-8219 * mem[5]) /base; //layer 2
    ...
    e_alpha_temp = (((from_max[4] - from_min[4])*(mem[9] - ...
    *e_alpha     = (int16_t) e_alpha_temp; }
```

Fig. 27. Excerpts from generated code. The "..." symbol stands for omitted code.

REFERENCES

[1] F. Betin, G.-A. Capolino, D. Casadei, B. Kawkabani, R. I. Bojoi, L. Harnefors, E. Levi, L. Parsa, B. Fahimi, "Trends in Electrical Machines Control: Samples for Classical, Sensorless and Fault-Tolerant Techniques", *IEEE Industrial Electronics Magazine*, vol. 8, no. 2, pp. 43–55, June 2014.

[2] T. D. Batzel, K. Y. Lee, "An Approach to Sensorless Operation of the Permanent-Magnet Synchronous Motor Using Diagonally Recurrent Neural Networks", *IEEE Transactions on Energy Conversion*, vol. 18, no. 1, pp. 100–106, February 2003.

[3] A. G. Bartsch, G. H. Negri, C. R. Scalabrin, M. S. M. Cavalca, A. Nied, J. de Oliveira, "Predictive Control Approach for Permanent Magnet Synchronous Motor Drive", *Eletrônica de Potência*, vol. 20, no. 4, pp. 395–403, November 2015.

[4] M. Pacas, "Sensorless Drives in Industrial Applications: Advanced Control Schemes", *IEEE Industrial Electronics Magazine*, vol. 5, no. 2, pp. 16–23, June 2011.

[5] J. C. G. Real, E. V. Sánchez, J. G. Gil, "Position and Speed Control of Brushless DC Motors Using Sensorless Techniques and Application Trends", *Sensors*, vol. 10, no. 7, pp. 6901–6947, July 2010.

[6] S. Wu, Y. Wang, S. Cheng, "Extreme learning machine based wind speed estimation and sensorless control for wind turbine power generation system", *Neurocomputing*, vol. 102, pp. 163–175, February 2013.

[7] J. M. G. Villalobos, J. R. Resendiz, E. A. R. Araiza, V. H. Mucino, "A review of parameter estimators and controllers for induction motors based on artificial neural networks", *Neurocomputing*, vol. 118, pp. 87–100, October 2013.

[8] B. Karanayil, M. F. Rahman, C. Grantham, "Online Stator and Rotor Resistance Estimation Scheme Using Artificial Neural Networks for Vector Controlled Speed Sensorless Induction Motor Drive", *IEEE Transactions on Industrial Electronics*, vol. 54, no. 1, pp. 167–176, February 2007.

[9] B. L. G. Costa, B. A. Angélico, A. Goedtel, M. F. Castoldi, C. L. Graciola, "Differential Evolution Applied to DTC Drive for Three-Phase Induction Motors Using an Adaptive State Observer", *Journal of Control, Automation and Electrical Systems*, vol. 26, no. 4, pp. 403–420, August 2015.

[10] L. J. S. Shanthi, R. Arumugam, Y. K. Taly, "A novel rotor position estimation approach for an 8/6 solid rotor switched reluctance motor", *Neural Computing and Applications*, vol. 21, pp. 461–468, April 2012.

[11] K. Premkumar, B. V. Manikandan, "Adaptive Neuro-Fuzzy Inference System based speed controller for brushless DC motor", *Neurocomputing*, vol. 138, pp. 260–270, August 2014.

[12] M. George, K. P. Basu, A. T. W. Chiat, "Model reference controlled separately excited DC motor", *Neural Computing and Applications*, vol. 19, pp. 343–350, April 2010.

[13] K. Patan, "Neural Network-Based Model Predictive Control: Fault Tolerance and Stability", *IEEE Transactions on Control Systems Technology*, vol. 23, no. 3, pp. 1147–1155, May 2015.

[14] M. H. Terra, M. Bergerman, R. Tinós, A. A. G. Siqueira, "Controle Tolerante a Falhas de Robôs Manipuladores", *SBA Controle e Automação*, vol. 12, no. 2, pp. 73–92, August 2001.

[15] E. R. Marcelo G. Villalva, "Neural Networks Applied to the Control of a Four-Wire Shunt Active Power Filter", *Eletrônica de Potência*, vol. 10, no. 1, pp. 23–30, June 2005.

[16] C. Olivieri, M. Tursini, "A novel PLL scheme for a sensorless PMSM drive overcoming common speed reversal problems", *in International Symposium on Power Electronics, Electrical Drives, Automation and Motion*, pp. 1051–1056, 2012.

[17] B. M. Wilamowski, "Neural Network Architectures and Learning Algorithms", *IEEE Industrial Electronics Magazine*, vol. 3, no. 4, pp. 56–63, December 2009.

[18] P. C. Krause, R. R. Nucera, R. J. Krefta, O. Wasynczuk, "Analysis of a Permanent Magnet Synchronous Machine Supplied from a 180° Inverter With Phase Control", *IEEE Transactions on Energy Conversion*, vol. EC-2, no. 3, pp. 423–431, September 1987.

[19] D. Grenier, J.-P. Louis, "Use of an extension of the Park's transformation to determine control laws applied to a non-sinusoidal permanent magnet synchronous motor", *in Fifth European Conference on Power Electronics and Applications*, pp. 32–37, 1993.

[20] E. Sperb, L. Negri, A. Baasch, H. Polli, J. de Oliveira, A. Nied, "Sensorless control of PMSM using a new efficient neural network speed estimator", *in International Conference on Power Engineering, Energy and Electrical Drives (POWERENG)*, pp. 1–5, 2011.

[21] L. H. Negri, "SuperNN", 2014. [Online]. Available at: https://bitbucket.org/lucashnegri/supernn.

BIOGRAPHIES

Gabriel Hermann Negri, born in March 12, 1992, in Joinville-SC, is an Electrical Engineer (2015) and Master (2016) with Santa Catarina State University. His areas of interest are predictive control, robotics and machine learning.

Filipe Guolo Nazário, born on October 20, 1982, in Criciúma-SC, is an Electrical Engineer (2008), Master (2014) and is currently working at Embraco, developing controls for hermetic compressor refrigeration industry. His areas of interest are electrical machines, sensorless motor control solutions and embedded software development.

José de Oliveira, born in 06/15/1961 in Mandaguari-PR, is an Electrical Engineer (1986), Master (1994) and Doctor in Electrical Engineering (2000) with the Federal University of Santa Catarina. He is currently an associate professor with the Department of Electrical Engineering, Santa Catarina State University. His areas of interest are control systems, electrical machine actuation and power electronics.

Ademir Nied, born in 06/12/1962 in Santo Ângelo-RS, is an Electrical Engineer (1987), Master (1995) and Doctor in Electrical Engineering (2007) with Federal University of Minas Gerais. He is currently an associate professor with the Department of Electrical Engineering, Santa Catarina State University. His areas of interest are electrical machines, control of electrical drives and neural networks.

RECONHECIMENTO DE LÂMPADAS FLUORESCENTES EMPREGANDO O REATOR ELETRÔNICO AUTO-OSCILANTE

Juliano de P. Lopes[1], Maikel F. Menke[2], Álysson R. Seidel[2]
[1]Universidade Tecnológica Federal do Paraná, Pato Branco - PR, Brasil
[2]Universidade Federal de Santa Maria, Santa Maria - RS, Brasil
e-mail: julianolopes@utfpr.edu.br, maikel@gedre.ufsm.br, seidel@ctism.ufsm.br

***Resumo* – Neste trabalho é realizado o reconhecimento de lâmpadas fluorescentes tubulares T5 com o reator eletrônico auto-oscilante. A topologia desenvolvida identifica e opera diferentes lâmpadas com sua potência nominal. Um conversor SEPIC é empregado para correção do fator de potência, juntamente com um inversor meia-ponte para alimentar as lâmpadas. A identificação das lâmpadas é realizada com o auxílio de um circuito eletrônico analógico. O circuito de comando auto-oscilante é utilizado para o acionamento dos interruptores dos estágios inversor e de correção do fator de potência. São apresentados resultados experimentais e uma análise dos dados referentes ao atendimento da norma técnica NBR 14418, relativa ao preaquecimento dos eletrodos de lâmpadas fluorescentes T5.**

***Palavras-Chave* – Auto-oscilante, Correção do Fator de Potência, Lâmpadas de Descarga, Reator Eletrônico, Reconhecimento de Lâmpadas.**

FLUORESCENT LAMPS DETECTION WITH SELF-OSCILLATING ELECTRONIC BALLAST

***Abstract* – A T5 tubular fluorescent lamps detection methodology with the self-oscillating electronic ballast is performed in this work. The proposed topology must recognize and operate different lamps with its rated power. A SEPIC converter and a half-bridge inverter are used to perform power factor correction and supply the lamps, respectively. The lamp detection is realized by means of an analog electronic circuit. The command of the switches of the power factor correction and inverter stages is accomplished by the self-oscillating circuit. Experimental results and data of electrodes preheating standard NBR 14418 are analyzed.**

***Keywords* – Discharge Lamps, Electronic ballast, Lamps Detection, Power Factor Correction, Self-oscillating.**

I. INTRODUÇÃO

A iluminação artificial é responsável por grande parcela da energia elétrica consumida mundialmente. No Brasil, estima-se que aproximadamente 17% da energia elétrica gerada é consumida sob a forma de iluminação artificial [1]. Desta maneira, têm-se buscado alternativas para aumentar a eficiência energética dos sistemas de iluminação artificial.

Com o contínuo desenvolvimento das pesquisas em eletrônica de potência, evidenciado por publicações científicas [1]-[4], há também, atualmente, uma evolução significativa nos sistemas eletrônicos para iluminação artificial, principalmente nos empregados em iluminação pública com lâmpadas compostas por diodos emissores de luz (LED) [5]-[7]. Em iluminação residencial destacam-se as lâmpadas fluorescentes (LFs), consolidadas mundialmente, e as lâmpadas de LED, com crescente aceitação no mercado de iluminação de interiores [8]. Em 2013, as LFs tubulares e compactas corresponderam a um percentual de 64% do mercado mundial de lâmpadas [9], o que mostra uma tendência de que as LFs ainda dominem o mercado de iluminação de interiores por alguns anos. Este fato faz com que, apesar de consolidadas no mercado, as LFs e seus circuitos de acionamento ainda sejam objetivo de um número significativo de pesquisas nos dias de hoje [10]-[12].

O circuito de comando auto-oscilante é amplamente empregado em reatores eletrônicos (REs) para LFs, pois consiste em um circuito robusto e de relativa simplicidade [13]. Entretanto, uma vez que sua operação é estritamente dependente da carga e dos demais parâmetros do circuito, apresenta considerável complexidade de projeto, o que dificulta sua aplicação em REs com funções adicionais, como por exemplo, tensão de entrada universal, reconhecimento de lâmpadas, entre outras. Apesar disso, em alguns trabalhos o circuito de comando auto-oscilante foi utilizado em REs com controle de luminosidade, realizado pela variação da frequência de operação do inversor meia-ponte que alimenta a lâmpada [14], [15].

Os REs comerciais, auto-oscilantes ou não, são normalmente desenvolvidos para operarem com uma LF de potência específica. Como a variedade de potências de LFs é grande, os fabricantes devem oferecer diversas opções de REs. Em grandes estruturas, por exemplo, aeroportos, estações de trens, centros comerciais e indústrias, geralmente são utilizadas LFs de diferentes potências, o que significa que deve ser armazenada uma grande diversidade de REs para atender todas as lâmpadas. Além disso, o risco de utilizar um RE incompatível com a LF é grande, podendo danificar a lâmpada e/ou reator. Desta forma, alguns trabalhos sobre reconhecimento de lâmpadas têm sido desenvolvidos [16]-[20]. As metodologias apresentadas nestes trabalhos têm elevada complexidade de implementação, principalmente, se comparadas a um reator

Artigo submetido em 23/05/2017. Primeira revisão em 30/06/2017. Aceito para publicação em 19/08/2017 por recomendação do Editor Marcelo Cabral Cavalcanti.

eletrônico convencional que alimenta uma única lâmpada. Ainda, utilizam circuitos integrados (CIs) dedicados e/ou microcontroladores para identificar as lâmpadas e comandar os interruptores do circuito de correção do fator de potência (CFP) e inversor. Por este motivo, a ideia principal deste trabalho é propor uma opção de reconhecimento de LFs que utilize um circuito simples, robusto e que possa facilmente ser implementado. Para viabilizar estas características, o reator eletrônico auto-oscilante é empregado para realizar o reconhecimento das LFs tubulares T5 de elevado fluxo luminoso (HO) selecionadas para este trabalho.

A principal característica do RE desenvolvido é a utilização apenas de circuitos analógicos, empregando o circuito auto-oscilante para comandar os interruptores dos estágios CFP e inversor. O RE irá identificar e operar as lâmpadas com suas respectivas potências nominais. O emprego do circuito de comando auto-oscilante permite que o RE proposto seja simples, robusto e compatível ao mercado nacional, ao mesmo tempo em que aumenta a complexidade de projeto, devido ao seu comportamento não linear e dependência da carga. A topologia proposta utiliza apenas componentes simples e tradicionais, que são disponibilizados por vários fabricantes de componentes eletrônicos. Topologias microntroladas poderiam ser implementadas, entretanto, teriam a possibilidade de aumentar a complexidade de implementação, devido ao circuito de instrumentação para o microntrolador e as fontes auxiliares para o microcontrolador e para os circuitos de acionamento dos estágios CFP e inversor. Ademais, o circuito deveria ser projetado para a utilização de um determinado microntrolador. Em caso de modificação, ao menos o código deveria ser alterado, restringindo a simplicidade de reprodução da topologia desenvolvida. Uma topologia microcontrolada perderia a principal vantagem do comando auto-oscilante, a simplicidade de acionamento. Seria necessário o desenvolvimento de um circuito de comando para cada chave semicondutora do circuito.

Neste trabalho são reconhecidas três LFs, devido às limitações impostas pela utilização do comando auto-oscilante em circuitos com carga variável. O desenvolvimento de um RE para reconhecer LFs de diferentes potências, mesmo que em número reduzido, possibilita que se diminua a diversidade de reatores produzidos e também a possibilidade de danificação da lâmpada e/ou reator por instalação ou substituição inadequada.

Este artigo está dividido da seguinte forma: na seção II é apresentada a metodologia e as lâmpadas reconhecidas. A seção III expõe a metodologia de projeto do RE proposto. Na seção IV são apresentados os resultados experimentais obtidos e a seção V aponta as conclusões deste trabalho.

II. DEFINIÇÃO DAS LÂMPADAS E METODOLOGIA DE RECONHECIMENTO

As LFs T5 de alta eficiência (HE) e as LFs HO representam o que há de mais moderno com relação à iluminação fluorescente de cátodo quente. Estas lâmpadas são fabricadas para funcionarem apenas com REs e possuem reduzida quantidade de mercúrio [21]. As LFs HE não precisam ser identificadas para operar com potência nominal, pois todas possuem a mesma corrente de operação, sendo necessário somente um circuito que atue como fonte de corrente constante. Por este motivo, optou-se por desenvolver um RE para reconhecer as LFs T5 HO de 24 W, 39 W e 49 W. Estas lâmpadas foram escolhidas, pois são as de menor potência entre as T5 HO [21], o que permite que o volume do RE desenvolvido seja adequado a faixa de potência das LFs escolhidas. Na Tabela I são apresentadas as características elétricas das lâmpadas reconhecidas. A variável escolhida para identificar as LFs é a tensão de operação, pois não há sobreposição de valores para as lâmpadas utilizadas, de acordo com a Tabela I.

Na Figura 1 é apresentado o diagrama de blocos do reator proposto, que tem como referência a estrutura típica de um RE para alimentação de LFs com potência total demandada (LF + reator) acima de 25 W [22]. O estágio CFP é empregado para proporcionar elevado fator de potência (FP) e atendimento à norma IEC61000-3-2 [23]. O inversor e o filtro ressonante são responsáveis pela ignição e alimentação das LFs em regime permanente. O estágio de medição e detecção da LF deve medir a tensão da lâmpada, identificá-la e determinar a razão cíclica (D) de operação do conversor empregado para CFP. Esta adequação de D garante que a LF, se corretamente identificada, seja alimentada com sua potência nominal.

A topologia proposta para reconhecer as LFs T5 HO é mostrada na Figura 2. O circuito consiste em um conversor SEPIC para CFP, um inversor meia-ponte com filtro LCC para ignição e alimentação das LFs, um circuito para ajustar a potência nominal de cada lâmpada reconhecida e um circuito para preaquecimento dos eletrodos das LFs (PRAE). O acionamento dos interruptores dos estágios CFP e inversor do RE SEPIC meia-ponte auto-oscilante (SMPAO) é realizado pelo circuito de comando auto-oscilante. Os dois estágios atuam de forma independente, pois seus circuitos de comando são distintos, implementados por dois transformadores de corrente (TCs), TC_{inv} (formado por L_{pinv}, L_{s1inv} e L_{s2inv}) para o comando do inversor meia-ponte e TC_{sep} (formado por L_{psep}, L_{ssep}) para o comando do conversor SEPIC. Os primários dos dois TCs estão em série no filtro ressonante, logo, os estágios CFP e inversor operam com a mesma frequência.

TABELA I
Características Elétricas das LFS T5 HO

Lâmpada	Tensão (V)	Corrente (A)	Resistência equivalente (Ω)
T5 HO 24 W	80 ± 8	0,300	266
T5 HO 39 W	119 ± 10	0,330	360
T5 HO 49 W	195 ± 20	0,255	765

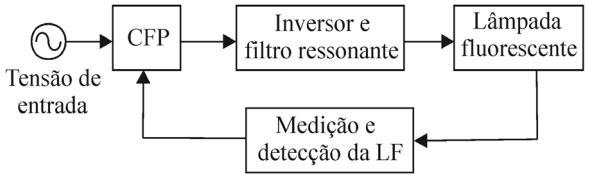


Fig. 1. Diagrama de blocos do reator eletrônico proposto.

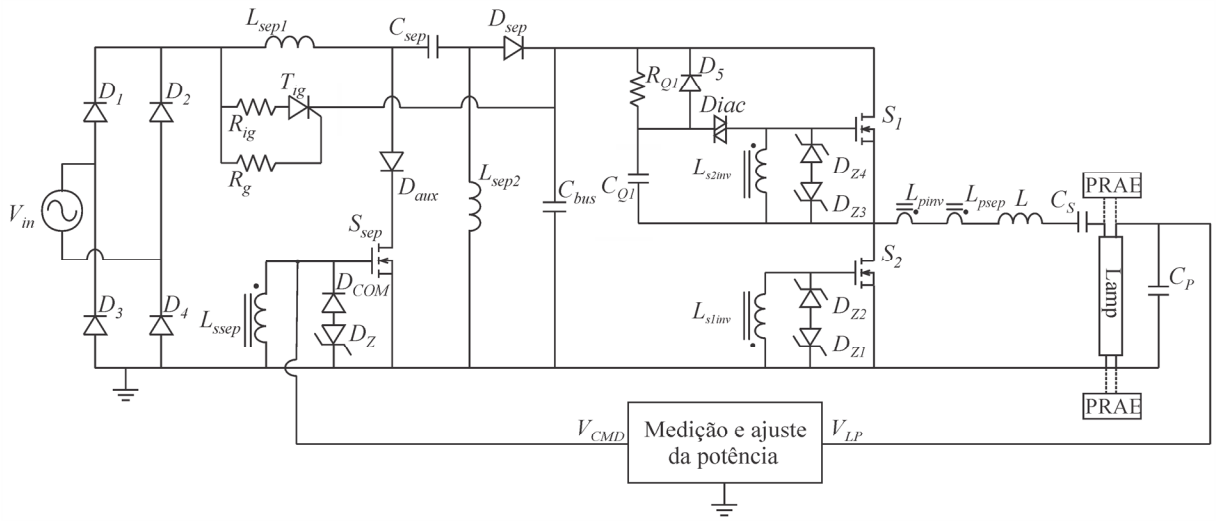


Fig. 2. Reator eletrônico SEPIC meia-ponte auto-oscilante.

O conversor SEPIC empregado para CFP irá operar no modo de condução descontínua de corrente (MCD), desta forma, não é necessária uma malha de controle da corrente de entrada do conversor para que seja obtido elevado FP [15]. No MCD, o conversor SEPIC atua como uma fonte de potência, que é independente da carga que o conversor está alimentando (inversor meia-ponte). Considerando ideais ambos os estágios de conversão, toda potência demandada da rede elétrica pelo estágio CFP é fornecida à LF. Desta maneira, para adequar a potência de saída do inversor à potência nominal das LFs reconhecidas, deve-se controlar a potência demandada pelo estágio de CFP. Para tal tarefa têm-se duas opções de variável de controle: frequência de comutação (f_s) e razão cíclica do conversor SEPIC. Como o comando dos estágios CFP e inversor é auto-oscilante, a frequência de operação de ambos é dependente da carga, ou seja, para cada LF a f_s é diferente. Este fato aumenta a complexidade de projeto do RE, pois, se D for o parâmetro de controle, as variações da f_s devem ser previstas no projeto. Por outro lado, para controlar a f_s do conversor SEPIC, mantendo D fixa, é necessário um circuito externo. Contudo, é praticamente inviável projetar um circuito que faça a variação da frequência de operação do comando auto-oscilante com precisão. Além disso, se D for mantida fixa, a faixa de variação da f_s para atender a potência nominal das LFs de 24 W, 39 W e 49 W pode levar o circuito a operar abaixo de 20 kHz (máxima frequência audível), ou acima de 50 kHz. Este fato afetaria a eficiência do RE e aumentaria significativamente a corrente drenada por C_P, o que poderia prejudicar a operação dos eletrodos das lâmpadas em regime permanente. Desta forma, optou-se por realizar o controle da potência fornecida às LFs pela razão cíclica de operação do conversor SEPIC.

A estratégia adotada para o reconhecimento das LFs escolhidas (T5 HO de 24 W, 39 W e 49 W) é ilustrada no fluxograma da Figura 3. Ao se energizar o circuito, o barramento é carregado por intermédio do tiristor T_{ig} ao mesmo tempo em que os eletrodos da LF são preaquecidos. Após o preaquecimento tem-se a partida do inversor e a ignição da LF. Decorrido o tempo programado, o circuito de preaquecimento é desligado. Quando ocorre a ignição da

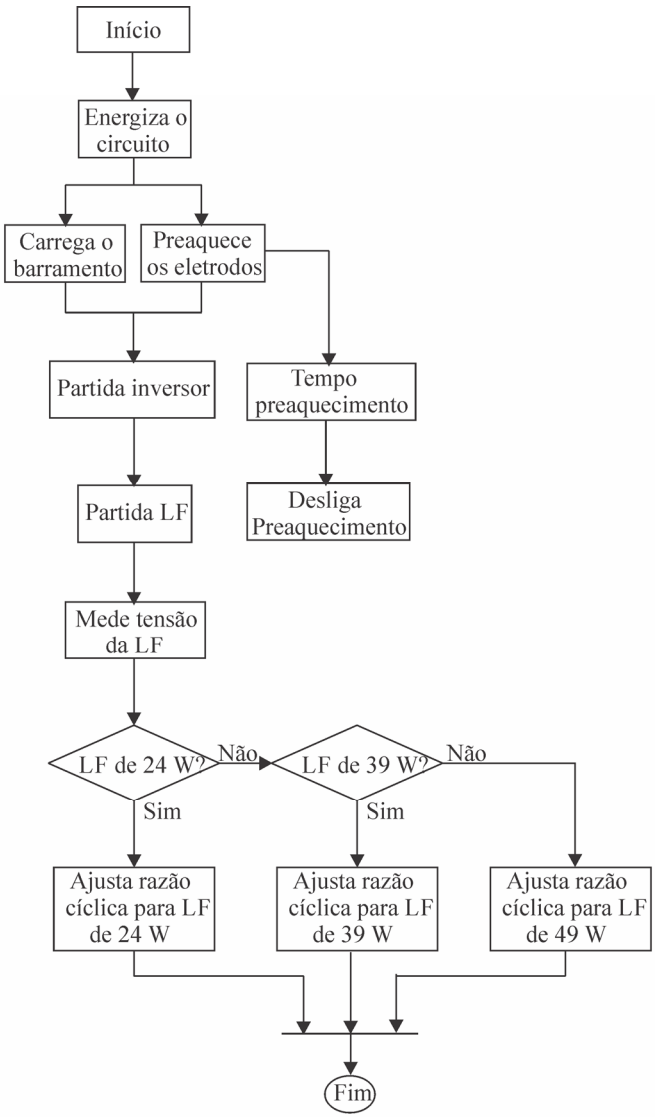


Fig. 3. Estratégia de reconhecimento das LFs T5 HO.

lâmpada, sua tensão é medida para que a LF seja identificada. Após a identificação da lâmpada é ajustada a D de operação do conversor SEPIC para obter a potência

nominal da LF. Neste trabalho, a estratégia de reconhecimento apresentada no fluxograma da Figura 3 é empregada para identificar as LFs já citadas. Contudo, poderia ser utilizada para identificar LFs de outras potências, ou até mesmo um número maior de LFs, desde que tenham tensão de operação distintas.

O RE SMPAO é projetado para potência (de acordo com uma das LFs a ser reconhecida), tensão de barramento (V_{bus}) e f_s específica. Entretanto, quando o RE estiver operando com outras LFs, que não a de projeto, f_s e V_{bus} são alteradas. A frequência de operação do comando auto-oscilante é dependente da carga, dos componentes do filtro LCC e de V_{bus}. Todavia, V_{bus} também é dependente da frequência de operação. Desta maneira, não é possível determinar analiticamente o ponto de operação (V_{bus} e f_s) do RE SMPAO quando este estiver operando com LFs de potências diferentes da qual foi projetado. Uma solução seria obter os pontos de operação empiricamente, por meio de testes experimentais. Contudo, neste trabalho é adaptada a solução apresentada em [24], em que foi apresentada uma metodologia iterativa para determinar o ponto de operação do REAO em circuitos para uma LF e com controle de luminosidade. Desta forma, é possível determinar f_s e V_{bus} para cada lâmpada que será reconhecida.

Não foi prevista na estratégia de identificação das LFs proteção para detectar ausência/danificação de lâmpada no reator eletrônico, ou mesmo a possibilidade de identificar se a LF inserida no reator tem potência nominal diferente das que são reconhecidas neste trabalho. Estas funcionalidades aumentariam ainda mais a complexidade de projeto e poderiam tornar inviável o reconhecimento de LFs somente com o REAO, sem a utilização de CIs dedicados para tais funcionalidades.

III. METODOLOGIA DE PROJETO DO REATOR ELETRÔNICO SMPAO

Nesta seção é apresentada a metodologia de projeto do RE SMPAO para reconhecimento de LFs. O projeto é divido em seis etapas: Inversor meia-ponte, conversor SEPIC, circuito de comando, circuito de medição da tensão e detecção das LFs, circuito de preaquecimento dos eletrodos e análise da oscilação autossustentada.

A. Projeto do Inversor Meia-ponte

O projeto do inversor meia-ponte consiste em determinar os elementos do filtro ressonante LCC. Este estágio é o primeiro a ser projetado, pois é necessário que os elementos do filtro sejam conhecidos para que seja possível determinar os pontos de operação do RE SMPAO.

O funcionamento adequado de um RE depende do projeto do filtro ressonante para que a LF tenha elevada eficiência e vida útil. Um filtro bem projetado deve garantir a ignição da lâmpada, proporcionar comutação suave (ZVS) aos interruptores do inversor, não permitir circulação de corrente com componente contínua (CC) na LF e proporcionar preaquecimento dos eletrodos da lâmpada. Na literatura existem diferentes metodologias de projeto do filtro ressonante LCC para LFs. A maioria dos trabalhos utiliza a aproximação pela componente fundamental e o modelo de resistência equivalente da lâmpada [25], [26]. Entretanto, poucos trabalhos consideram condições apropriadas de operação dos eletrodos no projeto do filtro, que são fundamentais para que a lâmpada tenha a manutenção da sua vida útil [27], [28]. Desta forma, para o projeto do filtro ressonante LCC que alimenta as LFs reconhecidas será adotada a metodologia apresentada em [29], em que é considerado o aquecimento dos eletrodos e a ignição da LF, características essenciais para um bom funcionamento do conjunto reator/lâmpada. Os dados de projeto do filtro LCC e os componentes calculados com a metodologia apresentada em [29] são mostrados na Tabela II.

Antes de projetar o estágio CFP deve-se determinar o ponto de operação do reator eletrônico SMPAO para cada lâmpada reconhecida. O ponto de operação para a LF de 39 W é conhecido (V_{bus} e f_s especificados para o estágio inversor). Entretanto, f_s e V_{bus} para as LFs de 24 W e 49 W devem ser determinadas. Desta forma, foi implementado um algoritmo para determinar o ponto de operação do RE SMPAO, quando este opera com as LFs de 24 W e 49 W. O algoritmo pode ser resumido da seguinte forma: entra-se com os dados dos componentes do filtro ressonante e do comando auto-oscilante, além da potência da LF que se deseja obter o ponto de operação. Escolhe-se uma tensão de barramento arbitrária para início da iteração e após é calculada a resistência equivalente da LF e a frequência de auto-oscilação para estes dados de projeto. Na sequência, é calculada a potência demandada pela lâmpada. Se a potência calculada for igual ou aproximadamente igual a potência nominal da LF (de acordo com a margem de erro desejada), tem-se os valores de V_{bus} e f_s para esta lâmpada. Caso contrário, decrementa-se a tensão de barramento e o processo se repete até que a potência calculada atenda o valor nominal da LF. Os pontos de operação obtidos são apresentados na Tabela III. É destacado que foi escolhida a potência de 39 W para o projeto do filtro ressonante devido ao RE apresentar uma pequena faixa de variação de f_s quando estiver operando com as outras lâmpadas reconhecidas.

B. Projeto do Conversor SEPIC para CFP

O conversor SEPIC operando no MCD de corrente foi escolhido para implementar CFP neste trabalho, pois apresenta as características necessárias para aplicação em circuitos para CFP com comando auto-oscilante, conforme análise realizada em [15]. Para o projeto do conversor SEPIC para CFP é usado o modelo do circuito equivalente apresentado em [15] (válido para operação no MCD de corrente), em que a entrada do conversor SEPIC emula uma resistência elétrica para a rede de energia elétrica. Desta maneira, mesmo operando em malha aberta, são obtidos

TABELA II
Dados de Projeto e Componentes do Filtro LCC

Tensão de entrada do inversor	V_{bus}=300 V
Potência de LF	P_{lamp}=39 W
Resistência equivalente da LF	R_{eq}=330 Ω
Frequência de comutação	f_c=35 kHz
Fator de qualidade do filtro LCC	Q_o=1,5
Indutor ressonante (L)	2,41 mH
Capacitor série ressonante (C_S)	27 nF
Capacitor paralelo ressonante (C_P)	6,8 nF

TABELA III
Pontos de Operação do Reator SMPAO para as LFs de 24 W e 49 W

LF de 24 W	
Frequência de comutação (f_{s24})	34 kHz
Tensão de barramento (V_{bus24})	252 V
LF de 49 W	
Frequência de comutação (f_{s49})	42 kHz
Tensão de barramento (V_{bus49})	277 V

elevado FP e reduzida distorção harmônica total (DHT) da corrente de entrada do conversor.

Os dados de projeto do conversor e os componentes C_{sep}, L_{sep1}, L_{sep2} e C_{bus}, calculados de acordo com as metodologias apresentadas em [15], [30], são apresentados na Tabela IV. A razão cíclica de operação do conversor SEPIC para cada LF é calculada por:

$$D_{CFP} = \sqrt{\frac{4L_{eq}P_{LF}}{V_{pk}^{2}T_{LF}}} \quad (1)$$

onde:

P_{LF} - potência da LF reconhecida;
V_{pk} - tensão de pico da rede de energia elétrica;
L_{eq} - indutância equivalente do conversor SEPIC;
T_{LF} - período de comutação do conversor SEPIC para a LF reconhecida.

A razão cíclica de operação para a LF de 49 W não precisa ser calculada, pois foi definida 0,3 no projeto do conversor SEPIC. Para as LFs de 24 W e 39 W os valores de D obtidos de (1) são 0,20 e 0,26, respectivamente. O conversor SEPIC deve operar abaixo da razão cíclica crítica entre os modos de condução contínua e descontínua de corrente. Na Figura 4 é avaliada a razão cíclica de operação do conversor SEPIC em função da tensão de barramento. Pode ser observado na Figura 4 que é garantida a operação do conversor SEPIC no MCD para as LFs de 24 W, 39 W e 49 W.

C. Projeto do Circuito de Comando dos Estágios de CFP e Inversor

O circuito de comando do conversor SEPIC e do inversor meia-ponte é projetado da mesma maneira que o circuito de comando auto-oscilante apresentado em [15]. Entretanto, no conversor SEPIC, o valor da tensão *gate-source* (V_{GS}) de S_{sep} não é mantido fixo no semiciclo positivo. Esta tensão é

TABELA IV
Dados de Projeto e Componentes Calculados para o Conversor SEPIC para CFP

Tensão de entrada	V_{in} = 220 V_{rms}/ 60 Hz
Potência de saída	P_{out} = 49 W
Rendimento	η = 85 %
Frequência de comutação	f_c = 42 kHz
Razão cíclica	D = 0,3
Ondulação da corrente de entrada	Δ_{Iin} = 25%
Ondulação da tensão de saída	Δ_{Vout} = 5%
Indutor L_{sep1}	28 mH
Indutor L_{sep2}	1,1 mH
Capacitor C_{sep}	68 nF
Capacitor C_{bus}	68 µF

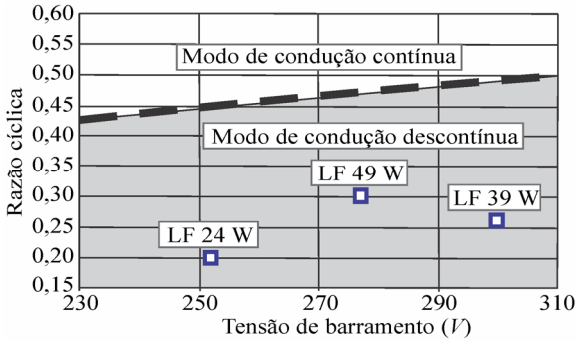


Fig. 4. Regiões de operação do conversor SEPIC.

variável de acordo com a LF, o que possibilita a variação da razão cíclica do interruptor. A Figura 5 mostra o circuito de comando equivalente do conversor SEPIC com suas respectivas formas de onda idealizadas. Nas Figuras 5.a e 5.b as fontes de corrente i_{S1} e i_{S2} representam a corrente do filtro ressonante refletida para o secundário do TC, para duas lâmpadas de potências diferentes. Na Figura 5.c é mostrado o circuito de comando equivalente do conversor SEPIC, no qual L_{ssep} representa a indutância magnetizante de TC_{sep} referida ao secundário. As relações de corrente mostradas na Figura 5 definem a troca de polaridade da tensão sobre D_{COM} e D_Z e, consequentemente, sobre S_{sep}.

A troca da polaridade de V_{CMD} ocorre no instante que i_{S1}/i_{S2} se igualam a i_{m1}/i_{m2}. No reator eletrônico SMPAO, a corrente do filtro tem amplitude e frequência variável, de acordo com a potência da lâmpada. Logo, com a variação de V_{CMD} e a consequente mudança de inclinação de i_{m1}/i_{m2}, no semiciclo positivo de V_{GS} ocorre variação de D e f_s de S_{sep}, como mostrado na Figura 5. A indutância magnetizante de TC_{sep} é calculada da mesma maneira que a de TC_{inv}, como apresentado em [15]. Os componentes calculados para os circuitos de comando do conversor SEPIC e do inversor meia-ponte são mostrados na Tabela V.

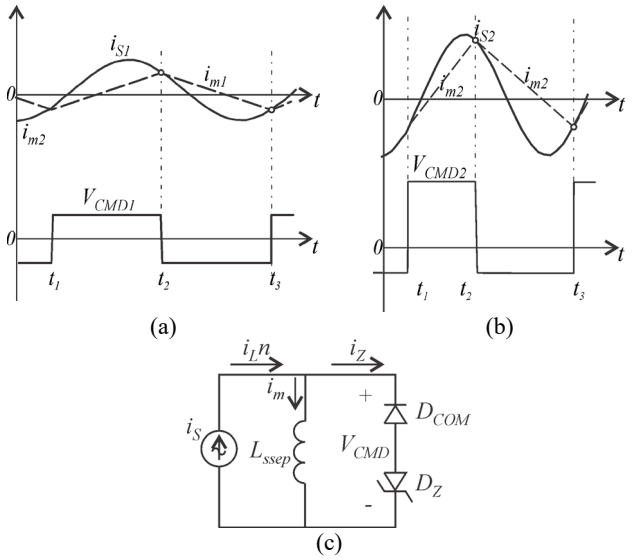


Fig. 5. Circuito de comando do conversor SEPIC: (a), (b) Formas de onda, (c) circuito equivalente.

TABELA V
Componentes do Circuito de Comando do Conversor SEPIC e Inversor Meia-ponte

Conversor SEPIC	
L_{psep}/L_{ssep}	48 µH/ 378 µH
D_Z	3,3 V
Inversor meia-ponte	
$L_{pinv}/L_{s1inv}/L_{s2inv}$	44 µH/ 933 µH
D_{Z1}-D_{Z4}	12 V

D. Projeto do Circuito de Medida e Ajuste da Potência da Lâmpada

O circuito de medida e ajuste da potência da lâmpada deve medir a tensão da LF (V_{LF}) e determinar a razão cíclica do estágio CFP, para que a potência do conversor SEPIC corresponda, idealmente, à potência nominal das lâmpadas reconhecidas. Quanto maior a potência da LF, maior o valor da sua tensão (V_{LP}) e maior deve ser a razão cíclica de operação do estágio CFP. Como mostrado na Figura 5, a variação de D do conversor SEPIC ocorre pela variação da amplitude de V_{CMD}, sendo que quanto maior o valor positivo de V_{CMD}, menor a razão cíclica. Logo, deve-se ter um circuito que faça a medida da tensão da LF e a converta em um valor de tensão contínua, que corresponda à razão cíclica de operação do conversor SEPIC para cada LF.

O valor positivo de V_{CMD} (V_{CMD+}) em função da razão cíclica de operação do conversor SEPIC para cada LF reconhecida (D_{LF}) é dado por:

$$V_{CMD+} = \left(V_Z + V_{fcom}\right)\frac{\left(1 - D_{LF}\right)}{D_{LF}} - V_{fctrl} \tag{2}$$

onde:

V_{fcom} - queda de tensão direta do diodo D_{COM} da Figura 2;

V_{fctrl} - queda de tensão direta do diodo D_{ctrl} do circuito da Figura 6;

V_Z - tensão zener do diodo D_Z da Figura 2.

Os valores obtidos de (2) são apresentados na Tabela VI. Na Figura 6 é mostrado o circuito proposto para atender os valores de V_{CMD+} da Tabela VI. Este circuito atua como um seletor de razão cíclica, disponibilizando na sua saída os valores de V_{CMD+} necessários para cada LF reconhecida. O circuito de seleção de razão cíclica (CSRC) mantém sua tensão de saída regulada, sendo imune a variações na tensão da LF (respeitando os limites impostos pelo fabricante das lâmpadas [21]), o que é proporcionado pela utilização do conversor analógico-digital (A/D) após a medida da tensão da lâmpada. O amp-op selecionado para o circuito é o LM358 [31], que tem como características baixo custo e não necessitar fonte de alimentação simétrica, o que facilita o desenvolvimento de uma fonte auxiliar para o CSRC.

Os comparadores *CP1* e *CP2* atuam de acordo com a lógica apresentada na Tabela VII. Para a LF de 24 W, a tensão de saída dos dois comparadores é zero. Para a lâmpada de 39 W *CP2* apresenta nível lógico 1 e para a LF de 49 W os dois comparadores têm nível lógico 1. Quando a lâmpada for de 24 W, a tensão de saída do estágio somador é zero e V_{CMD+} é a própria tensão de alimentação do amp-op (*VCC*) menos a queda de tensão devido à saturação do amplificador operacional. Desta maneira, *VCC* é dado por:

TABELA VI
Tensões V_{CMD+} e Razões Cíclicas de Operação para o Conversor SEPIC

LF 24 W	D_{LF24}=0,20	V_{CMD24+}=14,80 V	V_{LF24}=80 V
LF 39 W	D_{LF39}=0,26	V_{CMD39+}=10,40 V	V_{LF39}=119 V
LF 49 W	D_{LF49}=0,30	V_{CMD49+}=7,60 V	V_{LF49}=195 V

TABELA VII
Atuação de CP1 e CP2 de Acordo com as LFs

Potência da LF (W)	*CP1*	*CP2*
24	0	0
39	0	1
49	1	1

$$VCC = V_{CMD24+} + V_{fsat} \tag{3}$$

onde V_{fsat} corresponde ao valor de queda de tensão do amp-op quando saturado [31].

O estágio de proteção formado por D_{ctrl} e C_{ctrl} impede que circule corrente do CSRC para o circuito de comando no semiciclo negativo de V_{CMD}. No semiciclo positivo, C_{ctrl} absorve a corrente drenada do circuito de comando para o CSRC.

Os componentes do CSRC são projetados por meio de equações de circuitos lineares com amplificadores operacionais. Os principais componentes calculados são apresentados na Tabela VIII.

E. Avaliação da Oscilação Autossustentada

A avaliação da oscilação autossustentada do reator eletrônico SMPAO é realizada por meio do critério de estabilidade estendido de Nyquist para as LFs reconhecidas, 24 W, 39 W e 49 W. A Figura 7 mostra o diagrama de Nyquist do inversor meia-ponte operando com as respectivas lâmpadas. Esta figura mostra que a intersecção entre $-1/N$ e a função de transferência dos elementos com comportamento linear do REAO para cada lâmpada ($G_{LF}(s)$) ocorre aproximadamente na frequência de projeto para cada lâmpada. Para as LFs de 24 W e 39 W o corte entre $-1/N$ e $G_{LF}(s)$ apresenta um ângulo de aproximadamente 45º e para a LF de 49 W o ângulo é próximo a 90º. Desta maneira, os métodos da função descritiva e do critério de estabilidade estendido de Nyquist apresentam boa confiabilidade para serem empregados na metodologia de projeto do reator eletrônico SMPAO [32]. Da mesma forma, pode-se verificar a existência de uma oscilação autossustentada para o reator eletrônico operando com as três lâmpadas reconhecidas.

TABELA VIII
Principais Componentes do CSRC

Capacitor eletrolítico C_{LP}	1µF
Resistor R_{div1}	190 kΩ
Resistor R_{div2}	10 kΩ
Resistor variável R_{d1}	5,30 kΩ
Resistor variável R_{d2}	6,38 kΩ
Resistor R_{d3}	10 kΩ
Diodo D_{ctrl}	UF4007
Capacitor eletrolítico C_{ctrl}	1µF

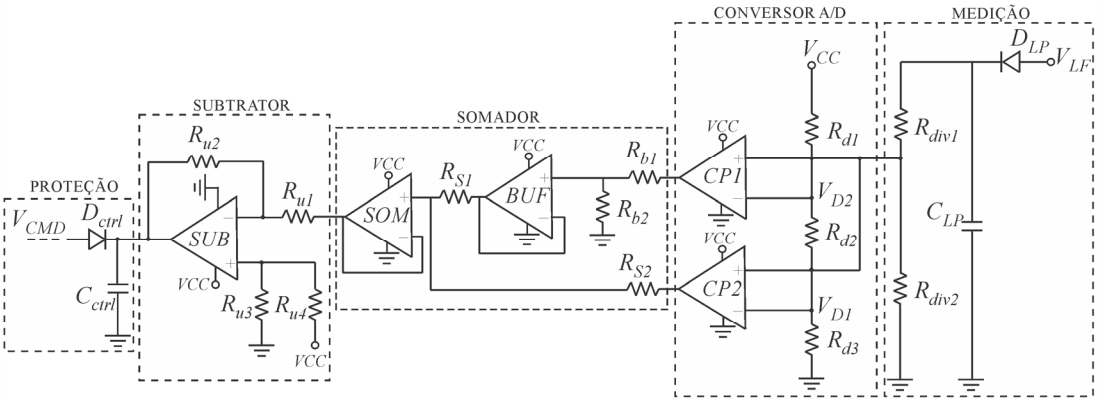


Fig. 6. Circuito de seleção de razão cíclica do reator eletrônico SMPAO.

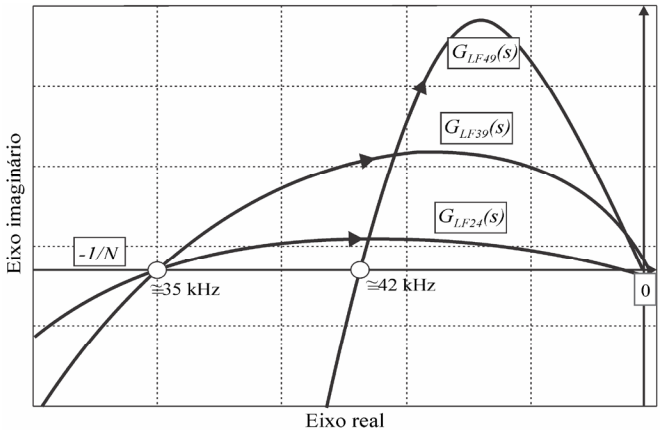


Fig. 7. Diagrama de Nyquist para as LFs de 24 W, 39 W e 49 W.

F. Projeto do Circuito de Preaquecimento dos Eletrodos

A NBR 14418 [33] regulamenta as condições de partida de uma LF. O preaquecimento é realizado fornecendo uma energia adequada para os eletrodos antes da ignição, para que a tensão de circuito aberto necessária para a partida da lâmpada seja diminuída. Os testes de validação do preaquecimento devem ser realizados segundo orientações da NBR 14418 e utilizando as informações fornecidas pelo fabricante das LFs, neste trabalho Philips [21].

No preaquecimento por controle de tensão, os reatores devem alimentar os eletrodos com valores adequados de tensão durante as fases de preaquecimento e com a LF em funcionamento. Após o intervalo de preaquecimento, a tensão nos eletrodos pode ser mantida durante o funcionamento da LF, atenuada ou reduzida à zero. A tensão de ignição pode ser aplicada à LF simultaneamente com a tensão de preaquecimento. Entretanto, a tensão na LF durante o preaquecimento deve ser inferior ao seu valor de partida ou estar em conformidade com os valores especificados para o preaquecimento por corrente [33]. Para comprovar o preaquecimento por tensão, deve-se medir a tensão de saída do circuito de preaquecimento em resistores substitutos especificados pelo fabricante das LFs.

Foram analisadas algumas soluções de preaquecimento dos eletrodos com o circuito de comando auto-oscilante, como a apresentada em [34]. Entretanto, estas soluções não se mostraram adequadas para o emprego no reator eletrônico SMPAO e para atender à norma NBR 14418 para as LFs reconhecidas. Desta forma, optou-se por desenvolver um circuito para o preaquecimento dos eletrodos por tensão, o qual é mostrado na Figura 8. A topologia consiste em um conversor *Flyback*, no qual as saídas são ligadas aos eletrodos das lâmpadas reconhecidas (representados por R_{f1} e R_{f2} na Figura 8) para proporcionar o preaquecimento antes da ignição. O conversor *Flyback* opera no modo de condução contínua, para que sua tensão de saída seja aproximadamente constante, independente da resistência dos eletrodos, e seu circuito de comando é implementado por um CI 555, que é simples e de baixo custo. A alimentação do conversor *Flyback* é feita diretamente da saída da ponte retificadora do conversor SEPIC do reator eletrônico SMPAO, representada por V_{ret} na Figura 8. Após alguns segundos da ignição da LF, o conversor *Flyback* é desligado para que não tenha influência, em regime permanente, no rendimento e na distorção harmônica da corrente de entrada do reator eletrônico. O circuito de desligamento do conversor *Flyback* é formado pelo transistor PNP T_d, R_d e C_d. A constante de tempo entre R_d e C_d deve ser ajustada de tal forma que o transistor entre na região de corte no tempo desejado, desconectando a alimentação do CI 555 e, consequentemente, desligando o circuito de comando do conversor *Flyback*. Os dados de projeto e os principais componentes do conversor são apresentados na Tabela IX.

IV. RESULTADOS EXPERIMENTAIS

Nesta seção são apresentados os resultados experimentais do reator eletrônico SMPAO. Nas Figuras 9, 10 e 11 são

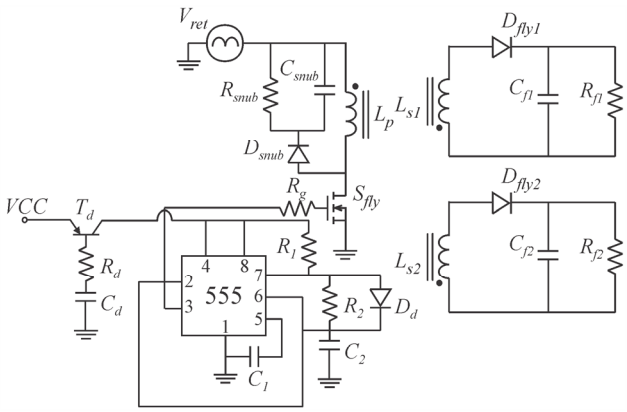


Fig. 8. Conversor Flyback para preaquecimento dos eletrodos.

TABELA IX
Dados de Projeto e Componentes do Conversor *Flyback*

Tensão de entrada	V_{in} = 220 V_{rms}/ 60 Hz
Razão cíclica	D = 0,3
Rendimento	η = 85 %
Frequência de comutação	f_c = 42 kHz
Resistência dos eletrodos	R_f = 12 Ω
Tensão das saídas	V_o = 4,0 V
Tempo de preaquecimento	T_{heat} = 2,5 s
Capacitores de saída	C_o=470 nF
Indutor *Flyback*	L_p=34 mH

mostradas as formas de onda de tensão (V_{in}), corrente (I_{in}) e potência de entrada (P_{in}) do reator eletrônico para as LFs de 24 W, 39 W e 49 W, respectivamente. Na Figura 9, P_{in} tem valor de 27,06 W, enquanto nas Figuras 10 e 11 os valores medidos foram de 43,75 W e 51,95 W, respectivamente. Nas Figuras 12, 13 e 14 são mostradas as formas de onda de tensão (V_{LF}) e corrente (I_{LF}) nas LFs de 24 W, 39 W e 49 W, respectivamente. As potências medidas para as respectivas lâmpadas foram 23,35 W, 39,17 W e 49,22 W, próximos ao nominal para as três LFs. A tensão nas lâmpadas está dentro do limite especificado pelo fabricante [21]. Os valores medidos foram 75,32 V para a LF de 24 W, 115,6 V para a LF de 39 W e 192,7 V para a LF de 49 W. A frequência de operação do reator eletrônico SMPAO para as LFs de 24 W, 39 W e 49 W é 33,97 kHz, 34,68 kHz e 40,58 kHz, respectivamente. Estes valores estão próximos aos fornecidos pela Tabela III, comprovando o êxito da metodologia empregada para determinar os pontos de operação do reator eletrônico.

Nas Figuras 15, 16 e 17 são mostradas as formas de onda de tensão nas LFs de 24 W, 39 W e 49 W, nos estágios de preaquecimento e ignição. Pelas formas de onda pode-se observar o tempo de preaquecimento de aproximadamente 2,5 s para as três LFs e a elevada tensão na ignição. Os valores de tensão nos resistores substitutos foram medidos e estiveram de acordo com os fornecidos por [21], atendendo as exigências de preaquecimento. Os principais resultados experimentais do reator eletrônico SMPAO para as LFs de 24 W, 39 W e 49 W são resumidos na Tabela X.

É destacado que foi implementada uma fonte auxiliar para alimentar os amplificadores operacionais e o CI 555 do reator eletrônico SMPAO. Esta fonte foi conectada diretamente à rede de energia elétrica por meio de um divisor capacitivo e a sua tensão de saída foi ajustada com um regulador de tensão LM317 [35].

TABELA X
Resultados Experimentais do Reator Eletrônico SMPAO

	LF 24 W	LF 39 W	LF 49 W
Potência ativa de entrada	27,06 W	43,75 W	51,95 W
Fator de potência	0,93	0,97	0,98
Fator de crista da corrente de entrada	1,50	1,47	1,48
Distorção harmônica total da corrente de entrada	9,5%	5,9%	5,8%
Atende a norma técnica IEC 61000-3-2 Classe C	Sim	Sim	Sim
Potência de saída	23,35 W	39,17 W	49,22 W
Rendimento	86,3%	89,5%	94,7%

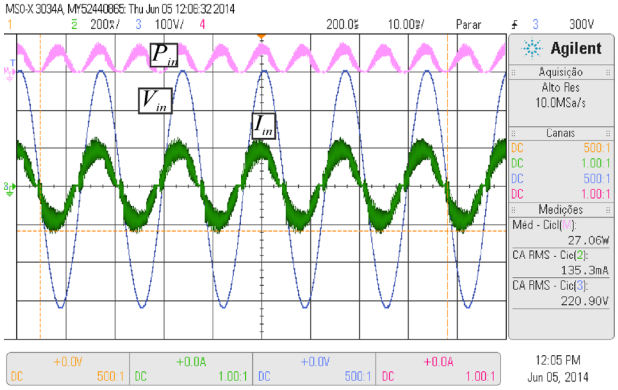


Fig. 9. Tensão, corrente e potência de entrada para LF de 24 W (500 mA/div, 100 V/div, 10 ms/div).

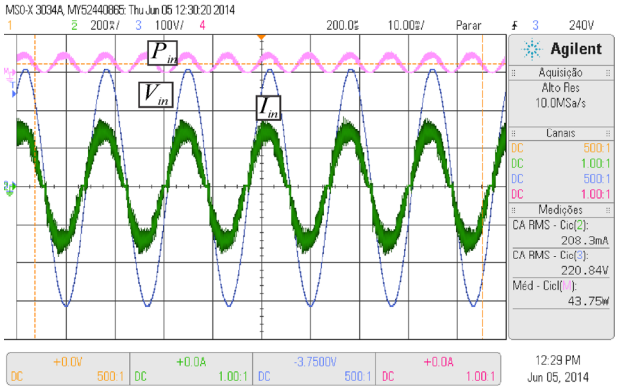


Fig. 10. Tensão, corrente e potência de entrada para LF de 39 W (500 mA/div, 100 V/div, 10 ms/div).

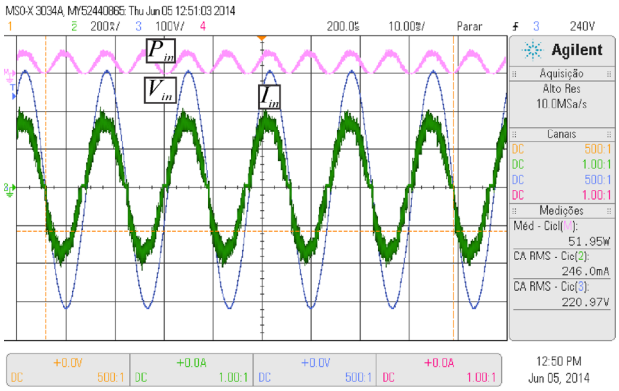


Fig. 11. Tensão, corrente e potência de entrada para LF de 49 W (500 mA/div, 100 V/div, 10 ms/div).

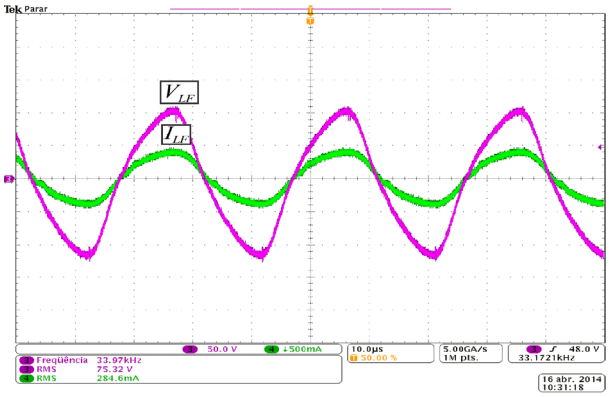


Fig. 12. Tensão e corrente na LF de 24 W (50 V/div, 500 mA/div, 10 µs/div.

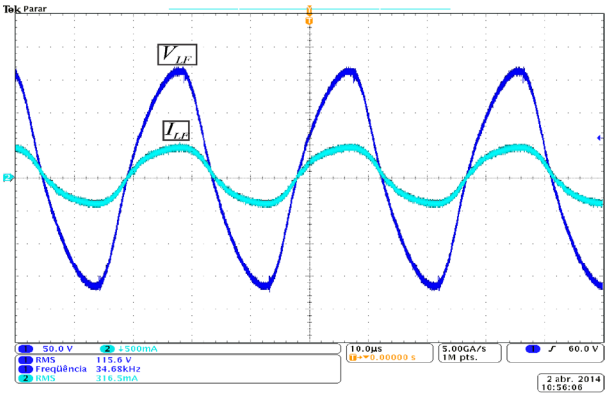


Fig. 13. Tensão e corrente na LF de 39 W (50 V/div, 500 mA/div, 10 µs/div.

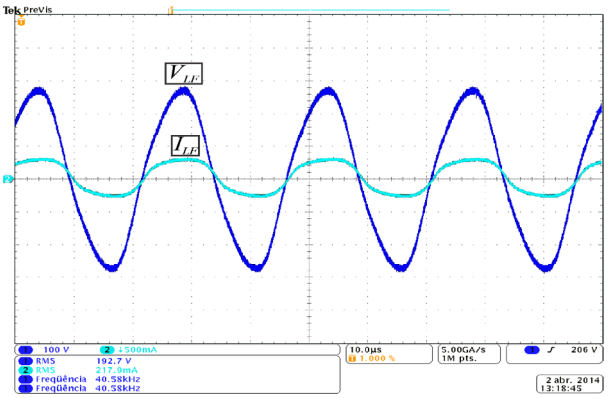


Fig. 14. Tensão e corrente na LF de 49 W (100 V/div, 500 mA/div, 10 µs/div.

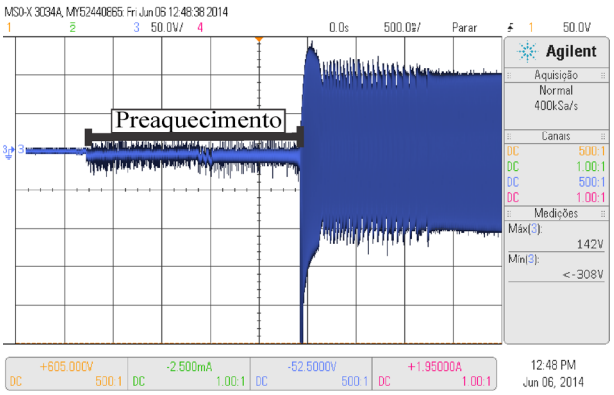


Fig. 15. Tensão de preaquecimento e ignição para LF de 24 W (50 V/div, 500 ms/div).

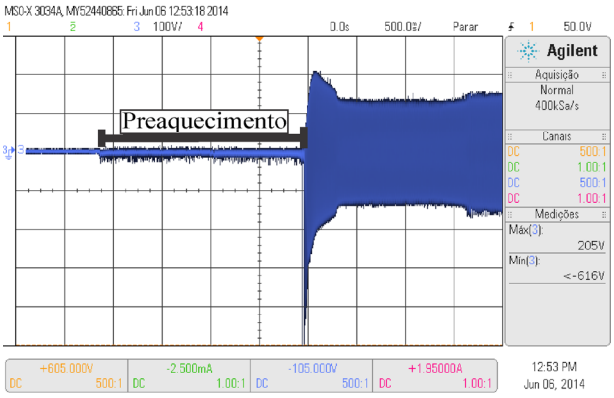


Fig. 16. Tensão de preaquecimento e ignição para LF de 39 W (100 V/div, 500 ms/div).

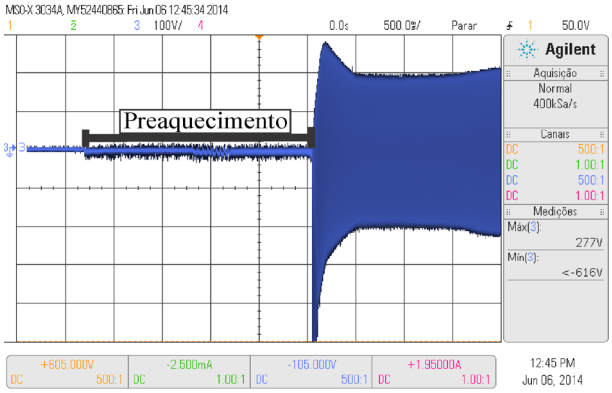


Fig. 17. Tensão de preaquecimento e ignição para LF de 49 W (100 V/div, 500 ms/div).

V. CONCLUSÃO

Neste trabalho foi apresentada uma metodologia de reconhecimento de lâmpadas fluorescentes empregando o reator eletrônico auto-oscilante, que é uma proposta inédita na literatura. As características de funcionamento e a metodologia desenvolvida permitiram implementar o reconhecimento de lâmpadas de forma eficiente com um circuito que é caracterizado pela simplicidade e por ser robusto.

As principais dificuldades em projetar um reator eletrônico para reconhecimento de lâmpadas fluorescentes foram a dependência da carga do comando auto-oscilante e o desenvolvimento de um circuito de preaquecimento que atendesse a norma NBR 14418. O projeto pôde ser desenvolvido com êxito devido à implementação de uma rotina iterativa que determinou o ponto de operação do reator eletrônico. Não foram empregados circuitos dedicados para reatores eletrônicos, os quais determinam alto custo para implementar os circuitos de comando do inversor e do conversor para CFP.

Os resultados experimentais obtidos mostraram o correto funcionamento do reator eletrônico, pois as potências nominais das três lâmpadas foram atendidas com pequenos erros. Poderiam ser acrescentadas mais lâmpadas à estratégia de reconhecimento, entretanto, para cada LF adicionada, deve-se acrescentar um amplificador operacional no conversor A/D do circuito de seleção de razão cíclica.

AGRADECIMENTOS

Os autores agradecem à CAPES, Coordenação de Aperfeiçoamento de Pessoal de Nível Superior, e ao CNPq, Conselho Nacional de Desenvolvimento Científico e Tecnológico, pelo suporte financeiro dessa pesquisa, CNPq – Brasil Proc. 311911/2015-3 e Proc. 409632/2016-3.

REFERÊNCIAS

[1] Ministério de Minas e Energia, "Plano Nacional de Energia 2030", 2007. [Online]. Disponível: www.mme.gov.br/mme.

[2] F. R. Pereira, "Análise de Eficiência de Conversor Cuk em Baixa Tensão", *Eletrônica de Potência* – SOBRAEP,

vol. 20, n. 4, pp. 347-353, Setembro/Novembro 2015.

[3] B. R. Almeida, D. Oliveira Jr., "Conversor CA-CC Trifásico Bidirecional de Único Estágio com Correção de Fator de Potência e Isolado em Alta Frequência", *Eletrônica de Potência* – SOBRAEP, vol. 21, n. 2, pp. 117-125, Março/Junho 2016.

[4] J. R. Dreher, A. M. S. S. Andrade, L. Schuch, M. L. da S. Martins, "Coupled-Inductor High Step-Up Integrated Topologies: Synthesis, Analysis and Experimental Results", *Eletrônica de Potência* – SOBRAEP, vol. 21, n. 2, pp. 091-104, Março/Junho 2016.

[5] E. M. Sá Jr., P. H. A. Miranda, E. E. dos Santos, F. L. M. Antunes, "Conversor CC/CC com Capacitor Comutado Aplicado para Equalização de Potência em Vetores de LEDs", *Eletrônica de Potência* – SOBRAEP, vol. 18, n. 3, pp. 1100-1108, Junho/Agosto 2013.

[6] P. S. Almeida, G. M. Soares, H. A. C. Braga, "Storage Capacitance Minimization in LED Drivers Based on Photometrical Constraints and Converter Integration", *Eletrônica de Potência* – SOBRAEP, vol. 18, nº 2, pp. 962-971, Março/Maio 2013.

[7] M. R. Cosetin, T. E. Bolzan, E. A. Bittencourt, M. F. da Silva, J. M. Alonso, R. N. do Prado, "Dimmable Single-stage SEPIC-Buck Converter for LED Lighting with Reduced Storage Capacitor", *Eletrônica de Potência* – SOBRAEP, vol. 19, nº 2, pp. 163-172, Março/Maio 2014.

[8] I. Burgardt, E. Agostini Jr., C. H. I. Font, C. B. Nascimento, "A Flicker-Free Power LEDs Driver Based on The Non-Isolated SEPIC Rectifier Using a Regenerative Snubber", *Eletrônica de Potência* – SOBRAEP, vol. 20, n. 1, pp. 31-39, Dezembro/Fevereiro 2015.

[9] Joint Research Centre, "2014 Update on the Status of LED Market", 2014. [Online]. Disponível: www.ec.europa.eu/jrc.

[10] N. Vasquez, E. Baeza, A. Perea, C. Hernández, E. Vásquez, H. López, ""Z" and "qZ" Source Inverters as Electronic Ballast", *IEEE Transactions on Power Electronics*, vol. 31, n. 11, pp. 7651-7660, November 2016.

[11] M. Kadota, H. Shoji, S. Furuya, "A Dimming Method for Hot Cathode Fluorescent Lamp Using a Resonant Inverter Operating at Fixed Switching Frequency", *IEEE Transactions on Power Electronics*, vol. 30, n. 4, pp. 2253-2261, April 2015.

[12] W. M. Ng, S. Y. R. Hui, "Ultralow-Loss Passive T5 Fluorescent Lamp Ballasts for Subzero Temperature Operation", *IEEE Transactions on Power Electronics*, vol. 30, n. 10, pp. 5792-5799, October 2015.

[13] C. Chang, G. W. Bruning, "Self-Oscillating Electronic Ballast Analysis Using the Relay Systems Approach", *IEEE Transactions on Industry Applications*, vol. 27, nº 1, pp. 255-261, January/February 2001.

[14] J-C. Hsieh, J. Lin, "Novel Single-Stage Self-Oscillating Dimmable Electronic Ballast with High Power Factor Correction", *IEEE Transactions on Industrial Electronics*, vol. 58, nº 1, pp. 250-262, January 2011.

[15] J. de P. Lopes, M. F. Menke, W. A. Venturini, F. E. Bisogno, A. R. Seidel, "Reator Eletrônico Auto-Oscilante com Tensão de Entrada Universal e Correção de Fator de Potência", *Eletrônica de Potência* – SOBRAEP, vol. 18, nº 2, pp. 972-981, Março/Maio 2013.

[16] L. M. Lee, S. Y. R. Hui, H. S. H. Chung, "An Automatic Lamp Detection Technique for Electronic Ballast", *in Proc. of APEC*, vol. 1, pp. 575-581, 2005.

[17] L. M. Lee, S. Y. R. Hui, "Automatic Lamp Detection and Operation for Warm-Start Tubular Fluorescent Lamps", *IEEE Transactions on Power Electronics*, vol. 24, nº 12, pp. 2933-2941, 2009.

[18] Z. Jia, X. Biwen, M. Chongguang, C. Min, Q. Zhaoming, "An Automatic Fluorescent Lamp Detection Method Without Igniting the Lamps" *in Proc. of APEC*, pp. 2392-2397, 2012.

[19] M. S. Perdigão, J. M. Alonso, M. A. Dalla Costa, E. S. Saraiva, "Using Magnetic Regulators for the Optimization of Universal Ballasts", *IEEE Transactions on Power Electronics*, vol. 23, nº 6, pp. 3126-3134, 2008.

[20] H. V. Marques, A. R. Seidel, M. S. Perdigão, J. M. Alonso, E. S. Saraiva, "Constant-frequency Magnetically Controlled Universal Ballast with SoS Compliance for TL5 Fluorescent Lamps", *IEEE Transactions on Power Electronics*, vol. 27, nº 4, pp. 2163-2175, 2012.

[21] Philips, "Master TL5 Lamps". [Online]. Disponível: www.web.unipar.br.

[22] Reatores Eletrônicos Alimentados em Corrente Alternada para Lâmpadas Fluorescentes Tubulares Retilíneas, Circulares e Compactas, Portaria INMETRO 267/2009, 2011.

[23] Limits for Harmonic Current Emissions - Part 3-4: Limits, IEC 61000-3-2, Ed. 3, 2005.

[24] M. F. Menke, C. S. Guedes, W. G. Rosa, J. de P. Lopes, A. R. Seidel, M. S. Perdigão, J. M. Alonso, "Iterative Method For Analysis of Dimmable Self-Oscillating Electronic Ballast Under Bus Voltage Control", *in Proc. of COBEP*, pp. 1177-1182, 2013.

[25] F. E. Bisogno, A. R. Seidel, R. Holsbach, R. N. do Prado, "Resonant Filter Applications in Electronic Ballast", *in Proc. of IAS*, vol. 1, pp. 348-354, 2002.

[26] C. S. Moo, Y. C. Chuang, Y. H Huang, H. N. Chen, "Modeling of Fluorescent Lamps For Dimmable Electronic Ballasts", *in Proc. of IAS*, pp. 2231-2236, 1996.

[27] A. R. Seidel, M. S. Perdigão, H. V. Marques, J. M. Alonso, E. S. Saraiva, "Safe Electrode Operation in Universal Electronic Ballasts", *in Proc. of COBEP*, pp. 607-614, 2011.

[28] G. Spiazzi, S. Buso, "Non Iterative Procedure of LCC-Based Electronic Ballasts For Fluorescent Lamps Including Dimming Operation", *in Proc. of ECCE*, pp. 2065-2072, 2009.

[29] J. de P. Lopes, M. F. Menke, W. G. da Rosa, F. E. Bisogno, Á. R. Seidel, "Nova Metodologia de Projeto do Filtro Ressonante LCC de Reatores Eletrônicos para Lâmpadas de Descarga de Baixa Pressão", *Eletrônica de Potência* – SOBRAEP, vol. 20, n. 4, pp. 404-415, Setembro/Novembro 2015.

[30] J. M. Alonso, M. A. Dalla Costa, C. Ordiz, "Integrated Buck-Flyback Converter as a High-Power-Factor Off-Line Power Supply", *IEEE Transactions on Industrial Electronics*, vol. 55, nº 3, pp. 1090-1100, March 2008.

[31] Fairchild Semiconductor, "LM2904, LM358/LM358A, LM258 Operational amplifier". [Online]. Disponível: http://www.fairchildsemi.com/ds/LM/LM358A.pdf.
[32] J-J. E. Slotine, W. Li, *Applied Nonlinear Control*, Prentice Hall, Nova Jersey, 1991.
[33] Reatores Eletrônicos Alimentados em Corrente Alternada para Lâmpadas Fluorescentes Tubulares, ABNT NBR 14418, segunda edição, 2011.
[34] R. Gules, W. M. Santos, E. F. R. Romaneli, C. Q. Andrea, R. C. Annunziato, "An Auxiliary Self-Oscillating Preheating System For Self-Oscillating Fluorescent Lamp Electronic Ballasts", *IEEE Transactions on Industrial Electronics*, vol. 59, nº 4, pp. 1859-1868, April 2012.
[35] Texas Instruments, "LM317 3-Terminal Adjustable Regulator". [Online]. Disponível: www.ti.com/lit/ds/symlink/lm317.pdf.

DADOS BIOGRÁFICOS

Juliano de Pelegrini Lopes, nasceu em Cruz Alta, RS, Brasil, em 1983. Possui graduação em Engenharia Elétrica (2008) e em Formação Pedagógica de Docentes pela Universidade Federal de Santa Maria (2010), mestrado (2010) e doutorado em Engenharia Elétrica (2014) pela mesma universidade. Atualmente é professor da Universidade Tecnológica Federal do Paraná – câmpus Pato Branco. Suas principais áreas de interesse incluem reatores eletrônicos, conversores CC/CC, correção de fator de potência, sistemas de iluminação inteligentes, conversores ressonantes, lâmpadas fluorescentes e de LEDs. Dr. Juliano é membro da SOBRAEP.

Maikel Fernando Menke, nascido em 07/10/1989 em Três de Maio-RS, é engenheiro eletricista (2015) e mestre em Engenharia Elétrica (2016) pela Universidade Federal de Santa Maria (UFSM). Possui graduação em Formação Pedagógica de Docentes (2017) pela mesma instituição. Atualmente é doutorando junto ao Programa de Pós-Graduação em Engenharia Elétrica da UFSM. Atua como integrante do Grupo de Pesquisa GEDRE – Inteligência em Iluminação, e do Grupo de Estudo e Desenvolvimento em Sistemas Elétricos e Computacionais (GSEC). Sua área de interesse inclui conversores ressonantes, circuitos de correção do fator de potência, circuitos auto-oscilantes, sistemas de controle e controle digital. Me. Menke é membro da SOBRAEP e do IEEE.

Álysson Raniere Seidel, nascido em 01/08/1975 em São Pedro do Sul-RS é engenheiro eletricista (1999), doutor em Engenharia Elétrica (2004) pela Universidade Federal de Santa Maria. Ele foi, de 2004 a 2008, professor do curso de Engenharia Elétrica na Universidade de Passo Fundo. Atualmente é professor da Universidade Federal de Santa Maria no Colégio Técnico Industrial de Santa Maria e na Pós-graduação em Engenharia Elétrica. Atua como integrante do Grupo de Pesquisa GEDRE – Inteligência em Iluminação, e do Grupo de Estudo e Desenvolvimento em Sistemas Elétricos e Computacionais (GSEC). Suas áreas de interesse são: conversores ressonantes, circuitos eletrônicos auto-oscilantes e sistemas eletrônicos aplicados à iluminação. Dr. Seidel é membro da SOBRAEP e do IEEE.

STUDY ON THE APPLICATION OF GALLIUM NITRIDE TRANSISTORS IN POWER ELECTRONICS

Renan R. Duarte[1], Guilherme F. Ferreira[1], Marco A. Dalla Costa[1], Carlos H. Barriquello[1], J. Marcos Alonso[2]
[1]Universidade Federal de Santa Maria, Santa Maria - RS, Brazil
[2]Universidad de Oviedo, Gijón, Spain
e-mail: {renan.duarte, guilhermefarias, marcodc, barriquello}@gedre.ufsm.br, marcos@uniovi.es

***Abstract* – Wide bandgap semiconductors have emerged as an attractive option for silicon (Si) replacement in the recent years. Among the new materials, gallium nitride (GaN) has been considered as the most promising candidate. This paper presents an overview of the GaN technology in power electronics. The review focuses on the main aspects of GaN transistors, such as electrical, thermal and economical characteristics. A comparison between Si and GaN switching devices in a family of synchronous buck converters designed for LED lighting applications is also presented. This comparison was performed using synchronous buck converters, designed under same parameters, at five different switching frequencies, ranging from 100 kHz to 1 MHz. Efficiency and temperatures were recorded. GaN based converters presented higher efficiency and lower operating temperatures in all cases, with a maximum efficiency of 96.8% and a minimum of 94.5%. Besides, Si-based converters exhibited a higher performance degradation as switching frequency and dead time increase.**

***Keywords* – GaN, Gallium Nitride, GaN Transistors, LEDs, Switching Power Supply.**

I. INTRODUCTION

Since the beginning of power electronics with the development of the mercury-arc rectifier, used in conversion from AC to DC in the railways of the 1920s [1], the world has been transformed by innovations provided by the ability to process energy through electronic circuits. However, only with the development of the silicon (Si) transistor in the 1940s [2], and especially the silicon metal-oxide field effect transistor (MOSFET) in the 1970s [3], the creation of more compact and efficient systems based on switching converters became possible.

It is estimated that, by 2030, 80% of the world's electricity will be, somehow, processed by switched converters [4]. Thereby, it is expected the power semiconductor market surpass $17B by 2020, driven, in particular, by the worldwide trend for more energy efficient devices [5].

The development of more efficient and compact circuits depends on improvements in the semiconductor devices used [6]. The increase of switching frequency has been a recurrent alternative because it allows the miniaturization of passive components in the circuit [7]. However, it is necessary to minimize losses in the semiconductors, since these are one of the major limiting factors in power converters [8].

Many advances have been made in Si semiconductor manufacturing technology, allowing circuits to boost their power density in a virtually linear trend, increasing about tenfold since they appeared in the market [9]. However, as Si technology approaches its theoretical limits of performance, the need for a substitute of the same relevance becomes more evident. The use of new wide bandgap semiconductors such as gallium nitride (GaN) is still rather modest. However, it is expected that this type of semiconductor will share up to 5% of the market in 2020 [5]. The substitution of Si by these new materials may result in substantial gains in converter performance in terms of efficiency, reliability, higher operating voltages and lower thermal management requirements [10], allowing the trend of miniaturization and efficiency increase of power electronics systems continue to evolve.

The replacement of Si MOSFETs by GaN-based devices in applications such as photovoltaic [11], [12], power factor correction [13], [14], audio power amplifiers [3] , envelope tracking [15], wireless energy transfer [16], [17], Light Distancing and Ranging (LiDAR) [18] and motor drivers [19] was already demonstrated.

In this scenario, the paper intends to highlight the potential of GaN to take Si's place in the electronic market in the near future through an overview of main properties and a performance comparison between both technologies.

This work is organized as follows: Section II presents a comparison of materials used in the fabrication of semiconductor devices, showing the relationship between each characteristic of the material and its influence in the produced device. The concept of theoretical limit for a semiconductor technology is also presented; GaN semiconductors and their types, characteristics and constructive aspects are discussed in Section III. Design challenges posed by the emergence of this new technology are introduced in Section IV. Section V shows economical aspects related with the development of GaN-based devices. An experimental comparison between Si- and GaN-based transistors in a DC-DC converter for lighting applications is made in Section VI. Finally, in Section VII, the conclusions of this paper are presented.

II. MATERIAL SELECTION FOR POWER SEMICONDUCTORS

The quality and characteristics of a semiconductor device are determined by the characteristics of the material used

Manuscript received 27/05/2017; first revision 17/07/2017; accepted for publication 18/09/2017, by recommendation of Editor Marcelo Cabral Cavalcanti.

in the fabrication process [3], [20]. Table I summarizes some of the key parameters of Si, SiC and GaN [3], [21]. These are some of the most commonly used materials in the power semiconductor industry. In the next subsections, each parameter will be discussed and its implications in the final device will be evaluated.

TABLE I
Properties of Si, SiC and GaN

Parameter	Symbol	Si	SiC	GaN
Bandgap (eV)	E_g	1.12	3.26	3.39
Electron mobility ($cm^2/V \cdot s$)	μ_n	1400	950	1500
Critical field (MV/cm)	E_{crit}	0.23	2.2	3.3
Permittivity	ε_r	11.8	9.7	9
Thermal conductivity ($W/cm \cdot K$)	λ	1.5	3.8	1.3
Melting point ($^\circ C$)	-	1414	2730	2500

A. Bandgap

Semiconductor materials, at absolute zero temperature (0K or -273.15°C), have all their electrons confined in the valence band, thus acquiring characteristics of an electrical insulator. Semiconductors can start conducting electricity, as the temperature increases, if their electrons absorb energy in order to surpass the valence band. The amount of energy required for the electrons to make this transition is called bandgap [22], [23].

This energy is related to the strength of the chemical bonds among atoms in the crystalline structure [22]. The stronger the bond, the harder it is for a free electron to move between atoms. Among the consequences of this phenomenon in power semiconductors, are the lower leakage currents and higher operating temperatures [3].

A larger bandgap allows a material to withstand higher electric fields, making possible to use a smaller semiconductor die for a given voltage. This has a direct impact on the characteristics of the device, as the smaller the die, the lower its electrical resistance and intrinsic capacitances. Consequently its efficiency will increase [21].

Materials with bandgap larger than 3 eV are commonly called wide bandgap semiconductors [6], [10], [24], [25].

B. Electron Mobility

Electron mobility represents the velocity in which an electron can move in the material lattice when propelled by an electrical field, expressed as:

$$\mu_n = \frac{\upsilon}{E} \tag{1}$$

where υ is the drift velocity of the material and E is the critical field applied.

The higher the electron mobility, the lower the resistance of the semiconductor [22]. As seen in Table I, GaN has the higher electron mobility. For this reason, GaN switches are commonly called GaN High Electron Mobility Transistors (GaN HEMTs).

C. Critical Field

The critical field represents the maximum electrical field the material withstands without causing avalanche breakdown [3]. For power semiconductors, this is directly related to the maximum blocking voltage V_{BR}, given as:

$$V_{BR} = \frac{1}{2} w_{drift} E_{crit} \tag{2}$$

where w_{drift} is the width of the drift region.

Due to its critical field more than ten times larger than Si, SiC and GaN semiconductors can be made with a drift region ten times smaller for the same blocking voltage [3]. Therefore, the distance between the transistor terminals can be drastically reduced, producing smaller devices with lower resistances and capacitances [25].

It is possible to evaluate the number of electrons N_D between the two terminals (assuming an N-type semiconductor) using the Poisson equation [3]:

$$N_D = \frac{\varepsilon_0 \varepsilon_r E_{crit}}{w_{drift} q}. \tag{3}$$

In this equation q is the charge of the electron ($1.6 \cdot 10^{-12}$ Coulombs) and ε_0 is the permittivity of free space.

Thus, according to (3), if a material has a critical field ten times higher and, therefore, a drift region ten times smaller, the number of electrons between the terminals can be 100 times higher. This explains the superior performance of large bandgap transistor when compared to traditional Si-based devices.

D. Theoretical Limits

One way to translate these material parameters into a device comparison is to evaluate the theoretical limits of a semiconductor material. The ideal on-resistance of a major carrier device (as presented by [3]) is given by:

$$R_{DS(on)} = \frac{w_{drift}}{q \mu_n N_D}. \tag{4}$$

Combining (2), (3) and (4), one can obtain the specific on-resistance or theoretical limit of a semiconductor technology, which is usually measured in $\Omega \cdot m^2$:

$$R_{on(sp)} = \frac{4 V_{BR}^3}{E_{crit}^3 \varepsilon_0 \varepsilon_r \mu_n}. \tag{5}$$

Equation (5) relates the maximum blocking voltage of a device with the resistance of a specific die area. These limits are shown in Figure 1 for Si, SiC and GaN along with the data of some devices of different technologies [26], [27].

It is clear that GaN has the best relationship between voltage and resistance. Although some Si-based devices were able to surpass its theoretical limits, this evolution took almost 30 years to occur. There are already SiC devices that exceed the best Si MOSFETs in terms of performance. These devices are, however, limited mostly to high voltage applications, mainly due to its production cost.

On the other hand, GaN devices have at the present time superior performance than their Si counterparts and are, still, in the early stages of development. This demonstrates all the potential of this new material to take Si place in the power electronics market in the future.

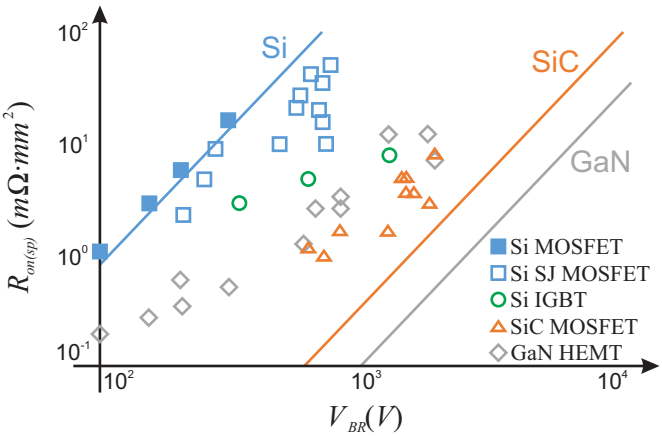


Fig. 1. Theoretical limits of Si, SiC and GaN with specific on-resistance of selected devices.

III. GALLIUM NITRIDE TRANSISTORS

The first advances in the manufacture of GaN-based transistors during the 90s were focused on radiofrequency (RF) applications [28], [29] being the high electron mobility effect of gallium nitride first demonstrated in 1975 [30]. The first GaN transistors for the RF market appeared in 2004, produced by the companies Eudyna Corporation, CREE, Nitronex and RFMD [3], [31], [32].

In 2005, the process of growth GaN crystals on Si substrates was developed, making it possible the mass production of these devices using the tools already available for the manufacturing of Si semiconductors [3].

The first GaN transistor specifically developed to replace Si MOSFETs in switched applications was developed in 2009 by Efficient Power Conversion [3]. In the same year, the cascode-type GaN transistor was developed, specifically aimed at higher voltage applications [33].

There are currently three types of GaN transistors for power electronics: depletion, enhancement and cascode. The first two are similar to traditional P- and N-type MOSFETs, respectively. The third type consists of a hybrid topology, since it comprises in the same package a Si MOSFET and a GaN HEMT, as it will be detailed below.

A. Depletion Mode

Depletion mode GaN transistors, or dGaN, are normally on devices, that is, current flows freely between drain and source terminals when no potential is applied to the gate terminal. To switch this type of device to off-state, a negative gate-source voltage needs to be applied [3].

Although having blocking voltages that can exceed 1kV [34], [35], in power electronics applications, this type of transistor is not recommended due to safety reasons. They are yet not commercially available as standalone devices, only demonstrated in academic papers [7], [36], [37] or used in conjunction with Si MOSFETs as it will be explained later on.

B. Enhancement Mode

Enhancement mode transistors, or eGaN, are normally off, that is, they do not present a path for conducting current between drain and source if no voltage is applied to the gate terminal [3].

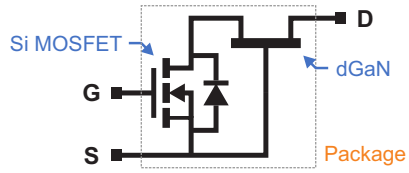


Fig. 2. Typical arrangement of a GaN-based cascode transistor.

This type of transistor has a lower threshold voltage $V_{GS(th)}$ than other semiconductors. Generally, commercial eGaNs allow a maximum driver voltage in the order of 7V [38]. For this reason, both the control circuit and the arrangement of the circuit components require special care to ensure proper operation of the switch.

C. Cascode

Cascode type transistors, or cGaN, are hybrids formed from the connection of a high-voltage dGaN transistor with a low-voltage Si MOSFET [33]. Figure 2 shows the schematic of this device.

This arrangement allows the development of a normally off semiconductor that withstand larger driver voltages (determined by the Si MOSFET used) [39]. The command signal is applied directly to the Si MOSFET, which controls the conduction of the GaN transistor. When in conduction, the current flows through both semiconductors and, when blocked, the voltage is applied on the GaN transistor.

In this configuration, the on-resistance of the low-voltage MOSFET is much lower than that of the GaN transistor, the latter having a dominant behavior in relation to conduction losses [39]. If a smaller voltage GaN transistor is used, the participation of the MOSFET in the on-resistance of the final semiconductor increases, eliminating the advantages of using a hybrid topology. For this reason, cascode transistors are only feasible for blocking voltages greater than 200V [3].

IV. DESIGN CHALLENGES

With the use of a new and still little explored technology, there is a need to deepen the techniques used in the design of the circuits in which these new products are inserted.

It is important to emphasize that GaN transistors have a lateral structure, that is, the conduction of the electrons between the terminals occurs in the horizontal plane, allowing the device terminals to be placed side by side in the semiconductor die [40]. Among the advantages of this arrangement are the lower capacitances of the device and the absence of wired connections between die and external terminals, drastically reducing the parasitic resistances and inductances of the device [37], [41].

Simple processes such as soldering become decisive in the operation of the converter, as in the case of the GaN transistors used in this paper, where most of the heat lost in the switch is dissipated on the printed circuit board through the terminals.

Moreover, despite guaranteeing lower switching losses and thus allowing higher switching frequencies, the lower capacitances of the GaN semiconductors also make them more sensitive to the parasitic components of the circuit in which they are inserted. In fact, as the switching frequency increases, the parasitic components inserted in the current path become

the limiting factor [42]. As demonstrated by [42], a 1.2 nH difference in the parasitic inductance in series with the switches of a synchronous buck can cause up to 75% increase in the peak voltage applied to the main switch of the converter.

Techniques such as the use of multilayer printed circuit boards and the insertion of decoupling capacitors under the switches are recommended by manufacturers in order to minimize the effects of circuit's parasitic inductances [38], [42].

V. TECHNOLOGY COST

One of the factors that determines the characteristics and, specially the cost of GaN transistors is the crystalline substrate in which the layers of GaN and other materials that constitute such devices are deposited [43]. Due to the compatibility of atomic structures, GaN substrates are the ideal choice for use in the fabrication process. However, the availability of material and manufacturing costs makes the use of GaN substrates uncommon [3]. In applications such as LEDs and RF transistors, sapphire substrates are widely used [44]. However, due mainly to its low thermal conductivity, this material is not commonly applied in transistors for power electronics. SiC on the other hand, presents excellent thermal and electrical properties [26]. Its cost, however, is quite high. In the last years, there has been an investment in the research and development of GaN semiconductors with Si substrates, allowing cost reduction by using the existing Si semiconductor production structure [3]. For this reason, the majority of commercially available GaN transistors is, nowadays, made with Si substrates.

Figure 3 highlights the key characteristics of Si and SiC as substrate for producing GaN HEMTs. Outer rings represent better characteristics for device fabrication.

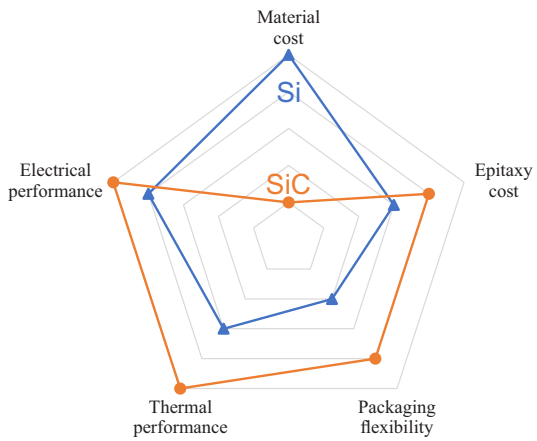


Fig. 3. Characteristics of Si and SiC as substrate for GaN transistors.

VI. PERFORMANCE COMPARISON

This section presents a comparison between Si and GaN devices in a family of synchronous buck converters used as drivers for a high power LED.

A previous version of this work was published by the authors in [45]. For this paper, the loss analysis was redone using the SIMETRIX/Simplis simulator due to its "efficiency analysis" tool.

A. Power Topology

The converter used in this work is a synchronous buck converter operating in continuous conduction mode (CCM). Five different switching frequencies were selected, 100 kHz, 250 kHz, 500 kHz, 750 kHz and 1 MHz. Figure 4 shows the converter circuit.

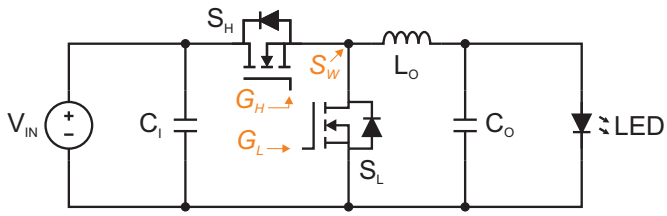


Fig. 4. Synchronous buck converter with LED load.

In order to establish a fair comparison between Si and GaN devices, two identical converters were built for each switching frequency, one with Si switches and one with GaN transistors.

Table II presents the main parameters of each converter. A Bridgelux BXRC-50C4000-F-24 power LED was used as load in all the cases.

TABLE II
Converters Specifications

Parameter	Symbol	Value
Input voltage (V)	V_{IN}	48
Output voltage (V)	V_{OUT}	28.3
Output current (A)	I_{OUT}	0.8
Output power (W)	P_{OUT}	22.6
Switching frequency (kHz)	f_{SW}	100-1000
Inductor current ripple (%)	ΔIL_O	30
Output voltage ripple (%)	ΔV_O	1

The Si-based converters use the IRF7492 MOSFET from International Rectifier while the GaN switches used in the prototypes are the enhancement mode EPC2012 from Efficient Power Conversion. These devices were selected because of their similarity, especially regarding the voltages and currents capabilities. Table III shows the main parameters of the semiconductors.

TABLE III
Switches Specifications

Parameter	IRF7492	EPC2012
Drain-source voltage (V)	200	200
Continuous drain current (A)	3.7	3
Maximum on-resistance (mΩ)	79	100
Typical on-resistance (mΩ)	64	70
Total gate charge (nC)	39	1.5
Package	SO8	LGA

In the synchronous buck converter, the switches operate in a complementary way with a dead time between the turn-off of one switch and the turn-on of the other. During this short period of time, current flows through the intrinsic diode of the low-side transistor. Gallium nitride devices are known for the lack of a p-n junction intrinsic body diode, but instead, they conduct current through the channel when reversed biased. This characteristic provides zero reverse recovery losses, but

adds a higher voltage drop (approximately twice the voltage drop of Si body diodes) when conducting during this interval.

In order to investigate the effects of this behavior in the converter performance, each prototype was tested with and without an external diode (MBR2H100 from On Semiconductor) connected in parallel with the low-side switch. Besides, two different dead time values were tested in each case, 25 ns and 50 ns.

The inductor and the input and output capacitors of the converters were designed according to the parameters presented before and the closest commercially available value was chosen in each case. For simplicity, the input capacitor value was set to match the output one.

The same printed circuit board (PCB) layout was used for both technologies at all frequencies, in order to minimize possible mismatches caused by parasitic components of the tracks, such as resistances and inductances. Due to different voltage levels of gate drivers, two separate PCBs were made for them. The connections between the driver board and the converter itself were made using spring-loaded pins. Figure 5 shows the built converters for Si (top) and GaN (bottom). As it can be observed, a generic footprint that can fit both SO8 and LGA packages was used for the transistors.

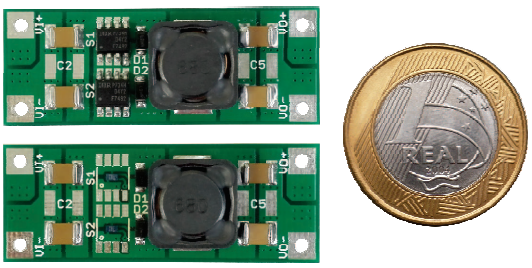


Fig. 5. Converter prototypes using Si (top) and GaN (bottom).

B. Driver Circuit

Two complementary PWM signals were used to drive the switches. These signals were generated by a Texas Instruments F28377S Digital Signal Processor with selectable frequency, duty cycle and dead time between both signals. The high precision PWM module was used to ensure accurate timings even at high frequencies. The above-mentioned parameters were set manually prior to operation in order to obtain the right output power at the load.

The silicon-based driver circuit uses the MAX15019 IC from Maxim Integrated with an external bootstrap diode used to reduce power dissipation inside the IC package. The supply voltage for the Si gate driver is 10 V. For the GaN driver, a LM5113 from National Semiconductor was chosen. This IC is specifically designed for enhancement mode GaN switches, as it provides a regulated high-side voltage to avoid damage to the semiconductors as the output load increases. The supply voltage for this driver is 5 V.

As stated earlier, the driver board was separated from the power board to keep the same layout. The layouts for the driver boards were designed to be as similar as possible. Figure 6 presents the gate drivers' circuits.

C. Measurement Setup

The overall efficiency was measured with a Yokogawa WT1800 Precision Power Analyzer, while the temperatures were recorded with a Fluke Ti32 Thermal Imaging Camera. The power consumption of the drivers was not considered.

The results were taken after thermal stabilization, which occurs usually after two minutes of operation. The only exceptions were the Si prototypes at 750 kHz and 1 MHz in which the high-side transistor reached a temperature that could potentially damage the device, so the test was stopped and the data logged when this switch temperature exceeded 100°C. No heatsink or air cooling system was used in any of the prototypes.

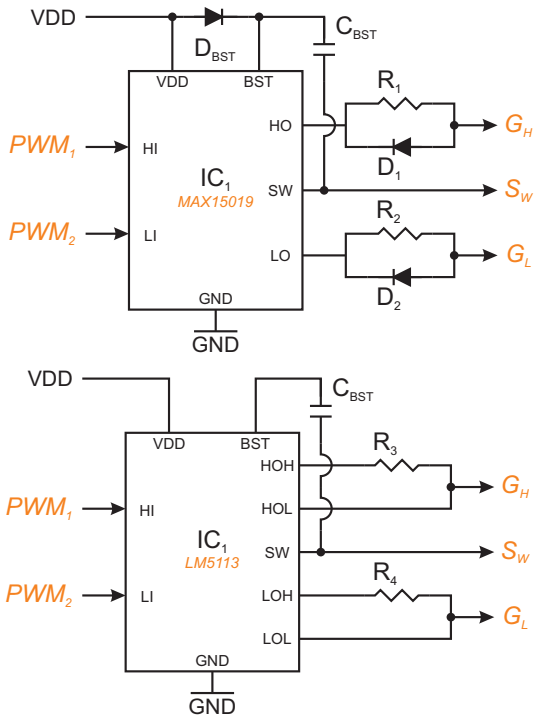


Fig. 6. Si (top) and GaN (bottom) driver circuits.

D. Experimental Results

Figure 7 shows the efficiency plots for the converters without and with the parallel diode, respectively. At 100 kHz, both semiconductors presented very similar performance. At higher frequencies however, where the switching losses are dominant, GaN devices exhibit better efficiency.

Furthermore, not only the GaN-based converters present higher efficiency in almost all scenarios, but also the performance decay when increasing the switching frequency is less significant in this type of semiconductor. Over the entire frequency range, from 100 kHz to 1 MHz, the difference between the highest and the lowest efficiency with GaN was only 2.3% in the worst case, with parallel diode and a 25 ns dead time. Without external diode, the difference was only 1.8% for the same dead time, yielding that despite GaN transistors have a higher reverse voltage drop than Si, the benefits of not having reverse recovery losses overcome this issue for applications where the switch has to conduct current reverse biased for a short period of time. For the Si-based converters, the efficiency decay was 5.4% and 4.5% under the

same conditions.

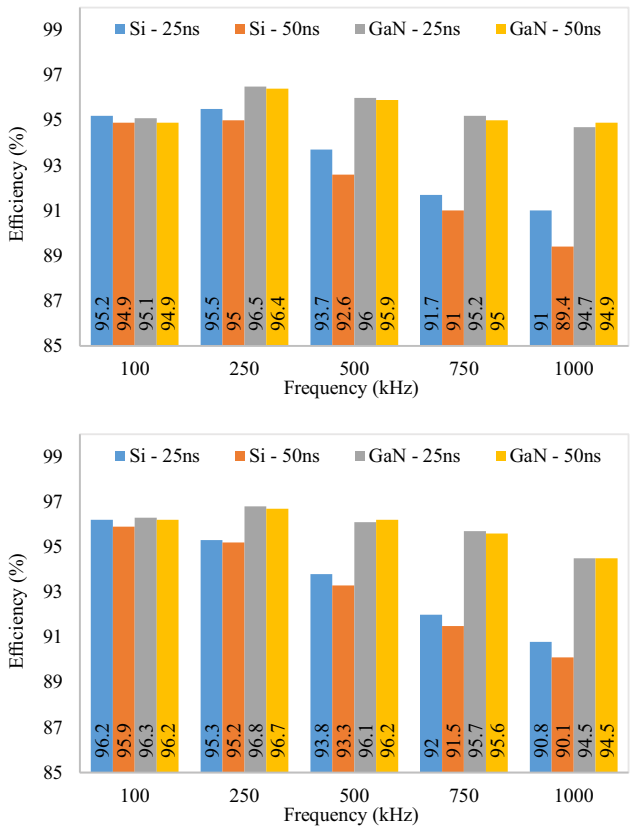


Fig. 7. Efficiency results of the tested converters without (top) and with (bottom) parallel diode.

E. Loss Analysis

The development of analytical models for GaN transistors is currently a key topic for high frequency converters. Different models with different levels of complexity were demonstrated in the past few years [41], [46]–[48]. Factors such as switching frequency, converter topology and parasitic elements play a major role in the circuit's behavior, directly impacting the model. This result in models that are only suited for one application and/or switching frequency.

As demonstrated by [47], the insertion of current and voltage probes in the circuit to measure the power loss, adds parasitic components into the power loop, modifying the switching behavior. For this reason, probes for measuring the dissipated power in each element of the converter were not included in the PCB. Thus, the power loss breakdown was obtained by simulation. SIMetrix/SIMPLIS simulator was chosen in order to obtain a better approximation of the components models near the operation point. SPICE models provided by the component manufacturers were used to extract the parameters used in simulation. The gate driver circuits were also modeled. Figure 8 presents the simulation results of the converter in one of the four tested cases, without the diode in parallel with the low side switch and a dead time of 25 ns. The absolute error between the simulation and experimental results was below 4.5% for all cases with an average of 2.65%. The components temperature was not considered in the simulation. As can be seen in Figure 8, the losses of the inductor play a major role in the overall efficiency for both Si and GaN switches at low frequencies, while switching losses become more pronounced as the frequency increases, especially in the Si-based converter. This yields that, despite having less on-resistance than GaN, the parasitic capacitances and inductances of the Si device result in decreasing the converter efficiency. Furthermore, in the GaN-based converter, the losses are better distributed in the circuit, especially at higher frequencies.

VII. CONCLUSIONS

Large bandgap semiconductors, such as SiC and especially GaN, have emerged in recent years as possible substitutes for Si devices so that power electronics can continue to exceed limits and increase the performance of static converters. In this way, higher power densities, higher operating frequencies and lower volumes can be achieved without sacrificing system efficiency.

Unlike Si devices, GaN semiconductors are still in their early stages of development, and still have a long way to go, both in terms of performance improvements and manufacturing costs. Despite having virtually no participation in the power electronics market, GaN semiconductors are already present in the academic environment in many applications. Their characteristics such as higher operating temperatures, lower intrinsic capacitances and higher blocking voltages capabilities make them promising candidates to replace Si in the next few years.

In addition, issues that are still little explored at local level, like layout choices and their implications on the final product still need to be improved. With this, the problems faced in the transition between switches from Si to GaN can be reduced.

Regarding the LED driver, the experimental comparison showed superior performance of GaN transistors in almost all tested cases. Despite having a higher on-resistance than the IRF7492, the smaller capacitances of the EPC2012 demonstrated that the switching losses play a major role in the overall efficiency of the converter, especially at higher frequencies.

The presented results highlight the potential of GaN for taking the silicon place in the power electronics market in the future. As the demand for more compact and efficient converter increases, the need for high performance devices also grows. Besides, the silicon technology is approaching its theoretical limits. Therefore, it creates an encouragement for the insertion of GaN devices in the market in the near future.

ACKNOWLEDGEMENTS

The authors gratefully acknowledge EPCOS Brazil and SIMPLIS Technologies, Inc. for their support during the development of this work. This work was supported by the Brazilian government through PROEX program, PRPGP/UFSM, INCT-GD, CNPq proc 465640/2014-1, CAPES proc 23038.000776/2017-54, FAPERGS proc 17/2551-0000517-1 and by the Spanish government under grant ENE2013-41491-R.

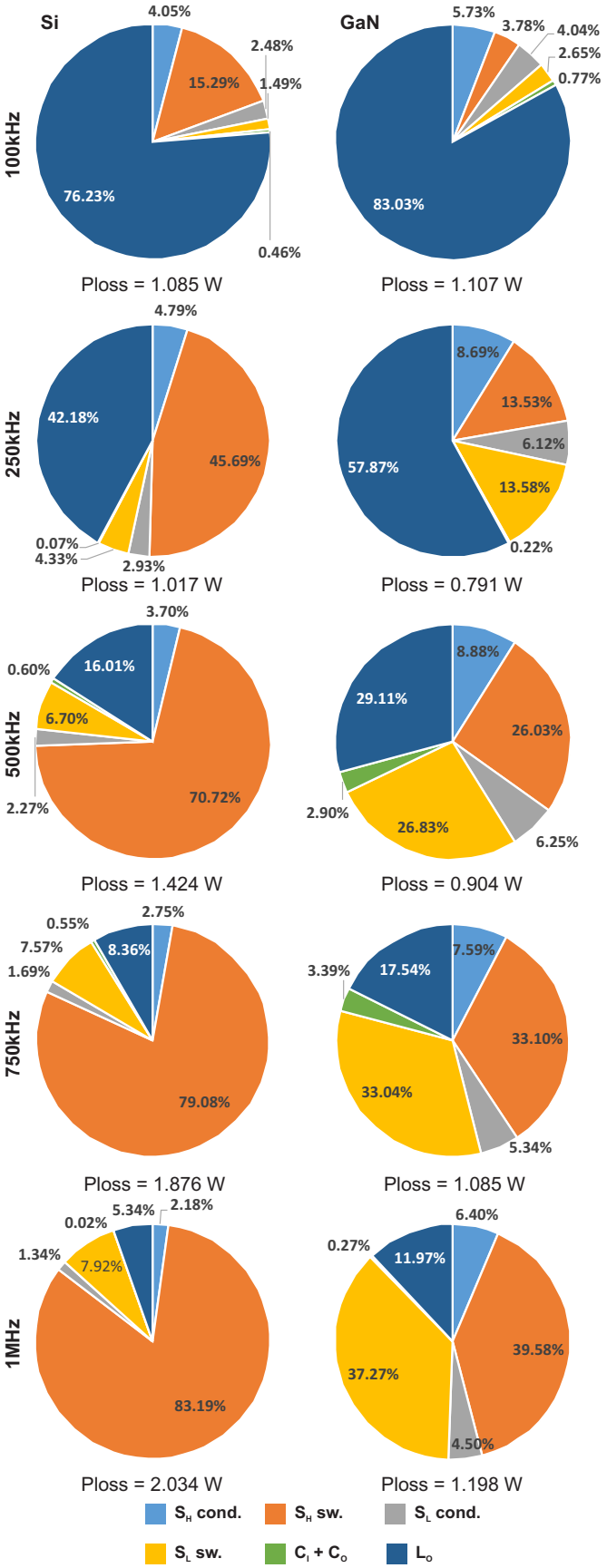


Fig. 8. Losses distribution. S_H *cond*. and S_L *cond*. are the conduction losses in the high and low side switches, respectively; S_H *sw.* and S_L *sw.* are the switching losses in the high and low side switches, respectively; $C_I + C_O$ is the total loss in the capacitors and L_O is the total inductor loss.

REFERENCES

[1] M. Duffy, "The mercury-arc rectifier and supply to electric railways", *Engineering Science & Education Journal*, vol. 4, no. 4, pp. 183–192, Aug. 1995.

[2] B. Baliga, "Trends in power semiconductor devices", *IEEE Transactions on Electron Devices*, vol. 43, no. 10, pp. 1717–1731, Oct. 1996.

[3] A. Lidow, J. Strydom, M. de Rooij, D. Reusch, *GaN Transistors for Efficient Power Conversion*, 2 ed., John Wiley & Sons Ltd, Chichester, Jul. 2014.

[4] T. D. Heidel, P. Gradzki, "Power devices on bulk gallium nitride substrates: An overview of ARPA-E's SWITCHES program", *in IEEE International Electron Devices Meeting*, pp. 2.7.1–2.7.4, 2014.

[5] P. Gueguen, "How power electronics will reshape to meet the 21st century challenges?", *in IEEE International Symposium on Power Semiconductor Devices & IC's (ISPSD)*, pp. 17–20, 2015.

[6] H. Ueda, M. Sugimoto, T. Uesugi, T. Kachi, "Wide-bandgap semiconductor devices for automobile applications", *in CS MANTECH Conference*, pp. 37–40, 2006.

[7] Y. Wu, M. Jacob-Mitos, M. L. Moore, S. Heikman, "A 97.8% Efficient GaN HEMT Boost Converter With 300-W Output Power at 1 MHz", *IEEE Electron Device Letters*, vol. 29, no. 8, pp. 824–826, Aug. 2008.

[8] J. Xue, L. Cong, H. Lee, "A 130 W 95%-efficiency 1 MHz non-isolated boost converter using PWM zero-voltage switching and enhancement-mode GaN FETs", *in IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 471–475, 2014.

[9] H. Wang, *Investigation of Power Semiconductor Devices for High Frequency High Density Power Converters*. PhD Thesis, Virginia Polytechnic Institute and State University, Blacksburg, USA, 2007.

[10] L. M. Tolbert, B. Ozpineci, S. K. Islam, M. S. Chinthaval, "Wide bandgap semiconductors for utility applications", *in Power and Energy Systems (PES)*, pp. 1–5, 2003.

[11] M. J. Scott, K. Zou, E. Inoa, R. Duarte, Y. Huang, J. Wang, "A Gallium Nitride switched-capacitor power inverter for photovoltaic applications", *in IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 46–52, 2012.

[12] Y. Zhou, L. Liu, H. Li, "A High-Performance Photovoltaic Module-Integrated Converter (MIC) Based on Cascaded Quasi-Z-Source Inverters (qZSI) Using eGaN FETs", *IEEE Transactions on Power Electronics*, vol. 28, no. 6, pp. 2727–2738, Jun. 2013.

[13] C.-Y. Lin, Y.-C. Liu, H.-J. Chiu, Y.-K. Lo, C.-Y. Lin, P.-J. Tseng, S.-J. Cheng, "Study on an interleaved buck power factor corrector with gallium nitride field effect transistor and integrated inductor", *IET Power Electronics*, vol. 7, no. 10, pp. 2506–2516, Oct. 2014.

[14] Z. Liu, F. C. Lee, Q. Li, Y. Yang, "Design of GaN-Based MHz Totem-Pole PFC Rectifier", *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 4, no. 3, pp. 799–807, Sep. 2016.

[15] D. Cucak, M. Vasic, O. Garcia, J. A. Oliver, P. Alou, J. A. Cobos, "Application of eGaN FETs for highly efficient Radio Frequency Power Amplifier", *in International Conference on Integrated Power Electronics Systems (CIPS)*, vol. 9, pp. 1–6, 2012.

[16] M. A. de Rooij, J. T. Strydom, "eGaN FETs in Low Power Wireless Energy Converters", *ECS Transactions*, vol. 50, no. 3, pp. 377–388, Mar. 2013.

[17] W. Chen, R. A. Chinga, S. Yoshida, J. Lin, C. Chen, W. Lo, "A 25.6 W 13.56 MHz wireless power transfer system with a 94% efficiency GaN Class-E power amplifier", *in IEEE/MTT-S International Microwave Symposium Digest*, pp. 1–3, 2012.

[18] J. Glaser, "How GaN Power Transistors Drive High-Performance Lidar: Generating ultrafast pulsed power with GaN FETs", *IEEE Power Electronics Magazine*, vol. 4, no. 1, pp. 25–35, Mar. 2017.

[19] T. B. Soeiro, T. K. Jappe, W. M. dos Santos, D. C. Martins, M. L. Heldwein, "Propulsion and battery charging systems of an all-electric boat fully constructed with interleaved converters employing interphase transformers and Gallium Nitride (GaN) power FET semiconductors", *in IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 3212–3217, 2014.

[20] F. Medjdoub, M. Zegaoui, D. Ducatteau, N. Rolland, P. Rolland, "First AlN/GaN HEMTs power measurement at 18 GHz on Silicon substrate", *in Device Research Conference*, vol. 98, pp. 219–220, 2011.

[21] R. Stevenson, "Power electronics' cool new flavor", *IEEE Spectrum*, vol. 53, no. 4, pp. 11–12, Apr. 2016.

[22] S. Sze, K. K. Ng, *Physics of Semiconductor Devices*, 3 ed., John Wiley & Sons, Inc., Hoboken, Oct. 2007.

[23] B. Van Zeghbroeck, *Principles of Semiconductor Devices and Heterojunctions*, 1 ed., Prentice Hall, 2009.

[24] A. Elasser, T. Chow, "Silicon carbide benefits and advantages for power electronics circuits and systems", *Proceedings of the IEEE*, vol. 90, no. 6, pp. 969–986, Jun. 2002.

[25] J. Hudgins, G. Simin, E. Santi, M. Khan, "An assessment of wide bandgap semiconductors for power devices", *IEEE Transactions on Power Electronics*, vol. 18, no. 3, pp. 907–914, May 2003.

[26] D. C. Sheridan, D. Y. Lee, A. Ritenour, V. Bondarenko, J. Yang, C. Coleman, "Ultra-Low Loss 600V-1200V GaN Power Transistors for High Efficiency Applications 650V GaN Device Performance and Comparisons", *in International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe)*, pp. 318–324, 2014.

[27] A. Guerra, J. Zhang, "GaN Power Devices for Micro Inverters", *Power Electronics Europe*, no. 4, pp. 28–31, Jun. 2010.

[28] U. Mishra, P. Parikh, Yi-Feng Wu, "AlGaN/GaN HEMTs-an overview of device operation and applications", *Proceedings of the IEEE*, vol. 90, no. 6, pp. 1022–1031, Jun. 2002.

[29] R. S. Pengelly, S. M. Wood, J. W. Milligan, S. T. Sheppard, W. L. Pribble, "A Review of GaN on SiC High Electron-Mobility Power Transistors and MMICs", *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, no. 6, pp. 1764–1783, Jun. 2012.

[30] T. Mimura, N. Yokoyama, H. Kusakawa, K. Suyama, M. Fukuta, "MP-A4 GaAs MOSFET for low-power high-speed logic applications", *IEEE Transactions on Electron Devices*, vol. 26, no. 11, pp. 1828–1828, Nov. 1979.

[31] G. Meneghesso, G. Verzellesi, F. Danesin, F. Rampazzo, F. Zanon, A. Tazzoli, M. Meneghini, E. Zanoni, "Reliability of GaN High-Electron-Mobility Transistors: State of the Art and Perspectives", *IEEE Transactions on Device and Materials Reliability*, vol. 8, no. 2, pp. 332–343, Jun. 2008.

[32] H. Sano, K. Otobe, Y. Tateno, N. Adachi, S. Mizuno, A. Kawano, J. Nikaido, S. Sano, "A 1.8-2.3GHz Wide-band and Compact Power Amplifier Module Using AlGaN/GaN HEMTs", *in Asia-Pacific Microwave Conference Proceedings*, vol. 2, pp. 1–4, 2005.

[33] M. Murphy, "Cascode Circuit Employing a Depletion-mode, GaN-based FET", US Patent 7,501,670 B2, Mar. 10, 2009.

[34] N. Ikeda, S. Kaya, J. Li, T. Kokawa, Y. Satoh, S. Katoh, "High-power AlGaN/GaN HFETs on Si substrates", *in International Power Electronics Conference (IPEC)*, 34, pp. 1018–1022, 2010.

[35] N. Kaneko, O. Machida, M. Yanagihara, S. Iwakami, R. Baba, H. Goto, A. Iwabuchi, "Normally-off AlGaN/GaN HFETs using NiOx gate with recess", *in IEEE International Symposium on Power Semiconductor Devices & IC's (ISPSD)*, pp. 25–28, 2009.

[36] M. Rodriguez, Y. Zhang, D. Maksimovic, "High-Frequency PWM Buck Converters Using GaN-on-SiC HEMTs", *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 2462–2473, May 2014.

[37] J. Zhang, *Bidirectional DC-DC Power Converter Design Optimization, Modeling and Control*. PhD Thesis, Virginia Polytechnic Institute and State University, Blacksburg, USA, 2008.

[38] D. Reusch, M. de Rooij, "Evaluation of gate drive overvoltage management methods for enhancement mode gallium nitride transistors", *in IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 2459–2466, 2017.

[39] X. Huang, Z. Liu, Q. Li, F. C. Lee, "Evaluation and Application of 600 V GaN HEMT in Cascode Structure", *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 2453–2461, May 2014.

[40] G. Deboy, W. Kaindl, U. Kirchner, M. Kutschak, E. Persson, M. Treu, "Advanced Silicon Devices - Applications and Technology Trends", *in IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 1–28, 2015.

[41] O. Khan, F. F. Edwin, Weidong Xiao, "Loss modeling for enhancement mode gallium nitride field efect transistor in power converter applications", *in Annual Conference of the IEEE Industrial Electronics Society (IECON)*, pp. 7181–7186, 2013.

[42] D. Reusch, J. Strydom, "Understanding the Effect of PCB Layout on Circuit Performance in a High-Frequency Gallium-Nitride-Based Point of Load Converter", *IEEE Transactions on Power Electronics*, vol. 29, no. 4, pp. 2008–2015, Apr. 2014.

[43] D. Smith, S.-C. Tsen, B. Sverdlov, G. Martin, H. Morkoç, "Stacking mismatch boundaries in GaN: Implications for substrate selection", *Solid-State Electronics*, vol. 41, no. 2, pp. 349–352, Feb. 1997.

[44] S. A. Kukushkin, A. V. Osipov, V. N. Bessolov, B. K. Medvedev, V. K. Nevolin, K. A. Tcarik, "Substrates for epitaxy of gallium nitride: New materials and techniques", *Reviews on Advanced Materials Science*, vol. 17, no. 1-2, pp. 1–32, Apr. 2008.

[45] R. R. Duarte, G. F. Ferreira, M. A. Dalla Costa, J. M. Alonso, "Performance comparison of Si and GaN transistors in a family of synchronous buck converters for LED lighting applications", *in IEEE Industry Applications Society Annual Meeting*, pp. 1–7, 2016.

[46] K. Shah, K. Shenai, "Simple and Accurate Circuit Simulation Model for Gallium Nitride Power Transistors", *IEEE Transactions on Electron Devices*, vol. 59, no. 10, pp. 2735–2741, Oct. 2012.

[47] J. Brandelero, B. Cougo, T. Meynard, N. Videau, "A non-intrusive method for measuring switching losses of GaN power transistors", *in Annual Conference of the IEEE Industrial Electronics Society (IECON)*, pp. 246–251, 2013.

[48] W. Kangping, Y. Xu, Z. Xiangjun, Y. Xiaoling, L. Hongchang, G. Yixuan, G. Bing, M. Huan, "Analytical loss model of low voltage enhancement mode GaN HEMTs", *in IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 100–105, 2014.

BIOGRAPHIES

Renan Rodrigo Duarte, born in Santo Augusto, Brazil, in 1992. He received his bachelor and master degree in Electrical Engineering from the Federal University of Santa Maria in 2015 and 2017, respectively. He is currently working towards his Doctorate degree at the same institution. He is member of the IEEE and is currently the vice-chair of the Student Branch and IAS Student Branch Chapter of IEEE at the Federal University of Santa Maria.

Guilherme Farias Ferreira, born in Quaraí, Brazil, in 1994. He is currently working toward the B.S. degree in electrical engineering at the Federal University of Santa Maria (UFSM), Santa Maria, Brazil. He took part in industrial activities with STEMAC Group of Generators, Porto Alegre, Brazil, and since 2011, he has been with the Electronic Ballast Research Group (GEDRE), UFSM, where he is currently a Researcher. His research activities include the illumination field, mainly involving the use of LEDs.

Marco Antonio Dalla Costa, born in Santa Maria, Brazil, in 1978. He received the B.S. and M.Sc. degrees in electrical engineering from the Federal University of Santa Maria, Brazil, in 2002 and 2004, respectively, and the Ph.D. degree (with honors) in electrical engineering from the University of Oviedo, Gijón, Spain, in 2008. From 2008 to 2009 he was Associate Professor at the Universidade de Caxias do Sul, Brazil. Since 2009 he is Associate Professor at the Federal University of Santa Maria, Brazil. Dr. Dalla Costa is coauthor of more than 50 journal papers and more than 100 international conference papers, he is holder of 2 Spanish patents, and he is the Vice-Chair of the Industrial Lighting and Displays Committee (ILDC) from IAS-IEEE. He also serves as reviewer for several IEEE Journal and Conferences in the field of power electronics. His research interests include dc/dc converters, power factor correction, lighting systems, high-frequency electronic ballasts, discharge-lamp modeling, light-emitting-diode systems, renewable energy systems, and solid state transformers.

Carlos Henrique Barriquello, born in Três Passos, RS, Brazil, in 1984. He received the B.Sc., M.Sc. and Ph.D. degrees in electrical engineering from Federal University of Santa Maria in 2007, 2009 and 2012, respectively. Since 2012, he has been Adjunct Professor in the Electronics and Computing Department at the Federal University of Santa Maria, Brazil. Also, he has been a Researcher with the Electronic Ballast Research Group (GEDRE), Federal University of Santa Maria, since 2008. His research interests include embedded and real-time systems, wireless sensor and actuator networks, lighting systems, and visible light communications.

José Marcos Alonso, received the M. Sc. Degree and Ph. D. both in electrical engineering from the University of Oviedo, Spain, in 1990 and 1994 respectively. Since 2007, he is a full Professor of the Electrical Engineering Department of the University of Oviedo. Prof. Alonso is co-author of more than 370 journal and conference publications, including 90 publications in highly referenced journals. His research interests include electronic lighting, dc-dc converters, power factor correction, resonant inverters and power electronics in general. He is the holder of 7 Spanish patents. Prof. Alonso holds 7 IEEE awards. He serves as an Associate Editor of the IEEE Transactions on Power Electronics and IEEE Journal on Emerging and Selected Topics on Power Electronics. He is currently Chair of the IEEE IAS Industrial Lighting and Displays Committee. He is also serving as Chair of the IAS Awards Department and IAS Newsletter Editor.

CONTROLE RESSONANTE APLICADO NA REDUÇÃO DA CAPACITÂNCIA DE BARRAMENTO EM UM CONVERSOR DUPLO BUCK-BOOST INTEGRADO PARA ACIONAMENTO DE LEDS

Paulo Cesar Vargas Luz[1], Jhonatan Antônio Cassol[1], Matheus Farencena Righi[1], Gabriel da Silva Vargas[1], Ricardo Nederson do Prado[1], André Luís Kirsten[2]
[1]Universidade Federal de Santa Maria, Santa Maria - RS, Brasil
[2]Universidade Federal de Santa Catarina, Florianópolis - SC, Brasil
e-mail: paulocesarluz@gedre.ufsm.br

***Resumo* – Este trabalho propõe uma técnica para a redução da capacitância de barramento em topologias de estágios de potência integrados aplicada ao acionamento de LEDs. Esta redução é possível através de um controlador Proporcional Integral Ressonante. Mesmo com a redução do capacitor de barramento, a ondulação da corrente nos LEDs é mantida constante e dentro dos limites recomendados pela IEEE Std 1789. É abordada a distorção da corrente de entrada devido à aplicação do controle, visando à concordância com a norma internacional IEC 61000-3-2 classe C para equipamentos de iluminação. São apresentados os resultados experimentais de um protótipo dedicado a acionar 32 LEDs com 700 mA, com o intuito de validar e avaliar a viabilidade da técnica proposta.**

***Palavras-Chave* – Conversores Integrados, Correção do Fator de Potência, Iluminação Semicondutora, Redução de Capacitâncias.**

RESONANT CONTROL APPLIED TO BUS CAPACITANCE REDUCTION IN INTEGRATED DOUBLE BUCK-BOOST FOR LED DRIVER

***Abstract* – This work presents a new technique aiming the reduction of the bus capacitance in topologies with integrated power stages to feed LEDs. This reduction is possible through the application of a Proportional Integral Resonant controller. Even with the bus capacitor reduction the LEDs current ripple is kept constant and within the limits recommended by the IEEE. The input current distortion due to the control law is also addressed, aiming at compliance with the standard IEC 61000-3-2, Class C. The experimental results are presented for an LED driver prototype devised to supply 700 mA to a string of 32 high-power LEDs, which has been implemented to prove the good performance and the feasibility of the proposed technique.**

***Keywords* – Capacitance Reduction, Integrated Converters, LEDs, Power Factor Correction.**

Artigo submetido em 27/06/2017. Primeira revisão em 12/08/2017. Aceito para publicação em 02/10/2017 por recomendação do Editor Marcelo Cabral Cavalcanti.

I. INTRODUÇÃO

Os diodos emissores de luz (LEDs) estão gradualmente se tornando a principal fonte de iluminação artificial nas mais diversas aplicações. Este fato se dá pelas características altamente atrativas desses semicondutores, quando comparado com as demais fontes artificiais de luz. Dentre estas características, destacam-se a elevada eficácia luminosa, pequeno tamanho, robustez, rápida resposta luminosa, elevado índice de reprodução de cores e elevada vida útil [1]-[3].

Em muitas aplicações, tais como iluminação pública e de exteriores, a vida útil e a baixa manutenção são certamente o principal atrativo. É estimado que a vida útil dos LEDs alcance 50.000 horas [4]. No entanto, os sistemas eletrônicos dedicados ao acionamento desses semicondutores (*drivers*) utilizam capacitores eletrolíticos. Esta tecnologia de capacitores possui reduzida vida útil, quando comparada à dos LEDs, cerca de 10.000 horas. Estes componentes, ainda são responsáveis por 50% das falhas em sistemas eletrônicos [5], [6]. Estes fatores implicam na limitação da vida útil dos *drivers* muito abaixo daquela dos LEDs.

Estes *drivers* utilizam capacitores eletrolíticos devido à grande diferença entre o valor instantâneo da potência de entrada e a potência de saída, como ilustrado na Figura 1. Esta grande diferença ocorre devido a duas características buscadas. Na entrada, é exigida uma corrente aproximadamente senoidal, com conteúdo harmônico limitado pela norma IEC 61000-3-2 classe C [7]. Na saída a corrente nos LEDs deve possuir pequena ondulação, para minimizar a ocorrência de cintilamento e danos à saúde [8], [9].

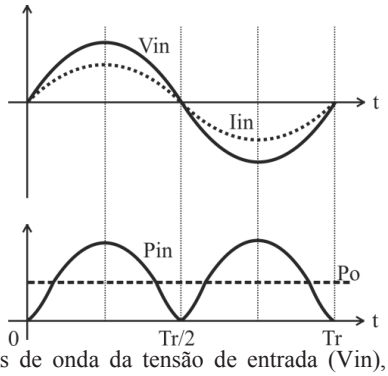


Fig. 1. Formas de onda da tensão de entrada (Vin), corrente de entrada (Iin), potência de entrada (Pin) e potência de saída (Po).

Com o intuito de solucionar este problema de incompatibilidade entre a vida útil dos *drivers* e dos LEDs, é buscada a substituição dos capacitores eletrolíticos por outras tecnologias, com maior vida útil. No entanto, capacitores de maior vida útil, como os de filme, apresentam menor relação entre volume e tensão de operação. Além disso, estes capacitores, geralmente, não possuem elevados valores de capacitância.

Muitos trabalhos vêm sendo publicados visando reduzir do valor da capacitância de barramento em *drivers* para LEDs. Esta redução tem por objetivo possibilitar a substituição dos capacitores eletrolíticos destes sistemas.

Soluções apresentadas em [10]-[12] se baseiam no controle da corrente de entrada, seguindo uma referência distorcida. Isto implica na redução da diferença entre os valores instantâneos da potência de entrada e saída do *driver*. Esta solução demanda duas malhas de controle, uma rápida para o controle da corrente de entrada e outra lenta, para o controle da tensão de saída.

Outra solução é a conexão em cascata de conversores [13], [14], com um estágio dedicado à correção do fator de potência (estágio PFC) e outro para o controle de potência (estágio PC). Esta solução utiliza uma malha de controle para a corrente de entrada, com referência senoidal distorcida, e outra malha de controle para manter o valor médio da corrente nos LEDs.

Em [15] e [16] é proposta a conexão otimizada de conversores, um deles dedicado à correção do fator de potência e outro processando apenas a ondulação de baixa frequência do primeiro conversor. Em [17] é proposta uma técnica ativa para a compensação da ondulação da corrente nos LEDs para reduzir o valor do capacitor de barramento. Através da modulação da razão cíclica de um conversor de estágios integrados os autores foram capazes de reduzir o valor da capacitância de barramento em 46,3%.

Nesse trabalho é apresentada uma nova técnica para reduzir o valor do capacitor de barramento de topologias com estágios de potência integrados. É proposto um controle proporcional integral ressonante (PIR) para a corrente nos LEDs. Esta técnica de controle garante baixa ondulação da corrente de saída e ainda o valor médio da mesma. Desta forma, o valor do capacitor de barramento pode ser reduzido, sem que altere a ondulação da corrente nos LEDs.

Através dessa proposta de controle aplicada a redução da capacitância de barramento, é possível obter reduções de quase o dobro de outras soluções apresentadas na literatura. Isto é realizado apenas com alteração na lei de controle do conversor, sem a adição de circuitos extras para o processamento de energia. No entanto, a magnitude de aplicação dessa solução é limitada pela distorção máxima da corrente de entrada, dada pela IEC 61000-3-2.

A metodologia de projeto, bem como os resultados obtidos são discutidos nas próximas seções, organizadas como segue. Na Seção II é apresentada a metodologia de projeto do conversor integrado duplo *Buck-Boost* (IDBB). A Seção III apresenta a técnica de controle proposta e o projeto do compensador. A Seção IV apresenta os resultados experimentais que validam a metodologia proposta. Por fim, na Seção V são feitas as considerações finais e uma discussão acerca dos resultados obtidos.

II. PROJETO DO CONVERSOR INTEGRADO DUPLO *BUCK-BOOST* (IDBB)

O conversor utilizado é o resultado da integração de dois conversores *Buck-Boost* operando com mesma frequência e razão cíclica. Cada um destes conversores é dedicado a um dos estágios de potência, e a topologia integrada é apresentada na Figura 2, obtida através do método descrito em [14]. Este conversor foi escolhido devido a sua simplicidade e ainda por não possuir restrições quanto à escolha da tensão de barramento para que possua reduzida THD [18]. A metodologia de projeto mostrada aqui é uma alternativa para àquela apresentada em [17] e [19], propondo um método diferente para o projeto dos capacitores de barramento e saída do *driver*. Esta metodologia consiste na definição da ondulação da tensão de barramento em função da ondulação da corrente nos LEDs através da função de transferência do conversor, e não pelo ganho estático [17], [19].

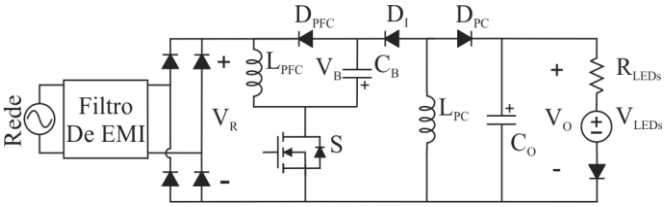


Fig. 2. Conversor integrado duplo *Buck-Boost* (IDBB).

A. Projeto do Indutor PFC (L_{PFC})

O indutor do estágio de entrada do conversor (PFC) é projetado através da definição do valor médio da potência de entrada [17], e pode ser resumida em:

$$L_{PFC} = \frac{D^2\, V_P{}^2 \eta_{TOTAL}}{4\, P_O\, f_S} \tag{1}$$

onde D é o valor da razão cíclica, definida de tal forma a garantir o modo de condução descontínua de ambos os estágios de potência. V_P é o valor de pico da tensão de entrada, P_O é o valor da potência de saída e f_S é a frequência de comutação do *driver*. Ainda, η_{TOTAL} é o valor do rendimento total esperado.

B. Projeto do Indutor PC (L_{PC})

Através da definição do valor médio da potência processada pelo estágio de controle de potência (PC) é possível determinar o valor do indutor L_{PC} por:

$$L_{PFC} = \frac{D^2\, V_B{}^2 \eta_{PC}}{2\, P_O\, f_S} \tag{2}$$

onde V_B é o valor médio da tensão de barramento definida pelo projetista, e η_{PC} é o rendimento estimado para o estágio de controle de potência.

C. Projeto do Capacitor de Saída (C_O)

O valor do capacitor de saída pode ser encontrado através de:

$$C_O = \frac{1}{\Delta Vo_{HF}} \int_{t_{O1}}^{t_{O2}} i_{co}(t)dt \quad (3)$$

onde ΔVo_{HF} é a ondulação em alta frequência da corrente nos LEDs. Os limites de integração (t_{O1} e t_{O2}) e a equação que descreve a corrente no capacitor ($i_{CO}(t)$) no intervalo de integração são dados respectivamente por:

$$t_{O1} = D\,T_S \quad (4)$$

$$t_{O2} = \frac{V_B}{V_o} D\,T_S - \frac{I_o}{V_o} L_{PC} + t_{O1} \quad (5)$$

$$i_{CO}(t) = \frac{V_B D}{L_{PC}} T_S - \frac{V_o}{L_{PC}}(t - DT_S) - I_o \quad (6)$$

onde I_O é valor médio da corrente de saída, T_S é o período de comutação, e V_o é o valor médio da tensão de saída do *driver*.

A ondulação da tensão de saída (ΔVo_{HF}) é dada por:

$$\Delta Vo_{HF} = \Delta io_{HF} R_{LEDs} \quad (7)$$

onde R_{LEDs} é a resistência equivalente do modelo da carga LED. Δio_{HF} é a ondulação na frequência de comutação da corrente nos LEDs, este valor é sugerido por [8] e [9] e é dado por:

$$\Delta io_{HF} = 2\,Mod\%(f)\,I_o \quad (8)$$

$$Mod\%(f) = 0{,}0333f \quad (9)$$

onde *Mod%(f)* é o valor da modulação da corrente nos LEDs na frequência *f*.

D. Projeto do Capacitor de Barramento (C_B)

O capacitor de barramento é projetado para filtrar a ondulação da tensão de barramento no dobro da frequência de alimentação do conversor, isto é, em baixa frequência (120 Hz). Como mostrado em [17] e [19], este capacitor é definido por:

$$C_B = \frac{D^2 {V_P}^2}{8\pi\, V_B\, L_{PFC}\, f_S\, f_R\, \Delta V_B} \quad (10)$$

onde f_R é o valor da frequência da rede.

No entanto, o valor da ondulação máxima da tensão de barramento, ΔV_B, é definido de uma forma diferente do que nestas referências.

Para definir o valor da ondulação da tensão de barramento, a função de transferência que relaciona as perturbações na tensão da saída com as perturbações na tensão de barramento deve ser considerada:

$$G_{\Delta vo \Delta vb}(s) = \frac{\Delta vo(s)}{\Delta vb(s)} = \frac{\dfrac{V_B D^2}{V_O\, L_{PC}\, C_O\, f_S}}{s + \left(\dfrac{1}{R_{LEDs}\, C_O} + \dfrac{{V_B}^2 D^2}{2\, {V_o}^2 f_S\, L_{PC}\, C_O}\right)} \quad (11)$$

Esta consideração é feita porque a ondulação de baixa frequência da tensão de saída é definida pela ondulação na mesma frequência da corrente nos LEDs. E a ondulação da corrente de saída é limitada pelas recomendações de [8] e [9].

Este novo método considera que a ondulação da tensão de barramento é uma componente CA e, assim, não pode ser definido pelo ganho estático do conversor [17], [19]. O ganho estático relaciona apenas o valor CC, isto é, o valor médio do sinal. E então não pode ser utilizado para determinar a ondulação da tensão de barramento.

De (11) é obtida (12) que descreve o valor da ondulação da tensão de barramento, isto é, a parcela CA desta tensão:

$$\Delta vb(s) = \frac{\Delta vo(s)}{G_{\Delta vo \Delta vb(s)}} \quad (12)$$

sendo a ondulação em baixa frequência da tensão de saída dada por:

$$\Delta vo(s) = -\frac{\Delta io_{LF} R_{LEDs}}{2}\left(\frac{2w_R}{s^2 + (2w_R)^2}\right) \quad (13)$$

onde Δio_{LF} é a ondulação em baixa frequência (120 Hz) da corrente de saída, sugerida por [8] e [9]. O valor w_R é a frequência angular da rede ($w_R = 2\,\pi\, f_R$).

Substituindo (13) em (12) obtém-se a equação que descreve a ondulação da tensão de barramento, componente CA, no domínio da frequência:

$$\Delta vb(s) = \frac{-\dfrac{\Delta io_{LF} R_{LEDs}}{2}\left(\dfrac{2w_R}{s^2 + (2w_R)^2}\right)}{\dfrac{\dfrac{V_B D^2}{V_O\, L_{PC}\, C_O\, f_S}}{s + \left(\dfrac{1}{R_{LEDs}\, C_O} + \dfrac{{V_B}^2 D^2}{2\, {V_o}^2 f_S\, L_{PC}\, C_O}\right)}} \quad (14)$$

Fazendo a transformada inversa de Laplace de (14) encontra-se a equação que descreve a ondulação da tensão de barramento no domínio do tempo. Aplicando o teste da derivada primeira encontra-se o instante t_{MAX} em que ocorre o valor máximo desta equação, isto é, o valor de pico da parcela CA da tensão de barramento. Assim, a ondulação da tensão de barramento em 120 Hz pode ser dada por:

$$\Delta V_B = 2\Delta vb(t_{MAX}) \quad (15)$$

onde $\Delta vb(t_{MAX})$ é o valor de pico da parcela CA da tensão de barramento.

Um *driver* para alimentar 32 LEDs com corrente média de 700 mA foi projetado seguindo esta metodologia apresentada. A Tabela I apresenta os principais parâmetros de projeto e a Tabela II apresenta os principais resultados do projeto.

TABELA I
Especificações de Projeto

Tensão de entrada	220V RMS, 60Hz
Corrente de saída	Io = 700 mA
LEDs	32 x LUXEON Rebel
	R_{LEDa} = 0,66 Ω (cada)
	V_{LEDs} = 2,73 V (cada)
Frequência de Comutação	f_S = 80 kHz
Tensão de Barramento	V_B = 200 V
Razão cíclica	D = 0.3

TABELA II
Resultados de Projeto

Descrição	Símbolo	Valor
Indutor do estágio PFC	L_{PFC}	381 µH
Indutor do estágio PC	L_{PC}	315 µH
Capacitor de Barramento (Nominal)	C_B	103 µF
Capacitor de Saída	C_O	10 µF
MOSFET	S	FQA8N100C
Diodos	$D_{1\text{-}7}$	UF 5408
Indutor do Filtro	Lf	1,8 mH
Capacitor do Filtro	Cf	220 nF

III. TÉCNICA DE CONTROLE PROPOSTA

Normalmente os sistemas de controle em *drivers* para LEDs são dedicados a assegurar apenas o valor médio da corrente de alimentação desses semicondutores. Este trabalho propõe utilizar a malha de controle para controlar também a ondulação em baixa frequência dessa corrente. E, assim, tornar possível a redução do capacitor de barramento sem que a ondulação da corrente nos LEDs aumente. Para alcançar tal objetivo, a lei de controle deve rastrear uma referência de corrente similar à apresentada na Figura 3, e descrita por:

$$Ref(t) = I_o + \Delta io_{LF} \sin(4\pi f_R t + \phi) \tag{16}$$

onde Io é o valor médio e Δio_{LF} é a ondulação da corrente nos LEDs em 120 Hz. O ângulo ϕ é a defasagem entre a tensão da rede e a referência.

A malha de controle é apresentada na Figura 4.

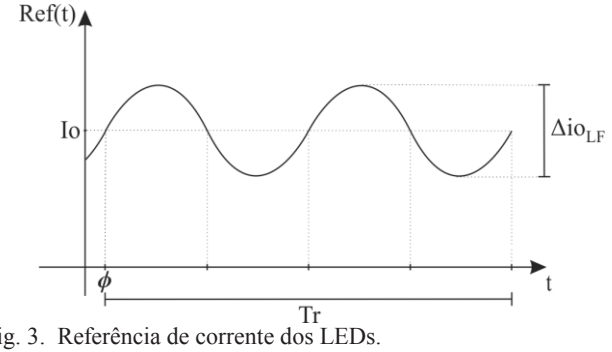


Fig. 3. Referência de corrente dos LEDs.

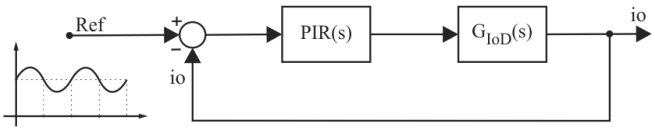


Fig. 4. Malha de controle com referência utilizada.

Dessa forma o valor da capacitância de barramento pode ser reduzido, sem que a ondulação da corrente de saída aumente, uma vez que esta está sendo controlada.

Para alcançar este objetivo é proposta a utilização de um controlador do tipo Proporcional Integral Ressonante (PIR). Este controlador possui ganho infinito nas frequências de interesse, isto é, 0 Hz (valor médio) e 120 Hz (ondulação de baixa frequência).

O estágio que controla a potência fornecida à carga é o estágio PC do *driver*. Assim, o controle PIR deve ser projetado para controlar este estágio. A planta que descreve as variações na corrente dos LEDs por variações na razão cíclica tem função de transferência dada por:

$$G_{IoD}(s) = \frac{\dfrac{{V_B}^2 D}{V_o\, L_{PC}\, f_S\, R_{LEDs}}}{C_O s + \left(\dfrac{1}{R_{LEDs}} + \dfrac{{V_B}^2 D^2}{2\, {V_o}^2\, L_{PC}\, f_S}\right)}. \tag{17}$$

O gráfico de Bode em malha aberta é apresentado na Figura 5. Este gráfico apresenta o comportamento do sistema sem e com o compensador PIR, dado por:

$$PIR(s) = \frac{0{,}458s^3 + 864s^2 + 5{,}429E5s + 1{,}137E8}{s^3 + 5{,}685E5s}. \tag{18}$$

O polo real é alocado em 0 Hz (parcela integral). Os polos complexos conjugados são alocados em 120 Hz (parcela ressonante), com amortecimento nulo. Os zeros foram alocados de tal forma se obter maior margem de ganho possível com margem de fase mínima de 60º. Na Figura 5 é possível observar o ganho infinito em 0 Hz e em 120 Hz. Essa característica implica em erro desprezível em regime para o valor médio e para a ondulação em 120 Hz da corrente nos LEDs. As margens de fase e de ganho ficaram em 60,1° e 11,2 dB, respectivamente.

A aplicação deste compensador implica que, idealmente, a ondulação na corrente dos LEDs permanecerá igual à referência independentemente do valor do capacitor de barramento.

No entanto, esta redução implica na distorção da corrente de entrada do *driver*. Isto acontece porque a topologia analisada possui estágios de potência integrados, isto é, ambos os estágios estão sujeitos à mesma razão cíclica. A corrente de entrada é função do valor da razão cíclica, como descrito a seguir:

$$Iin(t) = \frac{Vin(t)}{R_{PFC}(t)} \tag{19}$$

$$R_{PFC}(t) = \frac{2\, L_{PFC}\, f_S}{\left(d(t)\right)^2}. \tag{20}$$

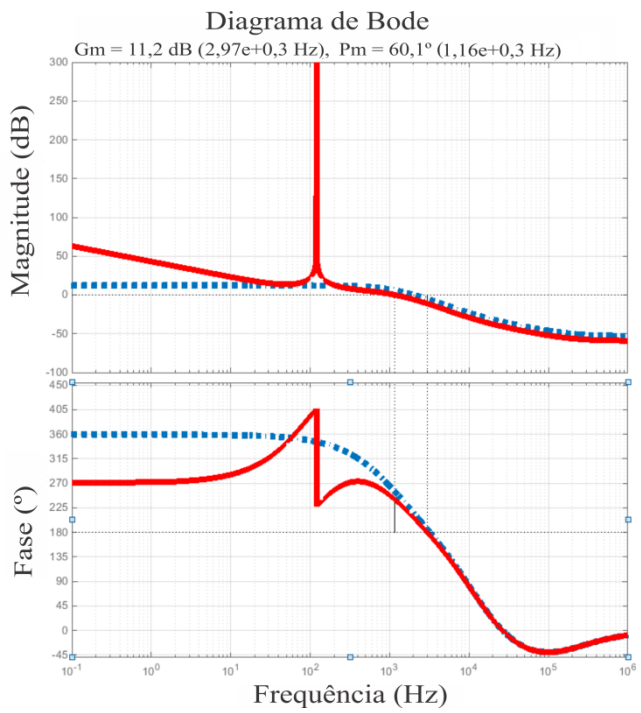


Fig. 5. Gráfico de Bode da planta não compensada (pontos) e compensada (sólida).

Assim, a redução do valor do capacitor de barramento é limitada pela distorção da corrente de entrada do *driver*. Para encontrar a relação entre tal distorção e a redução de C_B, deve ser encontrada a equação que descreve a corrente de entrada do *driver* em malha fechada, como é apresentado na próxima Seção.

Análises prévias mostram que esta técnica de controle é aplicável em qualquer sistema operando em modo de condução descontínua. No entanto não foram avaliadas as implicações da operação em CCM no desempenho do controlador.

IV. EQUAÇÃO DA CORRENTE DE ENTRADA

Para encontrar a influência do controle em malha fechada e a redução do capacitor de barramento na distorção da corrente de entrada é proposta a representação mostrada na Figura 6.

A Figura 6 representa o acréscimo da ondulação de baixa frequência na corrente nos LEDs como consequência da ondulação da tensão de barramento, que por sua vez tem origem na tensão da rede retificada ($\hat{v}i$).

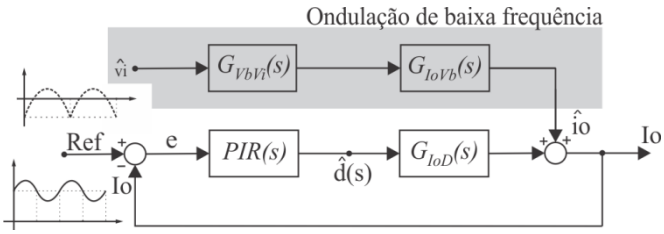


Fig. 6. Diagrama de blocos proposto.

As funções de transferência (FT) apresentadas na Figura 6 relacionam as perturbações, isto é, as componentes CA dos sinais considerados, como seguem:

- $G_{VbVi}(s)$: Esta FT relaciona a ondulação da tensão de barramento com a tensão de entrada retificada (*Vret(t)*) do *driver*, dadas respectivamente por:

$$G_{VbVi}(s) = \frac{\dfrac{Vret_{AVG}\, D^2}{V_B\, L_{PFC}\, f_S}}{C_B s + \left(\dfrac{D^2 T_S}{2\, L_{PC}} + \dfrac{{Vret_{AVG}}^2}{{V_B}^2}\dfrac{D^2 T_S}{2\, L_{PFC}}\right)} \tag{21}$$

$$Vret(t) = V_P |\sin(2\pi f_R t) - Vret_{AVG}| \tag{22}$$

onde $Vret_{AVG}$ é o valor médio da tensão de entrada retificada.

- $G_{ioVb}(s)$: Esta FT relaciona a ondulação de baixa frequência da corrente nos LEDs com a ondulação da tensão de barramento, e é dada por:

$$G_{ioVb}(s) = \frac{\dfrac{V_B\, D^2}{V_o\, L_{PC}\, f_S}\dfrac{1}{R_{LEDs}}}{C_O s + \left(\dfrac{1}{R_{LEDs}} + \dfrac{{V_B}^2}{{V_o}^2}\dfrac{D^2 T_S}{2\, L_{PC}}\right)}. \tag{23}$$

Do diagrama apresentado na Figura 6, é possível obter a equação no domínio da frequência que descreve o valor da razão cíclica do conversor integrado operando em malha fechada, considerando a ondulação da tensão de barramento, dada por:

$$d(s) = \frac{Ref(s) - \hat{V}ret(s) G_{VbVi}(s) G_{ioVb}(s)}{\dfrac{1}{PIR(s)} + G_{IoD}(s)}. \tag{24}$$

Da transformada inversa de (24) resulta a equação da razão cíclica do conversor no domínio do tempo. Assim, é possível encontrar a equação que descreve a corrente de entrada do conversor integrado operando em malha fechada considerando a ondulação da tensão de barramento dada por:

$$Iin(t) = Vin(t)\frac{\left(d(t)\right)^2}{2\, L_{PFC} f_S}. \tag{25}$$

Através da Transformada de Fourier de (25) é possível encontrar a equação que descreve a amplitude de cada uma das harmônicas da corrente de entrada, em função da capacitância de barramento.

Considerando os valores de projeto apresentados na Tabela I, a amplitude das harmônicas da corrente de entrada do conversor IDBB operando em malha fechada podem ser plotadas em função do valor de C_B e do ângulo ϕ. Estes gráficos são apresentados na Figura 7, Figura 8 e Figura 9.

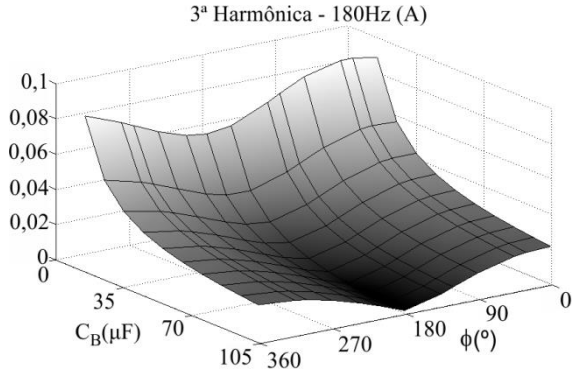


Fig. 7. Amplitude da 3ª harmônica de corrente de entrada em função do valor de C_B e ϕ.

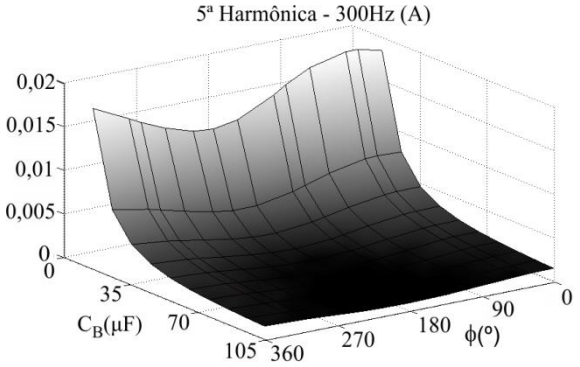


Fig. 8. Amplitude da 5ª harmônica de corrente de entrada em função do valor de C_B e ϕ.

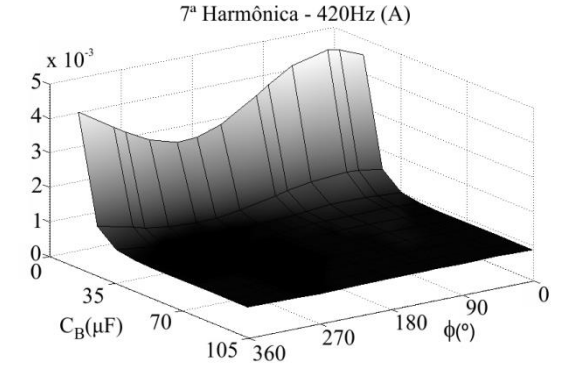


Fig. 9. Amplitude da 7ª harmônica de corrente de entrada em função do valor de C_B e ϕ.

As harmônicas de maior ordem foram omitidas devido à pequena amplitude dessas. É importante notar que estes gráficos foram obtidos através da solução numérica da Transformada de Fourier da corrente de entrada para o caso exemplo da Tabela I.

Os valores da distorção harmônica total (THD) e do fator de potência (PF) também podem ser plotados, como apresentado na Figura 10 e na Figura 11, respectivamente.

Como pode ser observado nos gráficos, a menor distorção da corrente de entrada acontece quando a defasagem angular entre a tensão de entrada e a referência da corrente de saída (ϕ) é 180°. O gráfico apresentado na Figura 12 mostra a amplitude das harmônicas da corrente de entrada (normalizadas pela valor da fundamental) em função do valor do capacitor de barramento, considerando $\phi = 180°$. A Figura 12 ainda mostra os valores estabelecidos pela norma IEC 61000-3-2, para o dado caso.

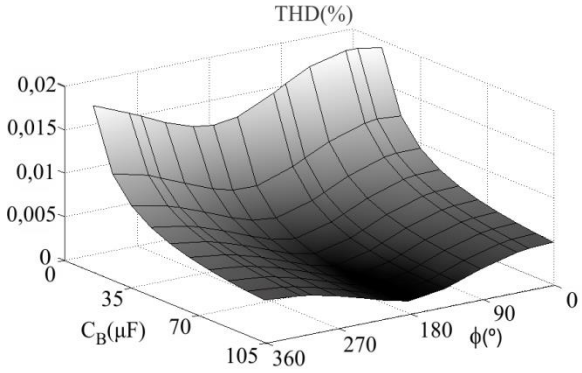


Fig. 10. Valor da THD da corrente de entrada em função de C_B e ϕ.

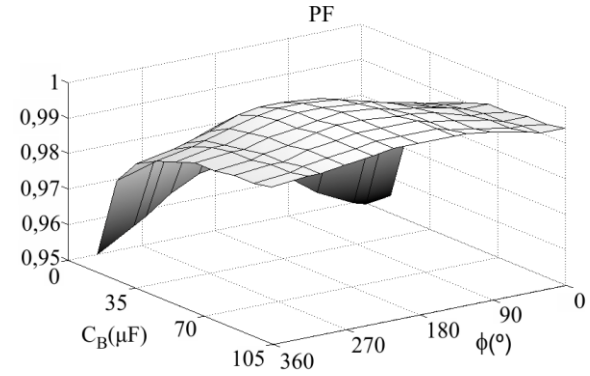


Fig. 11. Valor do fator de potência em função de C_B e ϕ.

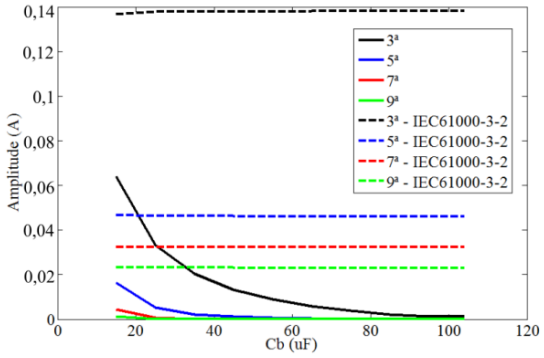


Fig. 12. Amplitude das harmônicas da corrente de entrada em função do capacitor de barramento.

Através da análise do gráfico da Figura 12, o menor valor para o capacitor de barramento pode ser definido, sem que a amplitude das harmônicas da corrente de entrada supere os limites estabelecidos pela IEC 61000-3-2, classe C.

Através da regressão exponencial das curvas apresentadas na Figura 12 é possível obter a equação que descreve a amplitude de cada uma das harmônicas da corrente de entrada, dadas respectivamente por:

$$Harm_3(C_B) = 0{,}053e^{-7{,}1E04.C_B} + 0{,}07e^{-4{,}4E04.C_B} \quad (26)$$

$$Harm_5(C_B) = 0{,}013e^{-9{,}5E04.C_B} + 0{,}002e^{-1{,}1E04.C_B} \quad (27)$$

$$Harm_7(C_B) = 0{,}001e^{-7{,}7E04.C_B} + 0{,}0003e^{-9{,}3E04.C_B}. \quad (28)$$

Da mesma forma, as equações que descrevem o valor da THD e do PF podem ser dadas respectivamente por:

$$THD(C_B) = 0{,}13e^{-8{,}0E04.C_B} + 0{,}16e^{-4{,}3E04.C_B} \quad (29)$$

$$PF(C_B) = 1{,}0e^{-3{,}61.C_B} - 0{,}04e^{-1{,}05E05.C_B}. \quad (30)$$

Ainda considerando o gráfico mostrado na Figura 12, pode ser observado que mesmo para valores de capacitância menores que 20 µF o conversor IDBB ainda está de acordo com os limites estabelecidos pela norma IEC 61000-3-2. No entanto, valores de capacitância inferiores a 20 µF implicam na operação do segundo estágio de potência em modo de condução contínua (CCM). Isso ocorre porque, ao reduzir o valor do capacitor de barramento, o valor de pico da tensão de barramento aumenta. Isto implica em um maior valor de pico na corrente do indutor L_{PC}. No entanto o tempo de descarga do indutor é limitado no complemento da razão cíclica. Esse limite implica na operação em CCM para valores reduzidos de C_B, isto é, maiores valores de pico da tensão de barramento. O valor mínimo do capacitor de barramento pode ser obtido em função do valor máximo da tensão de barramento que garante a operação do estágio PC em DCM. Para o conversor analisado, o valor mínimo do capacitor de barramento é de 19 µF, assim foi utilizado 20 µF.

V. RESULTADOS

Um conversor integrado duplo *Buck-Boost* foi projetado seguindo a metodologia de projeto proposta. Os parâmetros de projeto são apresentados na Tabela I e os principais resultados na Tabela II. A Figura 13 apresenta a topologia completa implementada, e na Figura 14 uma fotografia do mesmo.

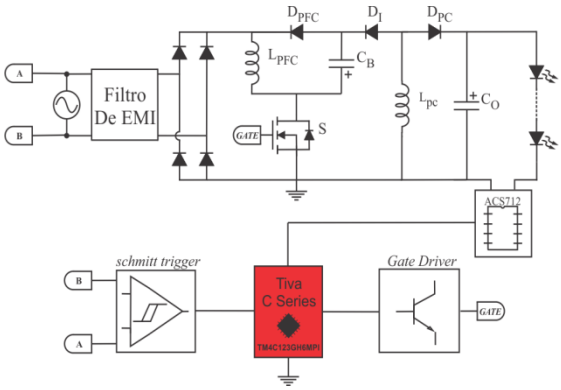


Fig. 13. Topologia implementada.

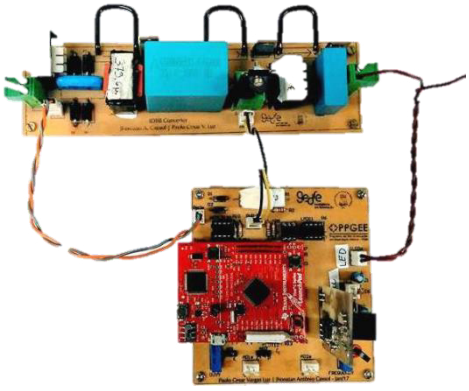


Fig. 14. Conversor implementado.

O controlador proporcional integral ressonante foi implementado de forma digital em um microcontrolador TM4C123GH6MPI, através da plataforma de testes *TIVA C series* da *Texas Instruments*. Este microcontrolador tem *clock* máximo de 80MHz, numa *CPU* de 32 bits e conversores AD de 12 bits. A frequência de amostragem utilizada foi de 40 kHz. Foi utilizado o sensor de corrente por efeito *hall* ACS712, da Allegro MicroSystems. Ainda foi utilizado um circuito comparador *Schimitt Trigger* para detectar o cruzamento por zero da tensão da rede, e assim definir o ângulo da referência de corrente para os LEDs.

A Figura 15 apresenta as formas de onda da tensão e corrente de entrada e saída do *driver* operando com valor nominal do capacitor de barramento (103 µF). Como pode ser observado que o conversor alcança os parâmetros de projeto, como valor médio da corrente de saída (700 mA).

Na Figura 16 são apresentadas as formas de onda da tensão e corrente de entrada e saída do *driver* operando em malha fechada com capacitor de barramento reduzido para 20 µF. Como pode ser observado, o valor médio da corrente de saída foi mantido igual ao valor de projeto (700 mA). Ainda pode se notar que a ondulação da corrente em baixa frequência foi mantida regulada pelo compensador proposto. O valor desta ondulação foi mantido em 56 mA (8% do valor médio), tanto com o capacitor nominal quanto para o capacitor reduzido. Cabe salientar que este valor está de acordo com a recomendação mais restritiva estabelecida por [8] e [9]. Assim, mesmo com uma redução de 80,5% no valor do capacitor de barramento, a ondulação da corrente de saída se manteve regulada, através da atuação da lei de controle.

A Figura 17 e a Figura 18 apresentam a tensão de barramento e a corrente nos LEDs para o *driver* operando com o capacitor nominal (103 µF) e com o capacitor reduzido (20 µF), respectivamente. Como pode ser observado, a ondulação da tensão de barramento sofreu um aumento de 12 V para 52 V, devido à redução do capacitor. Os valores previstos por (10) para estas condições são 10 V e 48 V, respectivamente. O valor médio da tensão de barramento ficou em 192 V e 190 V, para os respectivos ensaios. Estes valores ficaram próximos ao valor de projeto, 200 V.

Ainda na Figura 16 pode ser observado que a corrente de entrada sofre uma distorção com a redução do capacitor de barramento. Isto ocorre devido à atuação da lei de controle, como previsto em (25).

O conteúdo harmônico da corrente de entrada (normalizado pela amplitude da componente fundamental) pode ser observado na Figura 19, para o *driver* com o capacitor de barramento nominal (C_{BN}) e reduzido (C_{BR}). Este conteúdo harmônico é mostrado em comparação com os limites estabelecidos pela norma IEC 61000-3-2. O gráfico apresentado na Figura 19 ainda mostra os valores teóricos das harmônicas (C_{BR_T}), obtidos através da Transformada de Fourier de (25).

A Figura 19 ainda mostra as amplitudes das harmônicas da corrente de entrada aumentam com a redução do capacitor de barramento, em especial a 3ª e a 5ª harmônica. No entanto estes valores ainda são inferiores aos limites estabelecidos pela norma IEC 61000-3-2 classe C.

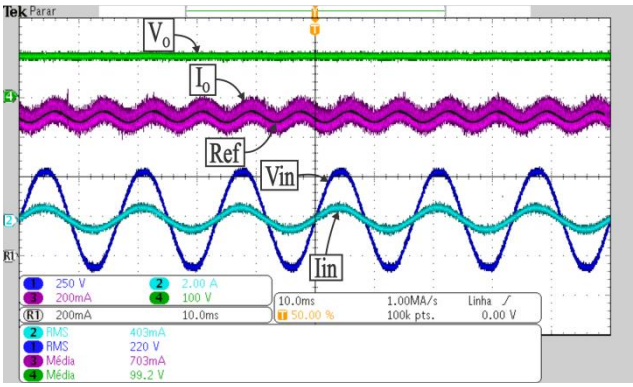


Fig. 15. Tensão de saída (Ch4 – 100 V/div), corrente nos LEDs (Ch3 – 200 mA/div), tensão de entrada (Ch1 – 250 V/div) e corrente de entrada (Ch2 – 2 A/div) – 10 ms/div. (C_B = 103 μF).

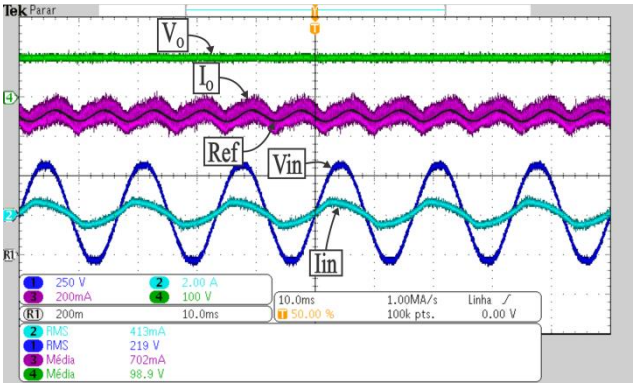


Fig. 16. Tensão de saída (Ch4 – 100 V/div), corrente nos LEDs (Ch3 – 200 mA/div), tensão de entrada (Ch1 – 250 V/div) e corrente de entrada (Ch2 – 2 A/div) – 10 ms/div. (C_B = 20 μF).

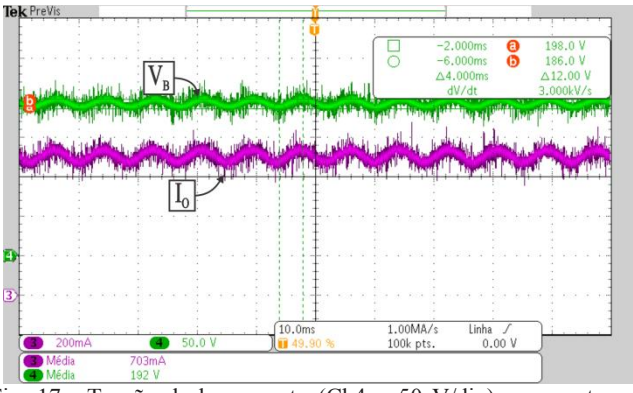


Fig. 17. Tensão de barramento (Ch4 – 50 V/div) e corrente nos LEDs (Ch3 – 200 mA/div) – 10 ms/div. (C_B = 103 μF).

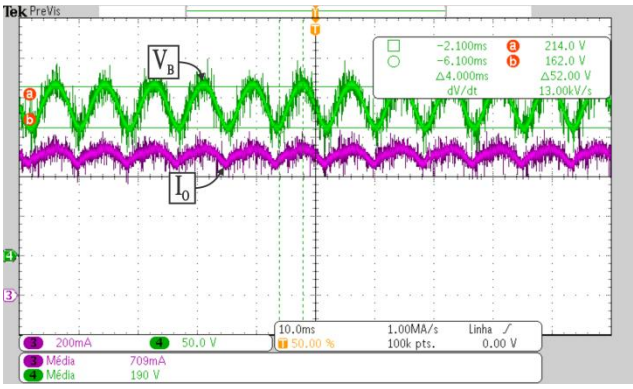


Fig. 18. Tensão de barramento (Ch4 – 50 V/div) e corrente nos LEDs (Ch3 – 200 mA/div) – 10 ms/div. (C_B = 20 μF).

Os valores de THD, fator de potência (PF) e eficaz da corrente de entrada são apresentados na Tabela III, para o conversor operando com valor nominal e valor reduzido do capacitor de barramento.

TABELA III
Resultados Experimentais e Teóricos

	C_{BN} (103 μF)		C_{BR} (20 μF)	
	Experimental	**Teórico**	**Experimental**	**Teórico**
THD	8,8 %	13 %	19 %	10 %
PF	0,996	1	0,987	0,99

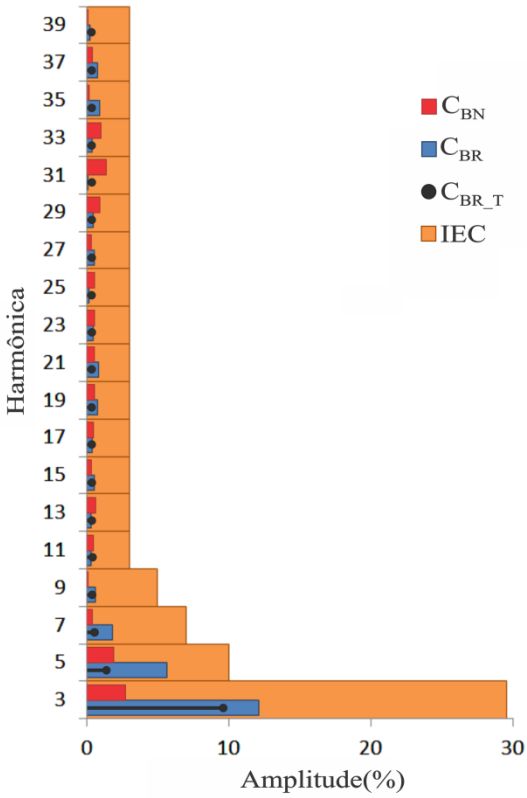


Fig. 19. Harmônicas da corrente de entrada em comparação com os limites estabelecidos pela IEC 61000-3-2 e a previsão teórica.

VI. CONCLUSÃO

Através da técnica de controle ressonante da ondulação da corrente nos LEDs foi possível reduzir o valor do capacitor de barramento em 80,5% (de 103 μF para 20 μF) em uma topologia de estágios integrados. Esta redução foi feita mantendo-se a ondulação da corrente nos LEDs constante, igual a 56 mA.

Foi apresentado o modelo matemático que descreve a distorção da corrente de entrada do conversor IDBB, de forma a explorar os limites da redução proposta. Através deste modelo é possível ter uma estimativa do valor das harmônicas da corrente de entrada em função da redução do capacitor de barramento. E, assim, ter um parâmetro inicial para definir o valor mínimo de capacitância que pode ser utilizada no barramento do *driver*.

É proposta neste trabalho a definição do valor nominal do capacitor em função da ondulação da corrente de saída do conversor. Através da função da transferência do estágio de

controle de potência a ondulação da tensão de barramento pode ser definida a partir da ondulação da corrente no LEDs.

Diferente das soluções apresentadas em [10]-[14], esta proposta se vale de apenas uma malha de controle. Ainda não é realizada nenhuma alteração na estrutura de potência do conversor, como em [15] e [16]. A redução no capacitor de barramento é 1,7 vezes maior que a obtida por [17], que embora projetada para a tensão eficaz de entrada de 90-140 V, ainda é a que possui maior semelhança com o proposto neste trabalho.

A técnica de controle aplicada na redução do capacitor de barramento foi validada pelos resultados experimentais, com elevado fator de potência, baixa distorção harmônica e concordância com a norma IEC 61000-3-2.

AGRADECIMENTOS

Os autores agradecem à Universidade Federal de Santa Maria (UFSM) e à CAPES pelo apoio financeiro, técnico e científico neste trabalho.

REFERÊNCIAS

[1] E. F. Schubert, *Light-emitting diodes*. Cambridge Univ. Press, Cambridge, 2006.

[2] U.S. Dept. Energy, Office of Energy Efficiency & Renewable Energy, "Solid-state lighting – LED efficacy: What America stands to gain". [Online]. Disponível em: https://www.energy.gov/sites/prod/files/2016/10/f33/efficacy-fs_oct2017.pdf.

[3] J. M. Alonso, D. Gacio, A. J. Calleja, J. Ribas, E. L. Corominas, "A study on LED retrofit solutions for low-voltage halogen cycle lamps", *IEEE Transactions on Industry Applications*, vol. 48, nº 5, pp. 1673-1682, Setembro/Outubro 2012.

[4] U.S. Dept. Energy, Office of Energy Efficiency & Renewable Energy, "Lifetime and Reliability". [Online]. Disponível em: https://www1.eere.energy.gov/buildings/publications/pdfs/ssl/life-reliability_fact-sheet.pdf

[5] P. S. Almeida, D. Camponogara, M. Dalla Costa, H. Braga, J. M. Alonso, "Matching LED and driver Life Spans: A Review of Different Techniques", *IEEE Industrial Electronics Magazine*, vol. 9, nº 2, pp. 36-47, Junho 2015.

[6] Y. Zhou, X. Li, X. Ye, G. Zhai, "A remaining useful life prediction method based on condition monitoring for LED driver", *in Proc. of PHM*, pp. 1-5, 2012.

[7] *EN 61000–3–2:2006 +A1 +A2 Electromagnetic compatibility (EMC) — Part 3 – 2: Limits — Limits for harmonic current emissions (equipment input current ≤16 A per phase)*, IEC61000–3-2, 2006.

[8] B. Lehman, A.J. Wilkins, "Designing to mitigate effects of flicker in LED lighting: reducing risks to health and safety", *IEEE Power Electronics Magazine*, vol. 1, nº 3, pp. 18-26, Setembro 2014.

[9] *IEEE Recommended practices for modulating current in high-brightness LEDs for mitigating health risks to viewers*. IEEE Std. 1798-2015, 2015.

[10] D. G. Lamar, J. Sebastian, M. Arias, A. Fernandez, "On the limit of the output capacitor reduction in power-factor correctors by distorting the line input current", *IEEE Transactions on Power Electronics*, vol. 27, nº 3, pp. 1168-1176, Março 2012.

[11] L. Gu, X. Ruan, M. Xu, K. Yao, "Means of eliminating electrolytic capacitor in ac/dc power supplies for LED lightings", *IEEE Transactions on Power Electronics*, vol. 24, nº 5, pp. 1399-1408, Março 2009.

[12] A. Shagerdmootaab, M. Moallem, "Filter capacitor minimization in a flyback LED driver considering input current harmonics and light flicker characteristics", *IEEE Transactions on Power Electronics*, vol. 30, nº 8, pp. 4467-4476, Agosto 2015.

[13] D. Gacio, J. M. Alonso, A. J. Calleja, J. Garcia, M. Rico-Secades, "A universal-input single-stage high-power-factor power supply for HB-LEDs based on integrated buck–flyback converter", *IEEE Transactions on Industrial Electronics*, vol. 58, nº 2, pp. 589-599, Fevereiro 2011.

[14] T.-F. Wu, Y.-K. Chen, "A systematic and unified approach to modeling PWM DC/DC converters based on the graft scheme", *IEEE Transactions on Industrial Electronics*, vol. 45, nº 1, pp. 88-89, Fevereiro 1998.

[15] D. Camponogara, D. R. Vargas, M. A. Dalla Costa, J. M. Alonso, J. Garcia, T. Marchesan, "Capacitance reduction with an optimized converter connection applied to LED drivers", *IEEE Transactions on Industrial Electronics*, vol. 62, nº 1, pp. 184-192, Janeiro 2015.

[16] H. Valipour, G. Rezazadeh, M. Reza Zolghadri, "Flicker-free electrolytic capacitor-less universal input offline LED driver with PFC", *IEEE Transactions on Power Electronics*, vol. 31, nº 9, pp. 6553–6561, Novembro 2016.

[17] G. M. Soares, P. S. Almeida, J. M. Alonso, H. A. C. Braga, "Capacitance Minimization in Offiline LED drivers using an active-ripple-compensation technique", *IEEE Transactions on Power Electronics*, vol. 32, nº 4, pp. 3022-3033, Maio 2017.

[18] L. Kirsten, M. A. D. Costa, P. C. V. Luz, R. N. do Prado, T. B. Marchesan, T. H. de Oliveira, "Integração de conversores PFC com a topologia Bi-flyback Inversora aplicado a Lâmpadas de Descarga em Alta Pressão", *Eletrônica de Potência –SOBRAEP*, vol. 18, nº 1, pp. 864-872, Fevereiro 2013.

[19] J. M. Alonso, J. Vina, D. G. Vaquero, G. Martinez, R. Osorio, "Analysis and design of the integrated double buck-boost converter as a high-power-factor driver for power-LED lamps", *IEEE Transactions on Industrial Electronics*, vol. 59, nº 4, pp. 1689-1697, Abril 2012.

[20] J. M. Alonso, D. Gacio, J. García, M. R. Secades, M. A. Dalla Costa, "Analysis and design of the integrated double buck-boost converter operating in full DCM for LED lightning applications". *in Proc. of IECON*, pp.2889-2894, 2011.

[21] M. A. Dalla Costa, T. B. Marchesan, J. S. da Silverira, A. R. Seidel, R. N. do Prado, J. M. Alonso, "Integrated power topologies to supply HPS lamps: a comparative study", *IEEE Transactions on Power Electronics*, vol. 25, nº 8, pp. 2124-2132, Agosto 2010.

DADOS BIOGRÁFICOS

Paulo Cesar Vargas Luz, nascido em 19/02/1988 em Carazinho (RS). Possui graduação (2012) e mestrado (2013) em Engenharia Elétrica pela Universidade Federal de Santa Maria (UFSM). Atualmente é doutorando em Engenharia Elétrica pela mesma universidade, atuando no grupo de pesquisa GEDRE. Durante o ano de 2014 atuou como Professor Substituto no Colégio Técnico Industrial de Santa Maria (CTISM). Atualmente é Professor Substituto no Departamento de Processamento de Energia Elétrica da UFSM. Suas áreas de interesse são: reatores eletrônicos, circuitos de alimentação de LEDs, correção do fator de potência e lâmpadas de descarga.

Jhonatan Antônio Cassol, nascido em Nova Palma, Rio Grande do Sul, Brasil em outubro de 1998. É graduando em Engenharia Elétrica pela Universidade Federal de Santa Maria (UFSM) desde 2016. Formado pelo Colégio Técnico Industrial de Santa Maria (CTISM/UFSM) como Técnico em Eletrotécnica (2015), integra atividades relacionadas à pesquisa desde 2014, quando ingressou na Equipe GaudérioBotz de Robótica, grupo de robótica móvel sitiado no CTISM. A partir de 2015 atuou como pesquisador do Grupo de Inteligência em Iluminação (GEDRE). Desde 2017, integra o Centro de Excelência em Energia e Sistemas de Potência (CEESP), atuando na área de Proteção do Sistema Elétrico de Potência, através de Relés Digitais. Tem como áreas de interesse Eletrônica de Potência, Sistemas de Iluminação Semicondutora, Fontes de Energias Renováveis, Robótica e Redes de Comunicação sem Fio.

Matheus Farencena Righi, nascido em Santa Maria em 1994. Formado em eletrotécnica pelo Colégio Técnico Industrial de Santa Maria (CTISM) em 2012. Graduando em Engenharia Elétrica pela UFSM desde 2014. Atualmente é membro do grupo GEDRE atuando como bolsista CNPq. Suas áreas de interesse são: Reatores eletrônicos, correção de fator de potência, sistemas de iluminação, comunicação por luz visível e energias renováveis.

Gabriel da Silva Vargas, nascido em São Sepé (RS) em 1996. É graduando em Ciência da Computação na Universidade Federal de Santa Maria (UFSM) desde 2014. É membro do grupo de pesquisas GEDRE - Inteligência em Iluminação, desde 2017, onde atua como bolsista CNPq. Suas áreas de interesse são: comunicação por luz visível, sistemas de iluminação a LEDs, sistemas inteligentes de iluminação, internet das coisas.

Ricardo Nederson do Prado, nascido em Itapiranga-SC em 1961. Graduação em Engenharia Elétrica pela UFSM em 1984. Mestrado e Doutorado em Engenharia Elétrica pela Universidade Federal de Santa Catarina (UFSC) em 1987 e 1993, respectivamente. De 1987 a 1992 trabalhou como Professor Assistente na Universidade Federal de Minas Gerais (UFMG). Desde 1993 está com a Universidade Federal de Santa Maria, onde atualmente é Professor Titular junto ao Departamento de Processamento de Energia Elétrica. De 2005 a 2006 realizou estágio pós-doutoral junto ao Fraunhofer Institute, Alemanha. É autor de mais de 250 artigos técnicos publicados em congressos e revistas nacionais e internacionais. Seus tópicos de interesse incluem: conversores estáticos, lâmpadas de descarga de alta e baixa pressão, eficiência luminosa, reatores eletrônicos, LEDs como fontes de luz e correção do fator de potência. Dr. Prado é membro fundador da Sociedade Brasileira de Eletrônica de Potência, membro da Sociedade Brasileira de Automática e de várias sociedades da IEEE. Durante o período de 1998 a 2000 foi editor da revista Eletrônica de Potência da SOBRAEP. Participou na organização das Sessões Especiais nos Congressos Internacionais IECON 2012 (Montreal), IECON 2013 (Viena) e ISIE 2015 (Búzios). Editor da seção especial intitulada *Power Electronics Applications to Lighting Systems,* patrocinada pela Sociedade Brasileira de Eletrônica de Potência – SOBRAEP.

André Luís Kirsten, nascido em Santa Maria (RS) em 1986. Possui graduação (2009), mestrado (2011) e doutorado (2014) em Engenharia Elétrica pelo programa de pós-graduação em Engenharia Elétrica da Universidade Federal de Santa Maria (UFSM). De 2014 à 2016 foi Professor Adjunto e Coordenador do curso de Engenharia Elétrica da UFSM (Campus Cachoeira do Sul). Desde 2016 é Professor Adjunto do departamento de Engenharia Elétrica e Eletrônica da Universidade Federal de Santa Catarina (UFSC). Atua como pesquisador no Instituto de Eletrônica de Potência (INEP) e como colaborador nos grupos GEDRE e GSEC da UFSM. É docente permanente do Programa de Pós-Graduação em Engenharia Elétrica da UFSC. Tem experiência e interesses na área de Eletrônica de Potência, atuando principalmente nos seguintes temas: controle digital, sistemas de iluminação, projeto de conversores estáticos e transformadores de estado sólido.

CONVERSOR CC-CC PARALELO RESSONANTE MEIA PONTE ASSIMÉTRICO COM SAÍDA EM TENSÃO

Neilor C. Dal Pont[1], Delvanei G. Bandeira Jr.[1], Telles B. Lazzarin[1], Ivo Barbi [2]
[1] Universidade Federal de Santa Catarina, Departamento de Engenharia Elétrica e Eletrônica, Florianópolis-SC, Brasil
[2] Universidade Federal de Santa Catarina, Departamento de Automação e Sistemas, Florianópolis-SC, Brasil
e-mail: neilorcolombodalpont@gmail.com, delvanei.jr@inep.ufsc.br, telles@inep.ufsc.br, ivobarbi@gmail.com

***Resumo* – Este artigo propõe uma topologia de um conversor CC-CC meia ponte, paralelo ressonante, com modulação PWM e comandos assimétricos, controle da tensão de saída pela variação da razão cíclica e saída em tensão. Além disto, o conversor é estudado com estágio de saída com dobrador de tensão. A configuração possui número reduzido de interruptores, elimina circulação de corrente média nos elementos passivos tanto no primário quanto no secundário, e pode utilizar os parâmetros intrínsecos do transformador em seu projeto, o que a torna atrativa para aplicações como fontes de alta tensão de saída. Análise das etapas de operação, característica estática, equacionamento orientado ao projeto e a implementação de comutação sob tensão nula são abordados neste artigo. O estudo do conversor é verificado através de um protótipo de 1 kW, 400 V de entrada e 400 V de saída. O conversor apresentou rendimento elevado, acima de 97%, e comutação suave numa faixa de carga acima de 60% do valor nominal.**

***Palavras-chave* – Comutação Sob Tensão Nula, Controle por Razão Cíclica, Conversor Paralelo Ressonante com Modulação Assimétrica e Saída em Tensão, Rendimento Elevado.**

HALF-BRIDGE PARALLEL RESONANT DC-DC CONVERTER WITH ASYMMETRICAL PWM

***Abstract* – In this research, the study of a modified Half-Bridge Parallel Resonant dc-dc converter is proposed. The proposed topology operates with constant frequency and asymmetrical PWM, such as the conventional one. The topology uses a voltage doubler rectifier in output stage, which avoid the flow of DC component current in the transformer primary. This characteristic improves the transformer design and eliminates the series capacitor, which is requred in the conventional half-bridge topology. The proposed topology also integrates the transformer parasitic elements, such as the leakage inductance and the winding capacitance in the operation, achieving zero voltage switching in transformer primary side switches, over a wide load range. Theoretical analysis, commutation analysis and design guidelines are presented in the paper. Experimental results from a 1 kW prototype, 50 kHz of switching frequency, 400 V at input voltage and 400 V at output voltage are shown herein. A 97% of efficiency was obtained and all results corroborate the theoretical analysis.**

***Keywords* – Asymmetrical PWM, Constant Frequency, Efficiency, Half-Bridge Parallel Resonant Converter, Zero Voltage Switching.**

I. INTRODUÇÃO

Conversores CC-CC ressonantes (CR) são estruturas com aplicações em importantes áreas da eletrônica de potência, como alta tensão [1]–[6], veículos elétricos [7], fontes renováveis [8], [9], transformadores eletrônicos [10], [11], fontes de alimentação de baixa tensão [12], entre outras aplicações [13], [14]. Os conversores ressonantes se caracterizam por aproveitarem os elementos parasitas dos componentes do conversor, utilizando-os em suas etapas de operação e para realizar comutação suave, o que pode contribuir na obtenção de alta eficiência e eliminação de problemas de interferência eletromagnética.

A origem dos elementos parasitas ao longo do conversor está relacionada com sua aplicação. No contexto de fontes chaveadas para alta tensão, é comum o uso de transformador para conferir isolação galvânica ao projeto e elevação de ganho. Devido aos aspectos construtivos do transformador, necessários para operar com alta tensão, tais como número de espiras elevado, distância entre camadas, presença de material isolante, a presença dos elementos parasitas não pode ser desprezada, em especial da indutância de dispersão e da capacitância entre enrolamentos [3], [15], [16]. Estas podem ser responsáveis por provocar sobretensões e atrasos nas transições das tensões no transformador [17]. Já em veículos elétricos, incorporar os elementos parasitas propicia operar conversores com eficiência na ordem de 97%, com alguns exemplos encontrados em [18], [19].

Um conversor CC-CC ressonante pode ser representado por três grandes blocos, conforme ilustrado no diagrama da Figura 1. Uma das principais características que diferencia os conversores ressonantes é a conexão dos elementos do circuito ressonante (também denominados de circuito tanque), sendo as configurações mais empregadas a série ressonante, a paralelo ressonante e a série paralelo ressonante [7]. Quanto ao estágio inversor de entrada, existem algumas possibilidades de implementação, como o meia ponte [5], [14], [20], [21], o ponte completa [1], tipo T [22] e push-pull [4]. Para o retificador de saída, os mais utilizados são o ponte completa com ponto médio, o ponte completa [1] e o dobrador de tensão [22]. O estágio de saída pode ser em corrente [6], [12], [23],

Artigo submetido em 28/06/2017. Primeira revisão em 23/08/2017. Aceito para publicação em 30/10/2017 por recomendação do Editor Marcelo Cabral Cavalcanti.

[24] ou em tensão [1], [5], [22], sendo usualmente em corrente para aplicações em alta potência e baixa tensão de saída, ou em tensão quando empregados em aplicações de média e alta tensão.

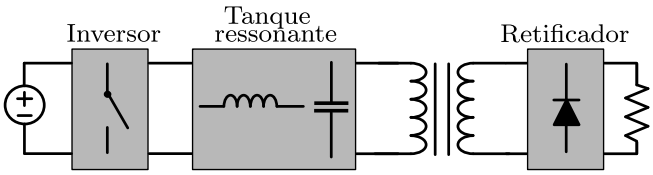


Fig. 1. Diagrama de blocos de um conversor CC-CC ressonante.

Na escolha da composição do conversor ressonante, os estágios meia ponte com modulação por largura de pulso assimétrica e ponte completa possuem vantagens quando comparados aos estágios push-pull, flyback e forward, pois operam com esforços de tensão nos semicondutores limitados ao valor da tensão na entrada [25]. Quando comparados entre sí, o estágio meia ponte com comando assimétrico é de simples implementação, por utilizar apenas dois interruptores controlados, o que lhe confere baixo custo [26]. Já o estágio ponte completa utiliza quatro interruptores controlados, o que o torna mais caro. No entanto, é capaz de processar mais energia com elevada eficiência que o primeiro.

Um problema recorrente nos conversores do primeiro estágio consiste na circulação de componente média de corrente diferente de zero [27]. As causas da componente média pode ser das etapas de operação do conversor, diferenças entre sinais de comando dos interruptores, diferenças de projeto oriundas da construção do transformador e perdas nos interruptores. Esses fatores comprometem a simetria dos conversores ponte completa e push-pull por exemplo. Ainda, no caso do conversor meia ponte assimétrico, a diferença nas tensões dos capacitores por si só produz a componente de nível médio. Sua presença nos conversores é responsável pelo aumento das perdas no núcleo, perdas em condução nos interruptores, degradando a densidade de potência do conversor [28], [29], o que limita a sua aplicação para potências baixas (menores que 1 kW).

Existem propostas para eliminar a componente de nível médio do transformador com o intuito de melhorar o desempenho do estágio inversor. Para eliminar a componente de nível médio nos estágios do tipo ponte completa e push-pull, é utilizado um capacitor, conectado em série com o enrolamento primário do transformador (conhecido como capacitor de desacoplamento), que efetua o bloqueio deste valor médio [27]. Porém a adição do capacitor série aumenta o número de componentes passivos [20], [21]. No que se refere ao estágio meia ponte, existem diversas propostas na literatura. Em [29] são discutidas variações do estágio meia ponte assimétrico que utilizam elementos passivos e interruptores adicionais como uma solução para mitigar a componente de nível médio. Todas as propostas mencionadas funcionam apenas para o estágio de saída do tipo fonte de corrente, sendo restrita de 1 à 2 kW [30]. No que se refere ao estágio de saída com fonte de tensão, não há registros na literatura de uma solução capaz de eliminar a componente de nível médio do transformador na estrutura meia ponte.

Neste contexto, este trabalho desenvolve o estudo do conversor Meia Ponte Paralelo Ressoante, com modulação Assimétrica e Saída em Tensão (CPR-MPA-ST) com retificador do tipo dobrador de tensão. A topologia apresenta características interessantes de operação, como corrente média nula em todos os elementos passivos do conversor, e tem potencial para aplicações em fontes de média e de alta tensão. Não há registros na literatura de estudos desta topologia, assim, este trabalho busca contribuir com esta lacuna. Desta forma, o estudo da topologia é desenvolvido nas seções Conversor Proposto, Análise do Conversor, Exemplo de Projeto e Resultados Experimentais apresentadas a seguir.

II. CONVERSOR PROPOSTO

A estrutura do CPR-MPA-ST, foco deste estudo é apresentada na Figura 2(a). A topologia do estágio inversor é um conversor meia ponte, o qual possui menor número de interruptores quando comparado às soluções ponte completa e do tipo T [1], [22], sugerindo um menor custo às soluções que empregam estas topologias. Ela utiliza no estágio de saída um retificador dobrador de tensão, o que possibilita a redução do ganho de tensão no transformador, e também evita circulação de valor médio de corrente no secundário deste. A segunda ação se deve à conexão dos capacitores do dobrador em série com o enrolamento secundário do transformador, o que ocorre durante toda a operação do conversor. O estágio ressonante é do tipo paralelo, o que é adequado para utilizar os parâmetros intrínsecos do transformador, como a indutância de dispersão e capacitância intrínseca [31].

Por fim, a topologia proposta utiliza um modulador PWM, com pulsos complementares e frequência fixa (conforme visto na Figura 2), com ajuste da tensão de saída pela variação da razão cíclica. Isto implica em um controle simples, mas com pulsos assimétricos no inversor meia ponte, o que proporciona novas características de ressonância e de transferência de potência na topologia, as quais serão abordadas em detalhe neste trabalho.

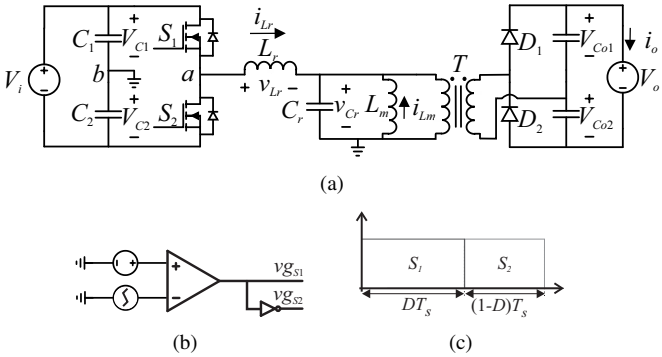


Fig. 2. CPR-MPA-ST: (a) circuito completo; (b) modulador; (c) sinais de comando.

III. ANÁLISE DO CONVERSOR

Esta seção apresenta as etapas de operação, as formas de onda e o plano de fase do CPR-MPA-ST. O circuito simplificado apresentado na Figura 3 é empregado na análise, o qual considera as tensões nos capacitores de entrada e de saída constantes, além do valor da indutância

magnetizante muito elevado, de forma que a mesma pode ser desconsiderada. A razão cíclica (D) é definida para o interruptor S_1 (tempo de condução pelo período de comutação T_s). O estudo foi realizado para $D > 0,5$ e ganho estático (q) menor que 1, sendo que o funcionamento para $D < 0,5$ é o mesmo, porém com as formas de onda de tensão e de corrente invertidas. O estudo é realizado com as grandezas referidas ao enrolamento primário do transformador, sendo a relação de transformação usada para o ajuste final da tensão.

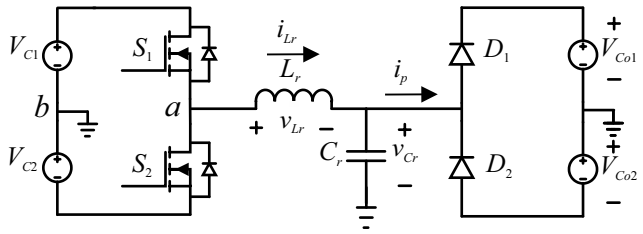


Fig. 3. Circuito simplificado do CPR-MPA-ST.

A. Etapas de Operação

1) Primeira etapa de operação (Δt_1): A primeira etapa de operação, apresentada na Figura 4, se inicia com o bloqueio de S_2 e a entrada em condução de S_1. Neste momento a fonte de tensão da entrada do circuito ressonante é o capacitor C_1, a tensão sobre o capacitor ressonante C_r é o negativo da tensão no capacitor C_{o2} (V_{Co2}) e a corrente no indutor L_r varia com derivada positiva e constante, a partir do valor de pico ($-I_1$) até se anular.

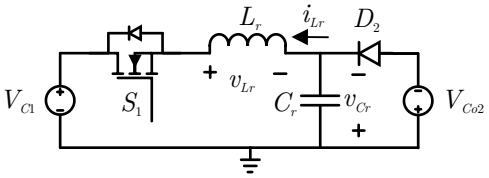


Fig. 4. Circuito equivalente da primeira etapa de operação.

2) Segunda etapa de operação (Δt_2): A segunda etapa de operação, apresentada na Figura 5, se inicia após a desmagnetização de L_r, o que provoca o bloqueio do diodo D_2 e o início de uma etapa ressonante.

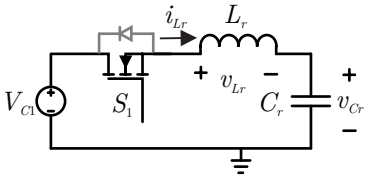


Fig. 5. Circuito equivalente da segunda etapa de operação.

3) Terceira etapa de operação (Δt_3): A terceira etapa, apresentada na Figura 6, tem inicio quando a tensão sobre o capacitor C_r (v_{C_r}) atinge o valor da tensão sobre C_{o1}, o que coloca o retificador de saída em condução novamente. Neste instante, a corrente no indutor varia com derivada positiva e constante de I_2 até I_3.

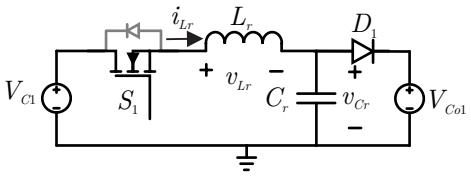


Fig. 6. Circuito equivalente da terceira etapa de operação.

4) Quarta etapa de operação (Δt_4): A quarta etapa de operação, apresentada na Figura 7, é análoga a primeira etapa, porém, se inicia com o bloqueio de S_1 e a entrada em condução de S_2. A fonte de tensão da entrada do circuito ressonante é o negativo da tensão no capacitor C_2 ($-V_{C2}$), e v_{C_r} é a da tensão no capacitor C_{o1} (V_{Co1}), e a corrente em L_r é positiva e começa a variar com derivada negativa e constante.

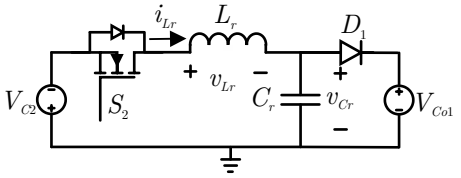


Fig. 7. Circuito equivalente da quarta etapa de operação.

5) Quinta etapa de operação (Δt_5): A quinta etapa de operação, apresentada na Figura 8, assim como a segunda etapa, se inicia quando i_{L_r} chega a zero, o que bloqueia a ponte de diodos de saída e inicia a etapa ressonante.

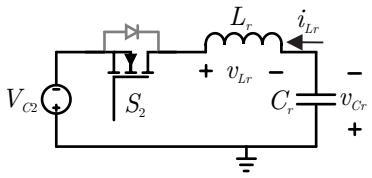


Fig. 8. Circuito equivalente da quinta etapa de operação.

6) Sexta etapa de operação (Δt_6): A sexta etapa, apresentada na Figura 9, é análoga a terceira etapa e tem inicio quando v_{C_r} atinge o valor do negativo da tensão sobre C_{o2} (V_{Co2}), o que coloca o retificador de saída em condução novamente. A corrente no indutor tem derivada negativa (de $-I_4$ até $-I_1$).

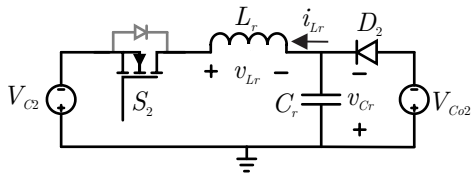


Fig. 9. Circuito equivalente da sexta etapa de operação.

B. Formas de Onda, Plano de Fase e Equacionamento

As formas de onda do CPR-MPA-ST são apresentadas na Figura 10, e o plano de fase para o equacionamento das etapas ressonantes é ilustrado na Figura 11.

Primeiramente, são definidas as equações da impedância característica, do ganho estático, da frequência de ressonância, da velocidade angular na frequência de ressonância, da relação

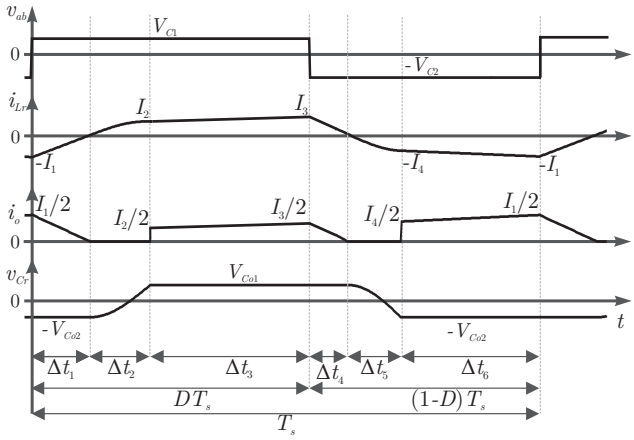


Fig. 10. Principais formas de onda do CPR-MPA-ST.

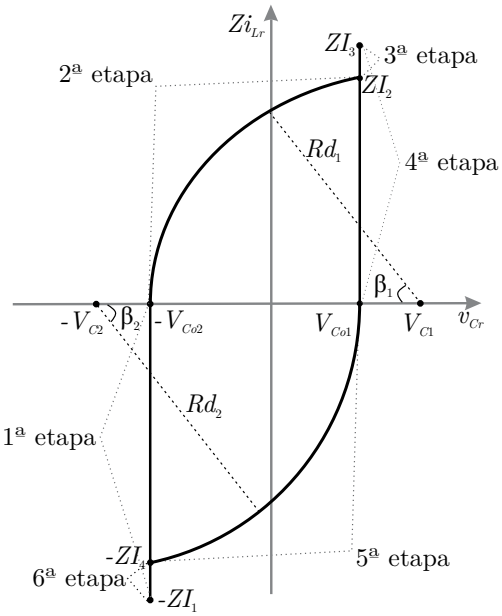


Fig. 11. Plano de fase do CPR-MPA-ST.

entre a frequência de comutação e a frequência de ressonância (μ_o) e por último das tensões na entrada e saída do conversor:

$$Z = \sqrt{\frac{L_r}{C_r}} \tag{1}$$

$$q = \frac{V_{op}}{V_i} \tag{2}$$

$$f_o = \frac{1}{2\pi\sqrt{L_r C_r}} \tag{3}$$

$$\omega = \frac{1}{\sqrt{L_r C_r}} \tag{4}$$

$$\mu_0 = \frac{f_s}{f_o} \tag{5}$$

$$V_{op} = n(V_{Co1} + V_{Co2}) \tag{6}$$

$$V_i = V_{C1} + V_{C2} \tag{7}$$

onde:

V_{op} - tensão de saída referida ao primário;
f_s - frequência de comutação;
n - relação de transformação , definida por $n = N_s/N_p$.

O passo seguinte é definir as tensões nos capacitores de entrada. Ao analisar o circuito mostrado na Figura 2, pode-se concluir que o valor médio da tensão em C_1 é igual ao valor da tensão média em S_1, e o valor da tensão média em C_2 é igual ao valor em S_2. Ao considerar que S_1 conduz pelo período DT_s e S_2 pelo período $(1-D)T_s$, define-se a tensão nos capacitores de entrada como:

$$V_{C1} = V_{S1} = (1-D)V_i \tag{8}$$

$$V_{C2} = V_{S2} = DV_i. \tag{9}$$

Já os valores da tensão média nos capacitores de saída são iguais aos valores da tensão média nos diodos da ponte retificadora. Contudo, o tempo de condução destes diodos está relacionado aos parâmetros internos do sistema (etapas lineares e ressonantes) dificultando a solução das equações para obter os valores de tensão nos capacitores. Os valores médios de tensão nos capacitores de saída são definidos por:

$$V_{Co1} = V_{D1} = \frac{V_{op}}{T_s}\left[\Delta t_1 + \Delta t_6 + \frac{1}{2}(\Delta t_2 + \Delta t_5)\right] \tag{10}$$

$$V_{Co2} = V_{D2} = \frac{V_{op}}{T_s}\left[\Delta t_3 + \Delta t_4 + \frac{1}{2}(\Delta t_2 + \Delta t_5)\right]. \tag{11}$$

Ao analisar as formas de onda da Figura 10 se observa que $\Delta t_6 > \Delta t_1$ e $\Delta t_3 > \Delta t_4$. Através destas relações, é possível aproximar (10) por $(1-D)V_{op}$, pois Δt_6 é proporcional a $(1-D)$, e (11) por DV_{op}, pois Δt_3 é proporcional a D para valores de D próximos de 0,5. Entretanto, há um erro nesta consideração proporcional a variação de D. Sendo assim, foi atribuída uma correção linear nos valores das tensões médias dos capacitores em relação ao valor de D, o que reduz o erro da consideração feita. Determinando o fator K_D, dado por:

$$K_D = AD + B. \tag{12}$$

Define-se os valores aproximados das tensões médias de V_{Co1} e V_{Co2} , dados por:

$$V_{Co1} = V_{op}(1 - D + K_D) \tag{13}$$

$$V_{Co2} = V_{op} - V_{Co1} = V_{op}(D - K_D). \tag{14}$$

Para determinação dos parâmetros A e B de (12), são realizadas simulações usando o valor mínimo e máximo de D definidos em projeto. Nestes pontos, K_D deve atuar na razão cíclica de forma que (13) e (14) forneçam valores condizentes com as simulações. Com estes dois pontos de D e K_D, são determinados os fatores A e B da linearização. Os resultados obtidos usando esta metodologia são satisfatórios em relação a complexidade da solução exata destas tensões.

Após definir as equações da tensão média nos capacitores de entrada e de saída, desenvolve-se o equacionamento das

etapas ressonantes através da análise geométrica do plano de fase da Figura 11 e de (1) e (4).

Os raios dos círculos descritos nas etapas ressonantes R_{d1} e R_{d2} são definidos por:

$$Rd_1 = V_{C1} + V_{Co2} \tag{15}$$

$$Rd_2 = V_{C2} + V_{Co1}. \tag{16}$$

As equações dos ângulos percorridos durante as etapas ressonantes β_1 e β_2 são definidas como:

$$\beta_1 = \arccos\left(\frac{V_{C1} - V_{Co1}}{V_{C1} + V_{Co2}}\right) \tag{17}$$

$$\beta_2 = \arccos\left(\frac{V_{C2} - V_{Co2}}{V_{C2} + V_{Co1}}\right). \tag{18}$$

A relação dos triângulos retângulos formados ao fim de cada etapa ressonante definidas por:

$$Rd_1^2 = (I_2 Z)^2 + (V_{C1} - V_{Co1})^2 \tag{19}$$

$$Rd_2^2 = (I_4 Z)^2 + (V_{C2} - V_{Co2})^2. \tag{20}$$

E a equação da velocidade angular é definida por:

$$\omega = \frac{\beta}{\Delta t} \tag{21}$$

onde β representa o ângulo percorrido durante o período Δt.

Por fim, a manipulação de (1) a (21) permite obter as equações para o cálculo de I_2, I_4, Δt_2 e Δt_5, conforme:

$$I_2 = \sqrt{\frac{C_r}{L_r}}\sqrt{2(1-D)V_i V_o + V_{Co2}^2 - V_{Co1}^2} \tag{22}$$

$$I_4 = \sqrt{\frac{C_r}{L_r}}\sqrt{2DV_i V_o + V_{Co1}^2 - V_{Co2}^2} \tag{23}$$

$$\Delta t_2 = \beta_1 \sqrt{L_r C_r} \tag{24}$$

$$\Delta t_5 = \beta_2 \sqrt{L_r C_r}. \tag{25}$$

As equações que definem os intervalos de tempo Δt_1, Δt_3, Δt_4 e Δt_6 são apresentadas a seguir:

$$\Delta t_1 = L_r \frac{I_1}{(V_{C1} + V_{Co2})} \tag{26}$$

$$\Delta t_3 = L_r \frac{(I_3 - I_2)}{(V_{C1} - V_{Co1})} \tag{27}$$

$$\Delta t_4 = L_r \frac{I_3}{(V_{C2} + V_{Co1})} \tag{28}$$

$$\Delta t_6 = L_r \frac{(I_1 - I_4)}{(V_{C2} - V_{Co2})}. \tag{29}$$

Das relações temporais, tem-se:

$$DT_s = \Delta t_1 + \Delta t_2 + \Delta t_3 \tag{30}$$

$$(1-D)T_s = \Delta t_4 + \Delta t_5 + \Delta t_6. \tag{31}$$

Por fim, através da análise da Figura 10, define-se a corrente média de saída refletida ao primário (I_{op}) como:

$$\begin{aligned} I_{op} = & \frac{1}{2T_s}\left(\frac{I_1 \Delta t_1}{2} + \frac{(I_2 + I_3)\Delta t_3}{2} + \right. \\ & \left. + \frac{I_3 \Delta t_4}{2} + \frac{(I_4 + I_1)\Delta t_6}{2}\right). \end{aligned} \tag{32}$$

C. Característica Estática do Conversor

A análise do comportamento do ganho do conversor em função da corrente de saída dos parâmetros do sistema pode ser feita através da característica estática da estrutura (também denominada de característica externa). Inicialmente, define-se a normalização da corrente de saída, conforme:

$$\bar{I}_{op} = I_{op}\frac{Z}{V_i} = \frac{I_{op}}{V_i}\sqrt{\frac{L_r}{C_r}}. \tag{33}$$

A partir de (33), é traçada a função de q por I_o para diferentes valores de μ_o e razão cíclica fixa (D=0,55), conforme apresentado na Figura 12. Observa-se que, para valores baixos de μ_o, até aproximadamente 0,2, o conversor apresenta característica de fonte de tensão (variação do ganho estático com a corrente de saída). Já para valores maiores de μ_o, o conversor apresenta característica de fonte de corrente (corrente de saída independente da tensão).

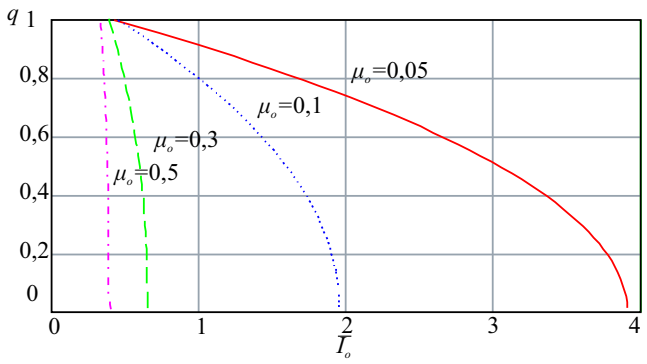


Fig. 12. Característica estática que relaciona o ganho estático com a corrente de carga normalizada, com $D = 0,55$ e diferentes valores de μ_o.

Na Figura 13 é apresentada a característica de D por I_o para diferentes valores de q, com μ_0 fixo em 0,1. É observado na figura que o comportamento do conversor é simétrico em relação ao valores de $D = 0,5$, conforme o esperado. O ponto de máxima transferência de energia acontece em $D = 0,5$, sendo que a corrente e o ganho estático variam em função de D, o que demonstra que o conversor proposto pode controlar a tensão de saída através da variação de D.

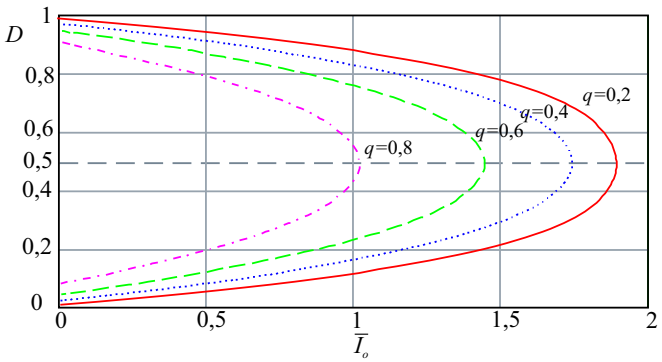


Fig. 13. Característica estática que relaciona a razão cíclica com a corrente de carga normalizada, com μ_0 = 0,1 e diferentes valores de ganho estático.

D. Estudo da Comutação

A topologia proposta pode ter comutação suave e o seu estudo se inicia com o cálculo do tempo morto. Deve-se considerar que, devido a assimetria dos comandos, a corrente que flui no indutor no momento da comutação é diferente em cada interruptor. Ao observar a forma de onda da corrente i_{Lr} na Figura 10, percebe-se que I_1 é maior que I_3, ou seja, o interruptor S_2 comuta com uma corrente menor no indutor, sendo este o interruptor crítico para a análise da comutação.

O circuito equivalente no momento da comutação é apresentado na Figura 14. No instante em que um dos interruptores bloqueia começa o processo de carga ou descarga dos capacitores de comutação (C_{c1} e C_{c2}). A corrente nestes capacitores é metade da corrente de comutação (I_c). A tensão no capacitor referente ao interruptor que conduzia no instante anterior a comutação é zero e no que estava bloqueado é V_i.

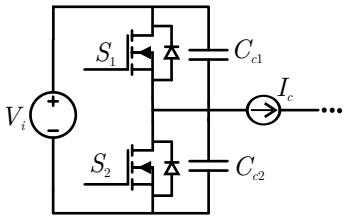


Fig. 14. Circuito equivalente no momento da comutação.

Assumindo como linear a variação das tensões nos capacitores C_{c1} e C_{c2} durante a comutação, a duração da comutação crítica pode ser calculada a partir do cálculo da corrente que flui no capacitor, ou seja:

$$t_{c2} = \frac{2C_{c2}V_i}{I_3}. \tag{34}$$

O tempo morto deve ser ajustado para ser menor que a etapa seguinte a comutação, pois assim evita-se que haja alteração na característica estática do conversor. No caso do interruptor crítico, esta etapa é Δt_4. Neste período a corrente passa pelo diodo em anti-paralelo com o interruptor, de modo que, se o tempo morto for menor que Δt_4, o comportamento do conversor não será alterado. Desta forma, define-se o tempo morto como:

$$t_{c2} < t_m < \Delta t_4. \tag{35}$$

Ao traçar curva de t_{c2} e Δt_4 por D, encontra-se o máximo D para o qual o conversor tem comutação suave no interruptor crítico. Ao definir a corrente de saída referente a esta razão cíclica, tem-se a faixa de carga para o qual o conversor oferece comutação suave no interruptor crítico.

O mesmo processo foi feito para o outro interruptor, e a conclusão obtida foi que ele possui comutação suave em toda a faixa de carga.

IV. EXEMPLO DE PROJETO E RESULTADOS EXPERIMENTAIS

A. Exemplo de Projeto

A fim de validar o estudo do conversor meia ponte paralelo ressonante, será apresentado um exemplo de projeto em que o conversor opera com uma relação unitária entre tensão na entrada e na carga. A escolha da tensão na carga visa explorar o benefício do dobrador de tensão, que permite obter relação de ganho unitária na entrada/saída, de modo que o transformador seja submetido a tensões da ordem da metade da tensão de entrada. Sendo assim, um protótipo foi construído e testado em laboratório, com as especificações mostradas na Tabela I. O ganho estático foi definido em 0,667 com objetivo de obter uma característica adequada de fonte de tensão (ver Figura 12). A razão cíclica no ponto de operação foi definida em 0,55, perto do ponto de máxima transferência de potência, mas com margem para operar adequadamente diante de transitórios de sobrecarga. Além disto, em potência nominal o conversor apresentará uma pequena assimetria (o conversor torna-se simétrico com D=0,5). A partir destes valores, é definida a tensão de saída refletida para o primário e a relação de transformação, conforme:

$$V_{op} = qV_i = 267 \text{ V} \tag{36}$$

$$n = \frac{V_o}{V_{op}} = 1,5. \tag{37}$$

A tensão no primário e potência de saída são empregadas para definir a corrente de saída refletida para primário e, por consequência, a corrente no transformador.

Os dados anteriores permitem projetar o transformador. A obtenção dos elementos parasitas do transformador foi baseada no experimento mostrado em [31], utilizando analisador de impedâncias Agilent 4294A, no qual foram obtidos os valores de capacitância intrínseca e indutância de dispersão. A indutância obtida no ensaio foi de $L_d = 2,6$ µH, e uma capacitância entre enrolamentos de $C_r = 0,01$ nF. Estes valores são utilizados para calcular o valor de μ_0 e a potência de saída. Caso o valor não seja coerente com o projeto, é

TABELA I
Especificações do Protótipo

V_i = 400 V	V_o = 400 V
q = 0,66	n = 1,5
D = 0,55	P_o = 1 kW
f_s = 50 kHz	μ_0 = 0,043
L_r = 38 µH	C_r = 0,5 nF
t_m = 1 µs	

adicionado um capacitor e/ou indutor externo para ajustar o μ_0 e, por consequência, a potência transferida.

No caso deste exemplo de projeto, o conversor transferirá a potência de 1 kW, portanto, o μ_0 deve ser de 0,043 que pode ser obtido com um indutor de 38 μH e um capacitor de 0,5 nF. Portanto, foram adicionados uma indutância externa de 35μH e um capacitor em paralelo com o enrolamento secundário, no valor de 0,22 nF, o qual tem o valor refletido ao primário de 0,495 nF. É importante frisar que a adição dos elementos não altera as equações e a análise. Isto porque, a adição da indutância série no primário soma com a indutância de dispersão e a adição do capacitor no secundário soma com a capacitância intrínseca do transformador [32], [33].

Por último, é definido o capacitor de comutação e o tempo morto com intuito de obter comutação suave. Utilizando (34) e (35) é possível arbitrar o tempo morto para encontrar valor necessário do capacitor de comutação e, assim, obter a comutação suave no conversor, sendo a recíproca válida. Neste trabalho foi escolhido o valor do capacitor e com ele foi calculado o tempo morto necessário utilizando (34). Sendo assim, foi utilizado um capacitor externo de 2,2 nF, conectado em paralelo com os terminais dreno e fonte dos interruptores, o qual associado ao capacitor intrínseco do semicondutor produz um tempo morto de 1 μs, o que respeita as restrições impostas por (35). Com isso, o valor máximo de D para obter comutação suave neste caso foi de 0,82, o que corresponde a uma carga de 43%. Assim, a faixa de comutação suave do conversor nesta especificação e neste projeto fica restrita entre 43% e 100% da carga nominal, que é uma faixa adequada dentro da família dos conversores com comutação suave.

TABELA II
Especificações dos Componentes

Componente	Valor
Capacitor de comutação	2,2 nF
Capacitores de entrada	2x20 µF(Polipropileno)
Capacitores de saída	200 µF(Polipropileno)
Capacitor ressonante	0,22 nF (secundário)
Indutor ressonante	35 µH
Transformador	$n = 1,5$
Interruptor de entrada (MOSFET)	IPW60R041C6
Diodos de saída	IDW40G65C5

B. Protótipo

A validação da estrutura, da análise e da metodologia de projeto foi desenvolvida no protótipo com as mesmas especiações da Tabela I. Os componentes utilizados no protótipo estão na Tabela II e uma fotografia do protótipo é apresentada na Figura 15.

C. Resultados Experimentais

Os resultados experimentais obtidos no protótipo são mostrados a seguir juntamente com uma discussão. A tensão nos interruptores e seus respectivos pulsos de comando em potência nominal são vistos na Figura 16. É possível observar que os interruptores somente são comandados a conduzir quando a tensão sobre eles já é zero, o que comprova a comutação suave neste ponto de operação. Além disto, a operação do conversor com assimetria nos comandos e, consequentemente, nas tensões dos interruptores é vista nas formas de onda da Figura 16.

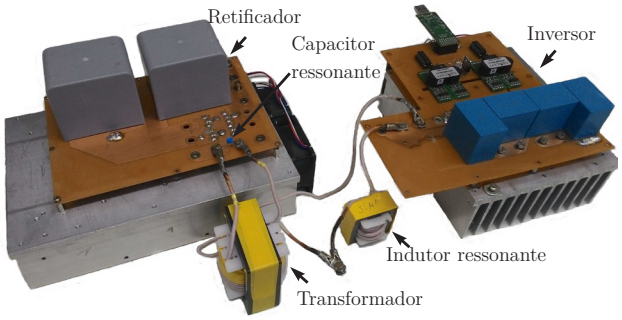


Fig. 15. Fotografia do protótipo de 1 kW.

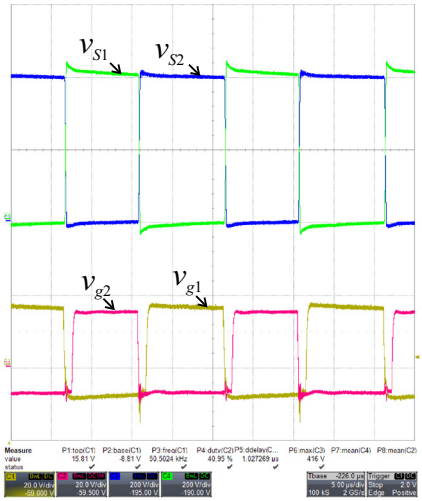


Fig. 16. Tensão sobre os interruptores e tensão de comando com carga nominal. Escala: v_s=200 V; v_g=20 V; t=5 µs.

As formas de onda da tensão na entrada do estágio ressonante (v_{ab}) e da corrente no indutor ressonante são mostradas na Figura 17. Analisando as formas de onda, verifica-se a assimetria do conversor, tanto pelos valores de pico diferentes na corrente do indutor ressonante quanto nos níveis de tensão na entrada do estágio ressonante. Este resultado foi previsto pela análise teórica, como pode ser observado nas formas de onda teóricas mostradas na Figura 10. A Tabela III mostra uma comparação entres os valores calculados e os valores medidos experimentalmente.

As formas de onda das tensões nos capacitores de entrada e saída no ponto de operação nominal são apresentadas na Figura 18. É observado que, conforme o esperado, há um desbalanço entre as tensões. As comparações entre os valores medidos e calculados das tensões nos capacitores são apresentadas na Tabela III. Os resultados obtidos ficaram próximos dos calculados, o que valida a análise teórica e a aproximação proposta para o cálculo das tensões nos capacitores de saída. Tanto as tensões de entrada quanto de saída são a soma das de tensões dos respectivos capacitores, e nos ensaios ambas mostraram valores próximos a 400 V.

Um ensaio de rendimento foi realizado na estrutura para os pontos de carga que o conversor apresenta comutação suave. Os resultados são vistos na Tabela IV e demostram um rendimento elevado para uma estrutura isolada (acima de 97%).

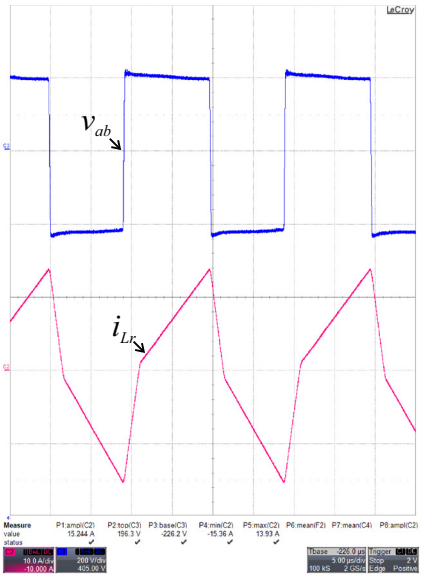


Fig. 17. Tensão na saída do inversor e corrente no indutor ressonante com carga nominal. Escala: v_{ab}=200 V; i_{Lr}=10 A; t=5 µs.

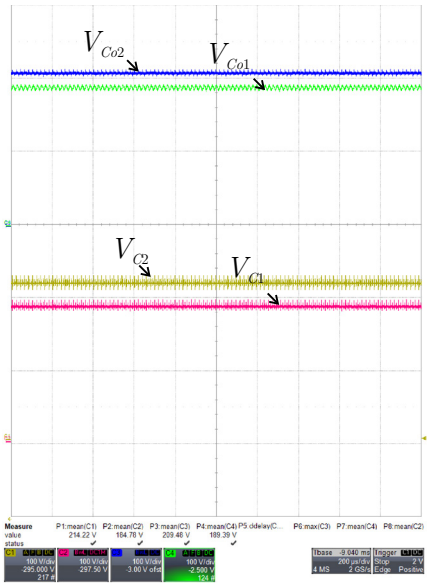


Fig. 18. Tensão sobre os capacitores com carga nominal. Escala: V_C=100 V; t=200 µs.

A comutação suave, a estrutura meia ponte no estágio inversor com apenas dois interruptores e o estágio retificador do tipo dobrador também com apenas dois diodos contribuem para o elevado rendimento.

As tensões e as correntes de entrada e de saída foram verificadas através do analisador de potência YOKOGAWA WT500. Os resultados em potência nominal são ilustrados na Figura 19, sendo que na coluna da esquerda estão as grandezas de entrada e na da direita estão as grandezas de saída. O rendimento é representado por η_1.

V. CONCLUSÕES

Este trabalho desenvolveu o estudo do conversor meia ponte paralelo ressonante com modulação PWM assimétrica e saída em tensão, que utiliza um retificador dobrador de tensão. Foi apresentado o equacionamento, a análise estática e um exemplo de projeto do conversor. Por último, um protótipo foi construído para validação da estrutura e da análise desenvolvida.

TABELA III
Comparação Entre os Valores Medidos e Calculados

Valor Calculado	Valor Medido	Erro (%)
V_{C1c} = 180 V	V_{C1m} = 182 V	1,11
V_{C2c} = 220 V	V_{C2m} = 225 V	2,27
V_{Co1c} = 124,77 V	V_{Co1m} = 125,46 V	0,55
V_{Co2c} = 141,86 V	V_{Co2m}= 143,46 V	1,12
I_{1c} = 16,15 A	I_{1m} = 16,00 A	0,93
I_{2c} = 1,14 A	I_{2m} = 1,30 A	14,03
I_{3ec} = 14,08 A	I_{3m} = 13,8 A	1,99
I_{4c} = 1,21 A	I_{4m} = 1,32 A	9,09
I_{oc} = 3,93 A	I_{om} = 3,81 A	3,05

TABELA IV
Resultados dos Ensaios de Rendimento

Potência (W)	Razão Cíclica	Rendimento (%)
600	0,75	97,4
750	0,7	97,3
1000	0,55	97,2

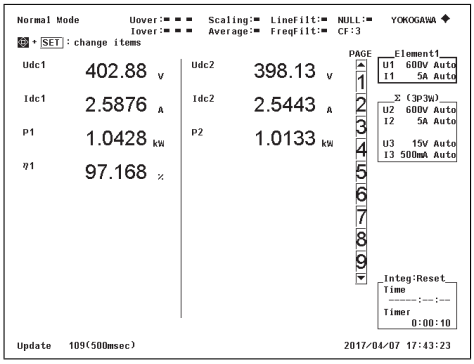


Fig. 19. Tensões e correntes de entrada e saída com carga nominal, obtidas via analisador de potência YOKOGAWA WT500.

O conversor ressonante meia ponte paralelo ressonante com retificador dobrador de tensão opera com valor médio de corrente nulo no transformador, sendo os capacitores do retificador responsáveis pela eliminação da componente de nível médio. Com isso, o problema encontrado no conversor meia ponte tradicional com modulação PWM assimétrica, referente a saturação do núcleo, é eliminado no conversor apresentado neste trabalho.

A análise mostrou que a máxima transferência de potência do conversor acontece com razão cíclica igual a 0,5 e a variação da razão cíclica permite controlar o ganho do conversor, portanto, ela é uma topologia ressonante que possibilita fazer o controle da tensão de saída pela variação da razão cíclica.

O conversor proposto apresentou um rendimento elevado e comutação suave numa faixa de carga de 60% a 100% da carga nominal, o que potencializa a sua aplicações em fontes de até 2 kW, elevando a faixa de aplicação usual da estrutura meia ponte. Os resultados tornam a solução interessante para aplicações em fontes de alta tensão, como em sistemas de radares, raio-x, raio-laser, etc.

REFERÊNCIAS

[1] T. B. Lazzarin, C. C. Custódio, I. Barbi, "Análise, Projeto e Experimentação de um Conversor CC-CC com Múltiplas Saídas em Alta Tensão Para Aplicações em TWTA", *Eletrônica de Potência*, vol. 20, no. 3, pp. 300–310, Ago. 2015.

[2] L. Katzir, D. Shmilovitz, "A Split-Source Multisection High-Voltage Power Supply for X-Ray", *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 4, no. 2, pp. 373–381, Jun. 2016.

[3] S. Vukosavic, L. Peric, S. Susic, "A Novel Power Converter Topology for Electrostatic Precipitators", *IEEE Transactions on Power Electronics*, vol. 31, no. 1, pp. 152–164, Jan. 2016.

[4] I. Barbi, R. Gules, "Isolated DC-DC converters with high-output voltage for TWTA telecommunication satellite applications", *IEEE Transactions on Power Electronics*, vol. 18, no. 4, pp. 975–984, Jul. 2003.

[5] G. L. Piazza, *Implementação de uma Fonte para Acionamento de Raio Laser*, Dissertação de Mestrado, Universidade Federal de Santa Catarina, Florianópolis, Brasil, 2008.

[6] D. T. Rodrigues, J. A. Pomilio, "Equalização de Potência entre Cargas Ressoantes de Alta Tensão através de Compensação Eletrônica de Parâmetros.", *Eletrônica de Potência*, vol. 18, no. 3, pp. 1073–1081, Ago. 2013.

[7] M. T. Outeiro, G. Buja, D. Czarkowski, "Resonant Power Converters: An Overview with Multiple Elements in the Resonant Tank Network", *IEEE Industrial Electronics Magazine*, vol. 10, no. 2, pp. 21–45, Jun. 2016.

[8] M. T. Outeiro, H. Suryawanshi, G. Buja, "Resonant power converters applications: LsCsLpCp circuit for renewable energy sources as case study", *in 42nd Annual Conference of the IEEE Industrial Electronics Society*, pp. 5651–5656, 2016.

[9] S. Soumiah, R. P. Vengatesh, S. E. Rajan, "Performance evaluation of single switch high frequency resonant power converter for alternative energy sources", *in International Conference on Circuits, Power and Computing Technologies*, pp. 1–10, 2015.

[10] G. Ortiz, M. G. Leibl, J. E. Huber, J. W. Kolar, "Design and Experimental Testing of a Resonant DC-DC Converter for Solid-State Transformers", *IEEE Transactions on Power Electronics*, vol. 32, no. 10, pp. 7534–7542, Out. 2017.

[11] L. F. Costa, G. Buticchi, M. Liserre, "Highly efficient and reliable DC-DC converter for smart transformer", *in IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 184–190, 2017.

[12] M. Brunoro, J. L. F. Vieira, "Fonte de Alimentação CC-CC 0-50V/0-10A em Ponte Completa com Controle por Deslocamento de Fase e Comutação ZVS.", *Eletrônica de Potência*, vol. 4, no. 1, pp. 1–9, Set. 1999.

[13] L. F. Costa, G. Buticchi, M. Liserre, "A family of series-resonant dc-dc converter with fault-tolerant capability", *in IEEE Applied Power Electronics Conference and Exposition*, pp. 3378–3384, 2017.

[14] N. Phankong, S. Chudjuarjeen, K. Bhumkittipich, T. Hikihara, "Half bridge soft switching resonant converter with silicon carbide power MOSFETs for induction heating", *in 19th International Conference on Electrical Machines and Systems*, pp. 1–4, 2016.

[15] V. Vlatkovic, M. Schutten, R. Steigerwald, "Auxiliary series resonant converter: a new converter for high-voltage, high-power applications", *in IEEE Applied Power Electronics Conference and Exposition (APEC)*, vol. 1, pp. 493–499, 1996.

[16] S. C. Kim, H. Heo, C. Moon, S. H. Nam, D. S. Kim, S. S. Park, J. H. Kim, S. S. Oh, J. W. Yang, J. H. Sho, "Optimal Design of 40-kV Long-Pulse Power Supply", *IEEE Transactions on Plasma Science*, vol. 44, no. 4, pp. 694–701, Abr. 2016.

[17] C. B. Viejo, M. A. P. Garcia, M. R. Secades, J. U. Antolin, "A resonant high voltage converter with C-type output filter", *in IEEE Industrial Application Society Meeting*, vol. 3, pp. 2401–2407, 1995.

[18] G. Liu, Y. Jang, M. M. Jovanovic, J. Q. Zhang, "Implementation of a 3.3-kW DC-DC Converter for EV On-Board Charger Employing the Series-Resonant Converter With Reduced-Frequency-Range Control", *IEEE Transactions on Power Electronics*, vol. 32, no. 6, pp. 4168–4184, Jun. 2017.

[19] B. K. Lee, J. P. Kim, S. G. Kim, J. Y. Lee, "An Isolated/Bidirectional PWM Resonant Converter for V2G(H) EV On-Board Charger", *IEEE Transactions on Vehicular Technology*, vol. 66, no. 9, pp. 7741 – 7750, Mar. 2017.

[20] C. O. Yeon, J. B. Lee, I. O. Lee, G. W. Moon, "Wide ZVS Range Asymmetric Half-Bridge Converter With Clamp Switch and Diode for High Conversion Efficiency", *IEEE Transactions on Industrial Electronics*, vol. 63, no. 5, pp. 2862–2870, Maio 2016.

[21] Y. Jeong, J. K. Kim, J. B. Lee, G. W. Moon, "An Asymmetric Half-Bridge Resonant Converter Having a Reduced Conduction Loss for DC/DC Power Applications With a Wide Range of Low Input Voltage", *IEEE Transactions on Power Electronics*, vol. 32, no. 10, pp. 7795–7804, Out. 2017.

[22] D. G. Bandeira, S. A. Mussa, I. Barbi, "A ZVS-PWM T-type isolated DC-DC converter", *in IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)*, pp. 1–6, 2015.

[23] S. D. Johnson, A. F. Witulski, R. W. Erickson, "A comparison of resonant topologies in high voltage DC applications", *in 2nd IEEE Applied Power Electronics Conference and Exposition*, pp. 145–156, 1987.

[24] H. Takano, J. Takahashi, T. Hatakeyama, M. Nakaoka, "Feasible characteristic evaluations of resonant tank PWM inverter-linked DC-DC high-power converters for medical-use high-voltage application", *in 10th Annual Applied Power Electronics Conference and Exposition*, pp. 913–919, 1995.

[25] G. Y. Jeong, "High efficiency asymmetrical half-bridge flyback converter using a new voltage-driven synchronous rectifier", *IET Power Electronics*, vol. 3, no. 1, pp. 18–32, Jan. 2010.

[26] D. Vinnikov, T. Jalakas, M. Egorov, "Feasibility study of half- and full-bridge isolated DC/DC converters in high-voltage high-power applications", *in 13th International Power Electronics and Motion Control Conference*, pp. 1257–1262, 2008.

[27] R. Redl, N. O. Sokal, C. W. Schaefer, "Transformer saturation and unusual system oscillation in capacitively coupled half-bridge or full-bridge forward converters: causes, analyses, and cures", *in 19th Annual IEEE Power Electronics Specialists Conference*, pp. 820–829, 1988.

[28] C. A. Baguley, B. Carsten, U. K. Madawala, "The Effect of DC Bias Conditions on Ferrite Core Losses", *IEEE Transactions on Magnetics*, vol. 44, no. 2, pp. 246–252, Fev. 2008.

[29] I. O. Lee, G. W. Moon, "A New Asymmetrical Half-Bridge Converter With Zero DC-Offset Current in Transformer", *IEEE Transactions on Power Electronics*, vol. 28, no. 5, pp. 2297–2306, Maio 2013.

[30] I. Roasto, D. Vinnikov, T. Lehtla, "Analysis of capacitor-related mid-voltage point shift problems in high-voltage half-bridge DC/DC converters", *in IEEE Power Electronics Specialists Conference*, pp. 3619–3622, 2008.

[31] G. L. Piazza, R. L. Alves, C. H. I. Font, I. Barbi, "Resonant circuit model and design for a high frequency high voltage switched-mode power supply", *in Brazilian Power Electronics Conference*, pp. 326–331, 2009.

[32] O. J. Custodio, *Conversor Paralelo Ressonante com Saída em Tensão Para Acionamento de uma Válvula TWT*, Dissertação de Mestrado, Universidade Federal de Santa Catarina, Florianópolis, Brasil, 2013.

[33] R. Gules, *Estudo de Conversores cc-cc Isolados Operando com Elevada Tensão de Saída e Alto Rendimento para Aplicações Aeroespaciais*, Tese de Doutorado, Universidade Federal de Santa Catarina, Florianópolis, Brasil, 2008.

DADOS BIOGRÁFICOS

Neilor Colombo Dal Pont nasceu em 25/12/1989 em Criciúma-SC. Recebeu o grau de bacharel em engenharia elétrica (2015) e mestre em engenharia elétrica (2017) pela Universidade Federal de Santa Catarina (UFSC).

Atualmente cursando doutorado pelo Programa de Pós Graduação em Engenharia Elétrica (PPGEEL) da UFSC, no Instituto de Eletrônica de Potência (INEP). Suas áreas de interesse incluem conversores a capacitor chaveado, inversores de tensão, conversores cc-cc de alta tensão e conversores ressonantes.

Delvanei Gomes Bandeira Junior nasceu em Pelotas, Rio Grande do Sul, Brasil, em 1986. Recebeu o grau de bacharel em engenharia elétrica da Universidade Católica de Pelotas em 2011, e o grau de mestre em engenharia elétrica pela Universidade Federal de Santa Catarina em 2014.

Atualmente participa do programa de doutorado da Universidade Federal de Santa Catarina, em Engenharia Elétrica, na subárea de eletrônica de potência e acionamento elétrico, atuando no Instituto de Eletrônica de Potência. Suas áreas de pesquisa envolvem comutação suave, conversores cc-cc operando com técnicas de capacitores chaveados e fontes chaveadas operando com altas tensões.

Telles Brunelli Lazzarin nasceu em Criciúma-SC em 1979. Recebeu o grau de bacharel em engenharia elétrica (2004), mestre em engenharia elétrica (2006) e doutor em engenharia elétrica (2010) pela Universidade Federal de Santa Catarina (UFSC). Atualmente é professor adjunto no departamento de engenharia elétrica da UFSC. Seus interesses incluem inversores, inversores operando em paralelo, UPS, conversores cc-cc de alta tensão, conversores ca-ca diretos, conversores a capacitor chaveado e conversores hibridos a capacitor chaveado.

Dr. Lazzarin é membro da Sociedade Brasileira de Eletrônica de Potência (SOBRAEP), da IEEE Power Electronics Society (PELS), da IEEE Industrial Electronics Society (IES) e da IEEE Industry Applications Society (IAS).

Ivo Barbi nasceu em Gaspar-SC em 1949. Recebeu o grau de bacharel e mestre em engenharia elétrica (1973 e 1976) pela Universidade Federal de Santa Catarina (UFSC), e de doutor em engenharia elétrica pelo Institut National Polytechnique de Toulouse, Toulouse, França, em 1979. Fundou a Sociedade Brasileira de Eletrônica de Potência (SOBRAEP) e a Conferência Brasileira de Eletrônica de Potência (COBEP) em 1990, o Instituto de Eletrônica de Potência (INEP) em 1994 e o Instituto Brasileiro de Eletrônica de Potência e Energias Renováveis (IBEPE) em 2016.

Prof. Barbi é IEEE Life Fellow, revisor associado da IEEE Transactions on Power Electronics e da IET Electronics Letters, presidente do IBEPE, pesquisador no Centro de Pesquisa de Energia Solar e professor voluntário no Departamento de Engenharia de Automação e Sistemas, na Pós-Graduação de Engenharia Elétrica e na Pós-Graduação de Engenharia de Automação e Sistemas da UFSC.

ESTIMAÇÃO DE PARÂMETROS E CONTROLE DE UM GERADOR DE INDUÇÃO DUPLAMENTE ALIMENTADO DURANTE A SINCRONIZAÇÃO COM A REDE ELÉTRICA

Celso R. Schmidlin Jr.[1], Francisco Kleber de A. Lima[2], Tobias R. Fernandes Neto[2], Carlos Gustavo C. Branco[2]

[1] Instituto Federal de Educação, Ciência e Tecnologia do Ceará, Maracanaú – CE, Brasil

[2] Universidade Federal do Ceará, Fortaleza – CE, Brasil

e-mail:celso@ifce.edu.br, klima@dee.ufc.br, tobias@dee.ufc.br, gustavo@dee.ufc.br

***Resumo* – O modelo matemático clássico do gerador de indução duplamente alimentado não considera as perdas no núcleo magnético e suplementares. Porém, ele é válido quando o gerador entrega sua potência nominal, o que não ocorre no processo de sincronização, onde o gerador está a vazio. Em geral, os modelos que consideram essas perdas tornam o equacionamento mais complexo. Neste sentido, este artigo propõe que se considerem estas perdas como agrupadas na resistência do rotor, o que mantém as equações da máquina inalteradas. Ainda, apresenta-se um método simplificado para a estimação dos parâmetros do circuito do rotor, os quais são utilizados para sintonizar os controladores de corrente durante o processo de sincronização à rede elétrica. Os resultados de simulação e experimentais confirmam a eficácia da abordagem proposta.**

***Palavras-Chave* – Estimação de Parâmetros, Gerador de Indução Duplamente Alimentado, Sincronização.**

PARAMETER ESTIMATION AND CONTROL OF A DOUBLY-FED INDUCTION GENERATOR DURING THE SYNCHRONIZATION WITH THE GRID

***Abstract* – The conventional mathematical model of the doubly-fed induction generator does not take into account the magnetic core and the stray load losses. However, this model is valid when the generator delivers its rated power, which does not occur during the synchronization process, as it is a no-load situation. In general, the models that consider these losses make the equations more complex. Thus, this paper proposes to consider these losses as grouped in the rotor resistance, which keeps unchanged the machine equations. In addition, a simplified method is presented for estimation of rotor circuit parameters, which are used to tune the current controllers during the process of synchronization with the grid. The simulation and experimental results confirm the effectiveness of the proposed approach.[1]**

***Keywords* – Parameter Estimation, Doubly-Fed Induction Generator, Synchronization.**

NOMENCLATURA

x, X	Variáveis nos domínios do tempo e frequência.
$\bar{x}$	Variável em regime permanente.
Δx	Variação do valor de x em relação a um ponto.
$\Delta\bar{x}$	Diferença entre dois valores de $\bar{x}$.
x_d, x_q	Variáveis nos eixos d, q.
x_s, x_r, x_g	Variáveis do estator, rotor, rede.
$x_{r'}$	Variável do rotor referida ao estator.
x_l	Variável de dispersão.
x_m	Variável relativa ao eixo mecânico.
x_ϕ	Variável relativa ao fluxo concatenado.
r	Resistência.
L	Indutância.
L_M	Indutância de magnetização.
n	Número de pares de polos.
a	Relação de espiras (rotor / estator).
ω	Frequência angular.
ϕ	Fluxo concatenado.
θ	Ângulo.
v	Tensão.
i	Corrente.
P	Potência ativa.
Q	Potência reativa.
t	Tempo.
d	Derivada.
s	Operador de Laplace.
F	Função de transferência.
K	Constante (ganho).
T	Constante de tempo.
ξ	Fator de amortecimento.

I. INTRODUÇÃO

Das diversas fontes de energia renovável, a energia eólica é abundante e limpa, sendo estes os principais motivos do seu crescimento ser mais significativo do que as demais [1]. Hoje, o conceito mais atraente de sistema de conversão eólio-elétrico (SCEE) de alta potência é o de velocidade variável [1], [2]. Dentre suas diversas vantagens, destaca-se a maior extração de energia, já que os sistemas de controle rastreiam o ponto de máxima potência em função da velocidade do vento.

[1]Artigo submetido em 25/07/2017. Primeira revisão em 26/09/2017. Aceito para publicação em 04/11/2017 por recomendação do Editor Marcelo Cabral Cavalcanti.

Dos SCEEs de velocidade variável, o baseado no gerador de indução de rotor bobinado, num arranjo em que é tratado como gerador de indução duplamente alimentado (DFIG, do inglês *Doubly-Fed Induction Generator*), tem dominado o mercado [1]-[3]. O estator do gerador é diretamente conectado à rede, enquanto o rotor é alimentado por dois conversores bidirecionais conectados em *back-to-back*, com um elo de corrente contínua (CC) entre eles [3]-[5]. Um destes converso-res é conectado à rede (conversor do lado da rede, CLR) atra-vés de um filtro (L, LC ou LCL) e é responsável pelo controle da tensão do elo CC, enquanto o outro é conectado ao rotor (conversor do lado da máquina, CLM) e tem como função o controle das potências ativa e reativa geradas no estator do DFIG através do controle das correntes no rotor [4].

A principal vantagem desta topologia de SCEE é o fato do conversor *back-to-back* processar cerca de 30% da potência nominal do gerador [4], [5]. Assim, em comparação com as topologias de SCEEs que fazem uso de conversores de escala plena, este conversor de escala parcial apresenta redução proporcional nas perdas e no custo [1], [5], [6]. Entretanto, isto também traz dificuldades adicionais a esta topologia de SCEE, como uma partida/sincronização mais complexa [3], [7] e um maior número de conexões/desconexões à/da rede elétrica, uma vez que o DFIG somente pode ser controlado numa faixa de velocidades próximas da velocidade síncrona, em geral com escorregamento variando entre 0,3 e –0,3 [3], [7].

Assim, antes de iniciar o processo de sincronização, é necessário que o DFIG esteja na rotação mínima. Para tal, ao ser detectada a velocidade mínima do vento, é ativado o controle de passo das pás que permite que a rotação do sistema se eleve de zero até a mínima (com escorregamento de 0,3), para então se iniciar o processo de sincronização [3].

Há na literatura diversos trabalhos tratando da modelagem e controle do DFIG, em geral com o CLM e o CLR controlados pelo controle vetorial. No caso do CLM, normalmente faz-se uso da orientação pelo campo com o referencial no fluxo do estator [3]-[16]. Por sua universalidade, esta técnica também foi estendida ao processo de sincronização à rede elétrica.

Assim, o arranjo de controladores mais comum tanto para a operação normal do DFIG quanto para se obter a sincronia entre as tensões do estator e da rede elétrica é composto por duas malhas com dois controladores proporcional-integral (PI) em cascata cada [3], [7], [8]. As malhas internas controlam as correntes do rotor e, externamente a estas, há malhas de controle das tensões do estator (durante a sincronização) ou outras relativas à operação normal após a conexão (potências ativa e reativa do estator, torque ou velocidade). Assim, as malhas internas de corrente podem ser compartilhadas pelos controles anteriormente descritos [3], [7]-[9].

Há na literatura um limitado número de publicações descrevendo a sincronização do DFIG à rede elétrica [3], [7]-[12]. Ainda, como são esperadas modificações no sistema a ser controlado após a conexão do DFIG à rede elétrica (devido à inserção do circuito do estator), essa variação deve ser considerada no projeto dos controladores de corrente caso estes sejam mantidos para as duas situações: sincronização e operação normal após a conexão [7], [9].

A Figura 1 traz o modelo clássico da máquina de indução em coordenadas *dq*, que despreza as perdas no núcleo magnético (perdas no ferro) e outras de menor relevância (perdas suplementares) [17]. Como muitos esquemas de controle se baseiam neste circuito, eles também ignoram estas perdas. Assim, o projeto dos controladores tem como base um circuito que não reflete de todo a realidade da planta. Desta forma, os resultados reais serão diferentes dos de projeto. Ainda, diversos trabalhos relatam que o sistema de controle pode perder a sintonia caso as perdas no ferro sejam desprezadas [17], [18].

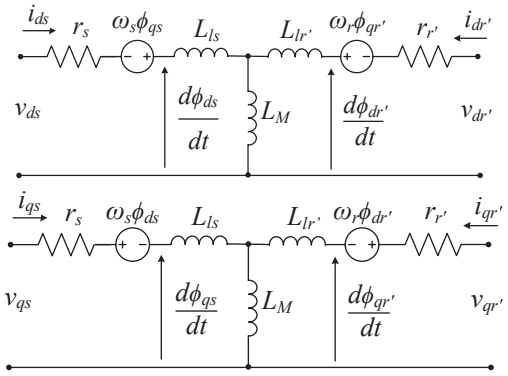


Fig. 1. Modelo clássico do DFIG em coordenadas *dq*.

Como a frequência das variáveis elétricas do rotor é igual à do estator vezes o escorregamento, para o caso de motores de indução, em que o escorregamento é cerca de 0,05, a perda no ferro do estator trata-se da parte dominante da perda total no ferro [9]. Por isso, estas perdas são comumente modeladas por uma resistência conectada em paralelo com a indutância de magnetização L_M. Apesar de apresentar boa precisão, essa abordagem torna as equações da máquina mais complexas o que implica em alta demanda computacional [19].

Entretanto, as perdas no ferro do rotor do DFIG são mais elevadas que a de motores de indução, pois seu rotor opera com frequências maiores em especial durante a sincronização, em que o escorregamento é igual a 0,3. Além disso, como o rotor do DFIG é alimentado por um conversor eletrônico de potência, as componentes harmônicas de tensão oriundas do chaveamento (da ordem de 2 a 20 kHz) também contribuem com a elevação das perdas no ferro do rotor [17].

Neste contexto, o presente trabalho propõe considerar todas as perdas do DFIG com estator em aberto durante o processo de sincronização à rede elétrica como agrupadas na resistência do rotor. Para tal, é proposto um método simplificado de estimação deste e outros parâmetros da máquina, o qual faz uso da vantagem proporcionada pelo DFIG que é o acesso ao circuito do rotor [10].

Como este trabalho faz uso do controle vetorial orientado pelo campo para a sincronização do DFIG à rede elétrica (o mais utilizado, conforme tratado anteriormente), o método simplificado de estimação proposto também será realizado considerando as variáveis representadas no referencial *dq*.

Para tal, este artigo está organizado da seguinte forma. A Seção II traz a modelagem clássica do DFIG em coordenadas *dq*, obtendo as funções de transferência (FTs) durante a sincronização com a rede elétrica. A Seção III apresenta o método simplificado proposto para estimação dos parâmetros destas FTs, com a respectiva verificação experimental. Por sua vez, a Seção IV apresenta o projeto dos controladores de corrente e tensão, com a respectiva verificação experimental. Por fim, a Seção V apresenta as conclusões do trabalho.

II. MODELAGEM DO DFIG NA SINCRONIZAÇÃO

A. Modelo Clássico em Coordenadas dq

A representação do DFIG em coordenadas *dq* foi desenvolvida primeiramente em [20] e consta em diversos textos sobre máquinas elétricas, como [21]-[23]. Assim, as equações das tensões do rotor referidas ao estator são:

$$v_{dr'} = r_{r'} i_{dr'} + L_{r'}\, di_{dr'}/dt + L_M\, di_{ds}/dt - \omega_r \phi_{qr'} \quad (1)$$

$$v_{qr'} = r_{r'} i_{qr'} + L_{r'}\, di_{qr'}/dt + L_M\, di_{qs}/dt + \omega_r \phi_{dr'} \quad (2)$$

$$\phi_{dr'} = L_{r'} i_{dr'} + L_M i_{ds} \quad (3)$$

$$\phi_{qr'} = L_{r'} i_{qr'} + L_M i_{qs} \quad (4)$$

$$L_{r'} = L_M + L_{lr'}. \quad (5)$$

Por sua vez, as equações das tensões do estator são:

$$v_{ds} = r_s i_{ds} + L_s\, di_{ds}/dt + L_M\, di_{dr'}/dt - \omega_s \phi_{qs} \quad (6)$$

$$v_{qs} = r_s i_{qs} + L_s\, di_{qs}/dt + L_M\, di_{qr'}/dt + \omega_s \phi_{ds} \quad (7)$$

$$\phi_{ds} = L_s i_{ds} + L_M i_{dr'} \quad (8)$$

$$\phi_{qs} = L_s i_{qs} + L_M i_{qr'} \quad (9)$$

$$L_s = L_M + L_{ls}. \quad (10)$$

A partir de (1) a (10) são obtidos os circuitos equivalentes do DFIG em coordenadas *dq* mostrados na Figura 1.

B. Funções de Transferência na Sincronização

Durante a sincronização do DFIG com o estator em aberto, suas respectivas correntes são nulas [7]. O gerador é assim alimentado pelo CLM, que aplica tensões ao rotor com o objetivo de induzir tensões no estator em sincronia com a rede elétrica. Dessa forma, (1), (2), (6) e (7) tornam-se:

$$v_{dr'} = r_{r'} i_{dr'} + L_{r'}\, di_{dr'}/dt - \omega_r L_{r'} i_{qr'} \quad (11)$$

$$v_{qr'} = r_{r'} i_{qr'} + L_{r'}\, di_{qr'}/dt + \omega_r L_{r'} i_{dr'} \quad (12)$$

$$v_{ds} = L_M\, di_{dr'}/dt - \omega_s L_M i_{qr'} \quad (13)$$

$$v_{qs} = L_M\, di_{qr'}/dt + \omega_s L_M i_{dr'}. \quad (14)$$

De (13) e (14), percebe-se que, em regime permanente (desprezando os termos contendo derivadas), têm-se:

$$\overline{v_{ds}} = -\omega_s L_M \overline{i_{qr'}} \quad (15)$$

$$\overline{v_{qs}} = \omega_s L_M \overline{i_{dr'}} \quad (16)$$

em que a barra sobre as variáveis denota que estas estão em regime permanente. Com isso, as tensões do estator têm uma relação de proporcionalidade com as correntes do rotor. Ainda, o controle das correntes do rotor garante também o controle das tensões do estator.

Com isso, para se efetuar a sincronização do DFIG com a rede elétrica, serão projetadas malhas internas de controle das correntes do rotor e, externamente a estas, malhas de controle das tensões do estator. Na literatura há outros métodos de controle disponíveis para se executar a sincronização do DFIG à rede elétrica, sendo que se optou por este (como tratado em [7], [10], [13]) dada à sua simplicidade.

Segundo [24], a dinâmica da malha interna de controle deve ser mais rápida que a da malha externa. Para tal, é possível se projetar a malha interna com uma frequência de cruzamento bem alta, próxima de metade da frequência de chaveamento. Assim, a baixas frequências o ganho da malha interna é bastante baixo e o ganho da malha externa é muito maior.

Impondo ao rotor um degrau de baixa amplitude na tensão $v_{qr'}$ com $v_{dr'}$ mantido constante (ou seja, $dv_{dr'}/dt = 0$), as variáveis de (11) e (12) também irão desenvolver pequenas excursões em relação aos seus respectivos pontos de equilíbrio e, assim, pode-se efetuar a linearização do modelo do DIFG para essa situação. Com isso, aplicando a transformada de Laplace à equação linearizada resultante de (11), obtém-se:

$$\frac{\Delta I_{dr'}}{\Delta I_{qr'}} = \frac{\omega_r L_{r'}}{r_{r'} + sL_{r'}} \quad (17)$$

em que Δ representa um pequeno desvio na respectiva variável em relação ao ponto de equilíbrio.

A forma padrão de uma FT de primeira ordem é dada por:

$$F_1(s) = K_1/[sT_1 + 1]. \quad (18)$$

Comparando a FT de (17) com (18), obtêm-se:

$$T_1 = L_{r'}/r_{r'} \quad (19)$$

$$K_1 = \omega_r L_{r'}/r_{r'} = \omega_r T_1. \quad (20)$$

Aplicando-se agora a transformada de Laplace à equação linearizada resultante de (12) e fazendo uso de (17), chegam-se às seguintes FTs:

$$\frac{\Delta I_{dr'}}{\Delta V_{qr'}} = \frac{\omega_r L_{r'}}{s^2 {L_{r'}}^2 + s2r_{r'}L_{r'} + \left({r_{r'}}^2 + {\omega_r}^2 {L_{r'}}^2\right)} \quad (21)$$

$$\frac{\Delta I_{qr'}}{\Delta V_{qr'}} = \frac{r_{r'} + sL_{r'}}{s^2 {L_{r'}}^2 + s2r_{r'}L_{r'} + \left({r_{r'}}^2 + {\omega_r}^2 {L_{r'}}^2\right)}. \quad (22)$$

A forma padrão de uma FT de segunda ordem é dada por:

$$F_2(s) = K_2/\left(s^2 {T_2}^2 + s2\xi T_2 + 1\right). \quad (23)$$

Comparando-se (21) e (23), obtêm-se:

$$K_2 = \omega_r L_{r'}/\left({r_{r'}}^2 + {\omega_r}^2 {L_{r'}}^2\right) \quad (24)$$

$$T_2 = L_{r'}/\sqrt{{r_{r'}}^2 + {\omega_r}^2 {L_{r'}}^2} \quad (25)$$

$$\xi = r_{r'}/\sqrt{{r_{r'}}^2 + {\omega_r}^2 {L_{r'}}^2}. \quad (26)$$

Não é necessário detalhar a aplicação ao rotor de um degrau na tensão $v_{dr'}$ com $v_{qr'} = 0$, dado que o resultado são equações semelhantes a (17) a (26), apenas com K_1 e K_2 com sinais negativos em (20) e (24). Ainda, como será mostrado, o equacionamento apresentado é suficiente para a estimação dos parâmetros do DFIG e sintonia dos controladores de corrente.

III. ESTIMAÇÃO DOS PARÂMETROS DAS FTS

A. Metodologia Proposta

Substituindo-se (20) em (24), chega-se a:

$$r_{r'} = K_1/\left[K_2\left(1 + K_1{}^2\right)\right]. \quad (27)$$

De (18) e (23), tem-se que em regime permanente $F_1(s) = K_1$ e $F_2(s) = K_2$. Assim, a partir de (17) e (21), obtêm-se:

$$K_1 = \Delta\overline{\iota_{dr'}}/\Delta\overline{\iota_{qr'}} \quad (28)$$

$$K_2 = \Delta\overline{\iota_{dr'}}/\Delta\overline{v_{qr'}} \quad (29)$$

em que $\Delta\bar{x}$ representa a diferença entre os valores em regime permanente de x depois e antes da aplicação de um degrau.

Assim, substituindo (28) e (29) em (27) é obtido $r_{r'}$. Com a frequência angular ω_r (ω_s vezes o escorregamento do DFIG), $L_{r'}$ é obtida a partir de (20) e, consequentemente, T_1, T_2 e ξ, respectivamente a partir de (19), (25) e (26).

Como será apresentado na sequência, esses parâmetros são úteis para a sintonia dos controladores de corrente. Feito isso, será aplicado um degrau na referência de uma das correntes $i_{dr'}$ e $i_{qr'}$, mantendo a outra em zero. Assim, com os valores em regime permanente das correntes do rotor e tensões do estator, e conhecendo-se o valor de ω_s, pode-se determinar L_M a partir de (15) e (16), ou na forma linearizada:

$$L_M = -\Delta\overline{v_{ds}}/\left(\Delta\overline{\iota_{qr'}}\omega_s\right) = \Delta\overline{v_{qs}}/\left(\Delta\overline{\iota_{dr'}}\omega_s\right). \quad (30)$$

De posse de L_M, projetam-se os controladores das tensões do estator para a sincronização do DFIG à rede elétrica.

Com isso, a metodologia de estimação de parâmetros proposta é simples de ser implementada, pois necessita apenas de valores em regime permanente das variáveis em dq.

B. Verificação Experimental

A Figura 2 mostra o protótipo utilizado nos ensaios experimentais. O mesmo está implantado no Laboratório de Aplicações de Eletrônica de Potência & Integração a Sistemas de Energia (LAPIS), no Departamento de Engenharia Elétrica (DEE) da Universidade Federal do Ceará (UFC).

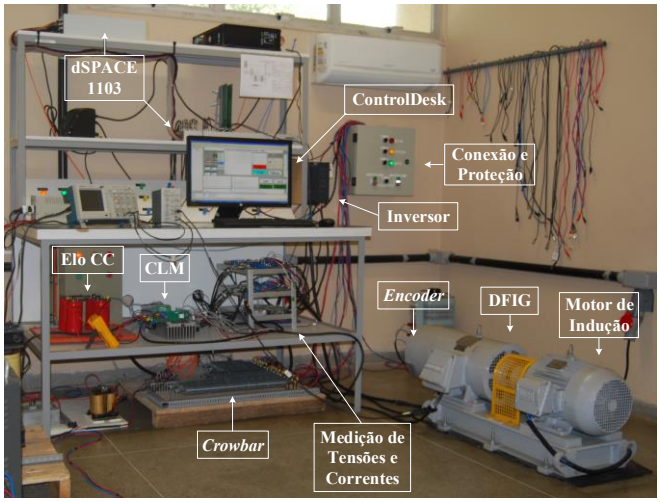


Fig. 2. Plataforma experimental do LAPIS.

As Tabelas I e II trazem, respectivamente, os dados de placa e os parâmetros do DFIG de quatro polos ($n = 2$), sendo que os parâmetros foram obtidos via ensaios clássicos de motores de indução [25].

TABELA I
Dados de Placa do DFIG

Descrição	Valor	Descrição	Valor
Potência Nominal	10 CV	Frequência	60 Hz
Tensão (Linha) do Estator	380 V	Tensão (Linha) do Rotor	436 V
Corrente (Linha) do Estator	12,1 A	Corrente (Linha) do Rotor	8,2 A
Ligação do Estator	Y	Ligação do Rotor	Y

TABELA II
Parâmetros do DFIG Obtidos via Ensaios Clássicos

Variável	Valor	Variável	Valor	Variável	Valor
a	1,2854	L_s	113,013 mH	$r_{r'}$	0,5712 Ω
r_s	0,6719 Ω	L_M	108,003 mH	$L_{r'}$	114,426 mH

A Figura 3 mostra um diagrama de blocos representativo da estrutura experimental utilizada no ensaio de estimação. Todos os sinais medidos são enviados à plataforma dSPACE 1103, sendo tratados no Simulink. Deste, alguns sinais são enviados à unidade eletrônica de controle desenvolvida no *software* ControlDesk (que acompanha o dSPACE), onde são visualizados e salvos. Desta última, também advêm os valores de referência das tensões $v_{dr'}$ e $v_{qr'}$.

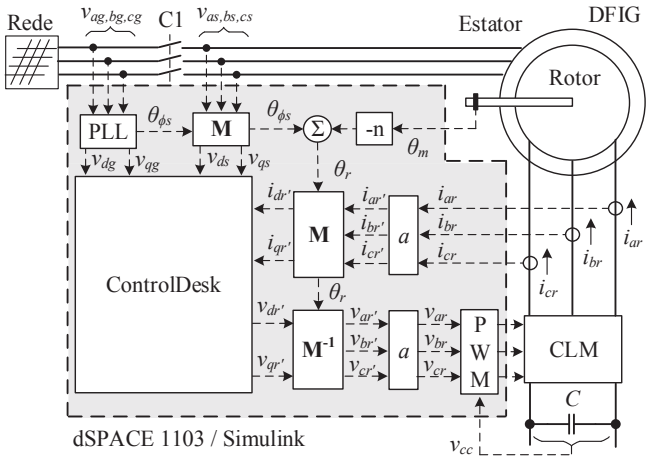


Fig. 3. Representação da estrutura experimental utilizada.

Como mostra a Figura 3, as tensões da rede elétrica (v_{ag}, v_{bg} e v_{cg}) são enviadas a um circuito de captura de fase (PLL, do inglês *Phase Locked Loop*), obtendo-se as tensões em dq (v_{dg} e v_{qg}) e o ângulo $\theta_{\phi s}$, que também é utilizado para transformar as tensões do estator de abc (v_{as}, v_{bs} e v_{cs}) para dq (v_{ds} e v_{qs}) por meio da matriz **M** de invariância em potência (utilizada em todas as transformações entre os referenciais abc e dq). Há na literatura diversas topologias diferentes de PLL, sendo que neste trabalho faz-se uso de um duplo integrador generalizado de segunda ordem com malha de captura de frequência (DSOGI-FLL, do inglês *Double Second-Order Generalized Integrator – Frequency Locked Loop*) [14], o qual é rápido, bastante preciso e de fácil implementação [15]. Ainda, esta estrutura é também utilizada no sistema de proteção contra afundamentos de tensão e sobrecorrentes do rotor da bancada da Figura 2, conforme detalhado em [16].

No controle vetorial clássico, escolhe-se geralmente alinhar o referencial dq ao vetor espacial do fluxo concatenado do estator (sendo por isso chamado de controle vetorial orientado no fluxo do estator ou orientado pelo campo). Segundo [3],

visando garantir maior estabilidade ao controle vetorial, é comum se calcular o ângulo do fluxo do estator de forma aproximada a partir da não consideração da resistência do estator (r_s). Assim, utiliza-se o ângulo $\theta_{\phi s}$ que garante v_{dg}= 0 e v_{qg} máximo positivo, ou seja, o referencial girante está em fase com o eixo q da tensão da rede. Dessa forma, depois de conectado, o vetor fluxo concatenado do estator pode ser considerado como alinhado com o eixo d do referencial dq, de forma que $\phi_{qs} \approx 0$ [3], [9].

Para a transformação das correntes do rotor de abc para dq é utilizado, por sua vez, o ângulo $\theta_r = \theta_{\phi s} - n\theta_m$, em que θ_m é o ângulo mecânico medido por meio de um *encoder* e n é o número de pares de polos.

Nota-se que as correntes do rotor em abc (i_{ar}, i_{br} e i_{cr}) são multiplicas pela relação de espiras (a, obtendo-se $i_{ar'}$, $i_{br'}$ e $i_{cr'}$). Assim, trabalha-se no dSPACE com variáveis referidas ao estator. Com isso, as tensões do rotor referidas ao estator em abc ($v_{ar'}$, $v_{br'}$ e $v_{cr'}$), obtidas da aplicação de $\mathbf{M^{-1}}$ às tensões de referência advindas do ControlDesk, também são multiplicadas por a (obtendo-se v_{ar}, v_{br} e v_{cr}) antes de serem enviadas ao bloco de modulação por largura de pulsos (PWM, do inglês,*Pulse Width Modulation*).

Com o DFIG girando à velocidade mínima de 1260 rpm (escorregamento de 0,3 e ω_r = 113,1 rad/s), são aplicados degraus na tensão $v_{qr'}$ (com $\Delta\overline{v_{qr'}}$ = 10 V) até a sincronização ($v_{qr'}$ = 120 V) e, assim, obtêm-se os dados da Tabela III. Vale ressaltar que apesar de não haver malha fechada de controle da tensão de saída do inversor, estes valores foram verificados por meio de medição.

TABELA III
Estimação dos Parâmetros das FTs do Rotor

Ponto de Operação	$v_{qr'}$ [V]	K_1	K_2	$r_{r'}$ [Ω]	T_1 [ms]	$L_{r'}$ [mH]	T_2 [ms]	ξ
1	0-10	1,73	0,0647	6,69	15,30	102,38	7,66	0,500
2	10-20	2,66	0,0682	4,83	23,54	113,59	8,28	0,352
3	20-30	3,31	0,0708	3,91	29,25	114,43	8,46	0,289
4	30-40	3,67	0,0726	3,50	32,41	113,31	8,53	0,263
5	40-50	3,90	0,0751	3,20	34,50	110,43	8,57	0,248
6	50-60	4,03	0,0776	3,15	35,61	107,35	8,58	0,241
7	60-70	4,15	0,0804	2,83	36,66	103,91	8,60	0,234
8	70-80	4,29	0,0841	2,63	37,96	99,77	8,61	0,227
9	80-90	4,28	0,0897	2,47	37,82	93,46	8,61	0,228
10	90-100	4,21	0,0995	2,26	37,18	84,13	8,60	0,231
11	100-110	4,01	0,1185	1,98	35,43	70,24	8,58	0,242
12	110-120	3,73	0,1514	1,65	32,98	54,50	8,54	0,259

Como mostra a Tabela III, a indutância $L_{r'}$ apresenta uma variação de até 10,5 % para os pontos de operação de 1 a 7, com valor máximo próximo ao da Tabela II. Entretanto, à medida que o ponto de operação se desloca para $v_{qr'}$ com valores maiores que 70 V, verifica-se uma redução em $L_{r'}$. Isso se deve à saturação do rotor, como pode ser verificado pela Figura 4, que mostra a variação da potência reativa do rotor (Q_r) em função do quadrado da tensão $v_{qr'}$. É sabido que a potência reativa varia de forma linear com o quadrado da tensão. Como mostra a Figura 4, essa relação de linearidade é somente verificada até tensões $v_{qr'}$ de 70 V.

Por sua vez, a resistência $r_{r'}$ apresenta valor quase doze vezes maior que o da Tabela II (para o ponto de operação 1), o qual vai diminuindo à medida que $v_{qr'}$ aumenta. Esta variação de $r_{r'}$ trata-se de uma consequência e desvantagem de se considerar as perdas no ferro e outras perdas de menor relevância (proporcionais ao quadrado da tensão) como agrupadas nesta resistência (que normalmente representa as perdas por efeito Joule no rotor, proporcionais ao quadrado da corrente), como tratado também em [19].

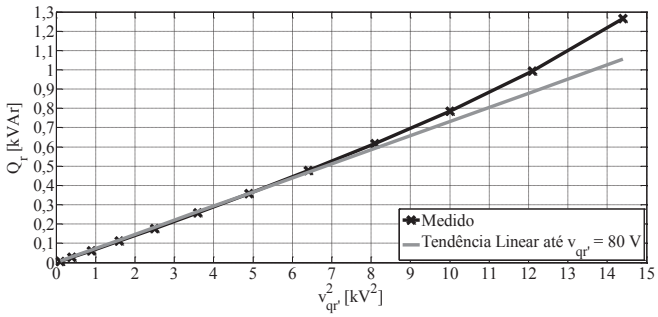


Fig. 4. Variação de Q_r em função do quadrado de $v_{qr'}$.

As Figuras 5 e 6 mostram as respostas do sistema a degraus em $v_{qr'}$ indo até 20 V e 80 V. As demais curvas obtidas para degraus em $v_{qr'}$ entre estes extremos apresentam-se de forma semelhante e não são mostradas para não dificultar a visualização. Ainda, não são mostrados os gráficos para tensões maiores, pois, como tratado anteriormente, há a saturação do rotor da máquina, que distorce as formas de onda de corrente. Também são mostradas as respostas do sistema a degraus em $v_{qr'}$ indo de 0 a 10 V pois as correntes apresentam valores reduzidos e os ruídos de medição tornam difícil a análise visual.

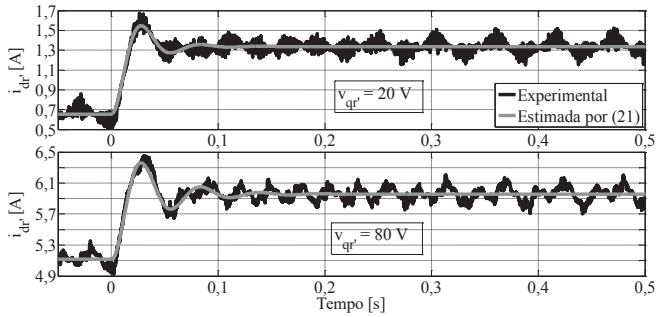


Fig. 5. Respostas de $i_{dr'}$ a degraus em $v_{qr'}$ de 10 a 20 V e 70 a 80 V.

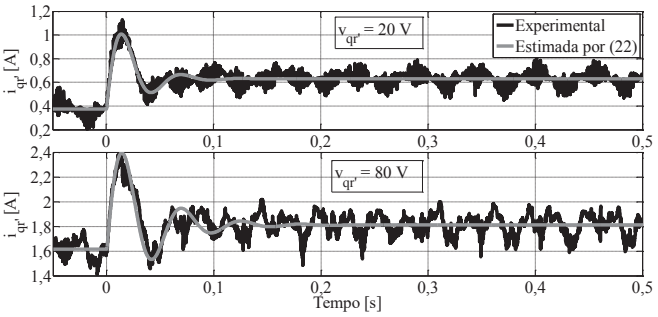


Fig. 6. Respostas de $i_{qr'}$ a degraus em $v_{qr'}$ de 10 a 20 V e 70 a 80 V.

Comparando as curvas estimada e experimental das Figuras 5 e 6, percebe-se que o método de estimação proposto mantém o mesmo nível a precisão na determinação do sobressinal e do amortecimento de $i_{dr'}$, e $i_{qr'}$, mesmo com o aumento de $v_{qr'}$.

Ressalta-se que as oscilações nas correntes $i_{dr'}$ e $i_{qr'}$ que se mantém em regime permanente devem-se a desequilíbrios nas

correntes do rotor (por problemas no próprio circuito do rotor do DFIG utilizado), que ao serem convertidas do referencial *abc* para *dq* refletem-se em oscilações no dobro da frequência das respectivas variáveis elétricas (no caso, 18 Hz e 36 Hz).

IV. CONTROLE DO DFIG NA SINCRONIZAÇÃO

A Figura 7 traz um diagrama representativo da bancada experimental da Figura 3 com a inserção dos controladores de corrente e tensão detalhados na sequência. Deve-se observar que as tensões da rede em coordenadas *dq* são consideradas como referências dos controladores de tensão. Assim, na interface do ControlDesk foi inserido um botão que habilita o sistema de controle e sincroniza o DFIG à rede elétrica.

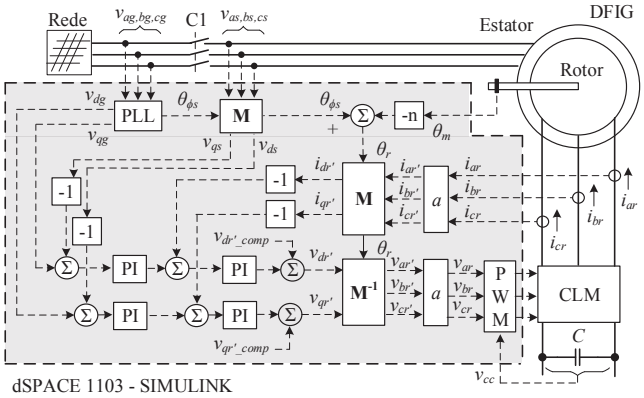


Fig. 7. Representação da estrutura experimental utilizada.

A. Projeto dos Controladores de Corrente

Aplicando a transformada de Laplace a (11) e (12), têm-se:

$$V_{dr'} = (r_{r'} + sL_{r'})I_{dr'} - \omega_r L_{r'} I_{qr'} \tag{31}$$

$$V_{qr'} = (r_{r'} + sL_{r'})I_{qr'} + \omega_r L_{r'} I_{dr'}. \tag{32}$$

De (31) e (32) é obtida a representação do rotor do DFIG na sincronização, em destaque nas malhas de controle das correntes do rotor da Figura 8. Considerando os termos dependentes de ω_r como de alimentação direta (*feed-forward*), garante-se o desacoplamento entre os eixos *d* e *q*.

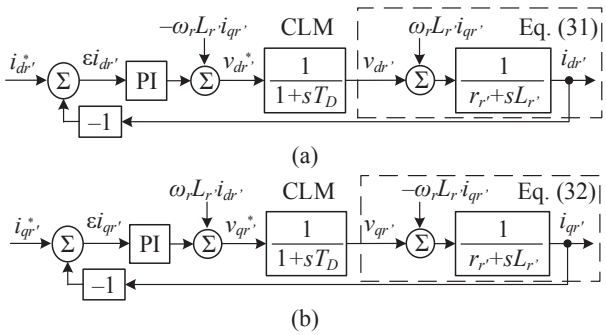


Fig. 8. Malhas fechadas de controle das correntes do rotor referidas ao estator de eixos (a) direto e (b) quadratura.

Na Figura 8, a FT de primeira ordem com constante de tempo T_D visa representar o atraso do CLM. Assim, considera-se $T_D = 1{,}5T_{ch}$, sendo o período de chaveamento $T_{ch} = 0{,}1$ ms (equivalente a uma frequência de chaveamento de 10 kHz).

A sintonia de todos os controladores PI deste trabalho foi feita por alocação de polos através da ferramenta *SISO Design Tool* do MATLAB. Dado que há variações nos polos da planta, como mostra a Figura 9, buscou-se que a resposta ao degrau unitário da planta identificada mais lenta (com $r_{r'}$ = 2,63 Ω e $L_{r'}$ = 99,77 mH, sendo esse inclusive o polo relativo à tensão $v_{qr'}$ a partir da qual o rotor do DFIG começa a saturar) apresentasse máximo sobressinal de 5% e tempo de assentamento de 0,1 s. Assim, os ganhos proporcional e integral obtidos são K_{Pi} = 5,2 V/A e K_{Ii} = 232,2 V/(A.s).

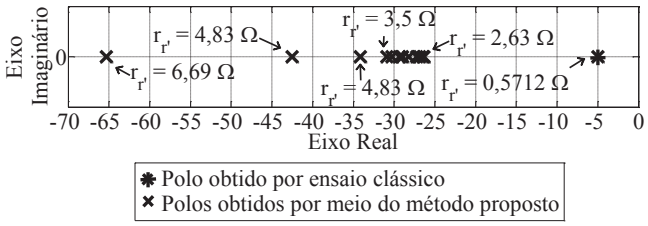


Fig. 9. Variação dos polos da planta.

A Figura 10 mostra como se aproximam as respostas ao degrau unitário simulada e experimental das malhas de controle das correntes do rotor da Figura 8 para as plantas com $r_{r'}$ = 6,69 Ω (ponto de operação 1) e $r_{r'}$ = 2,63 Ω (ponto de operação 8, sendo esta a planta para a qual foi projetada o controlador de corrente). Além destas, a Figura 9 também traz a resposta simulada da planta com $r_{r'}$ = 0,5712 Ω (a planta com os valores de $r_{r'}$ e $L_{r'}$ da Tabela II), de forma a mostrar como esta difere das respostas obtidas a partir do método de estimação de parâmetros proposto.

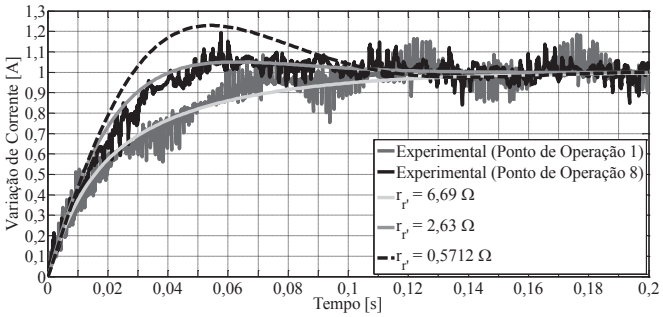


Fig. 10. Resposta ao degrau unitário nas correntes do rotor.

Para avaliar de forma quantitativa a aproximação das curvas simuladas em relação às obtidas experimentalmente, será utilizado o índice de desempenho proposto em [26], chamado de integral normalizada do erro absoluto (NIAE, do inglês *Normalized Integral of Absolute Error*), sendo:

$$NIAE = 1 - \frac{\int_0^\infty \left| x_{experimental} - x_{simulado} \right| dt}{\int_0^\infty \left| x_{experimental} \right|}. \tag{33}$$

Assim, quanto mais próximo da unidade o valor de NIAE, mais a curva simulada se aproxima da experimental. Para a Figura 10, os valores de NIAE para $r_{r'}$ igual a 6,69 Ω e 2,63 são, respectivamente, 0,9578 e 0,9923. Com isso, conclui-se que o projeto do controlador de corrente realizado a partir da planta estimada mais lenta mostra-se adequado, pois os

resultados de simulação se aproximam dos experimentais para os diversos pontos de operação.

Após a sintonia dos controladores de corrente foi aplicado um degrau na referência de $i_{dr'}$ ou $i_{qr'}$, mantendo a outra em zero. Assim, a partir de (30), determinou-se L_M = 110,0549 mH, valor próximo do apresentado na Tabela II.

B. Controlador de Tensão

Aplicando a transformada de Laplace a (13) e (14), têm-se:

$$V_{ds} = L_M s I_{dr'} - \omega_s L_M I_{qr'} \quad (34)$$

$$V_{qs} = L_M s I_{qr'} + \omega_s L_M I_{dr'}. \quad (35)$$

De (34) e (35) é obtida a representação do ramo de magnetização do DFIG na sincronização, em destaque nas malhas fechadas de controle das tensões do estator da Figura 11. Ao contrário dos controladores de corrente, os termos dependentes de s/ω_s não serão acrescidos como termos de compensação da corrente do rotor, já que os mesmos são nulos em regime permanente (devido ao termo derivativo s) e apresentam valores reduzidos no transitório (devido à divisão por ω_s).

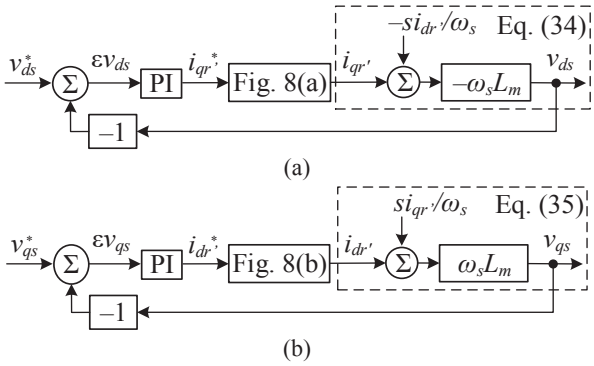


Fig. 11. Malhas fechadas de controle das tensões do estator de eixos (a) direto e (b) quadratura.

Na Figura 11, os blocos nomeados como Fig. 8(a) e Fig. 8(b) tratam-se das malhas fechadas de controle de corrente tratadas nestas figuras.

Na sintonia dos PIs, buscou-se uma resposta ao degrau sem sobressinal e com tempo de assentamento de 1 s. Assim, os ganhos proporcional e integral dos controladores são, respectivamente, K_{Pv} = ±0,0009 A/V e K_{Iv} = ±0,09 A/(V.s).

Reforça-se mais uma vez que a dinâmica da malha externa de tensão é mais lenta que a da malha interna de corrente para que, a baixas frequências, o ganho da malha interna seja bastante baixo e o ganho da malha externa muito maior [24].

A Figura 12 mostra as respostas experimental e simulada a um degrau unitário em v_{qs}. Os sinais filtrados advêm de filtros passa-baixa de Butterworth com frequência de corte de 10 Hz e são apresentados apenas para uma melhor visualização, pois nota-se uma elevada distorção harmônica nas componentes *dq* das tensões do estator antes da conexão à rede elétrica (deixando de existir após a conexão). Os autores atribuem essa ocorrência a problemas construtivos da própria máquina (como citado anteriormente) e à impossibilidade de acesso ao centro estrela do estator para ser possível a realização de medições mais precisas das respectivas tensões.

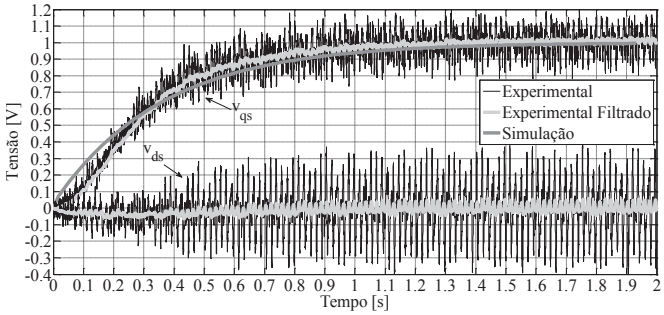


Fig. 12. Resposta ao degrau unitário em v_{qs}.

Aplicando (33) às respostas das malhas de controle de v_{qs} obtidas por meio de simulação para qualquer dos valores de $r_{r'}$ e $L_{r'}$ das Tabelas II e III, o valor de NIAE obtido foi de 0,9403. Assim, a partir do projeto adequado do controlador de corrente (ou seja, para a planta mais lenta obtida no ensaio de estimação proposto), quaisquer dos valores de $r_{r'}$ e $L_{r'}$ das Tabelas II e III poderiam ser utilizados para a sintonia da malha de controle de tensão do estator. Esta afirmação é reforçada pelas respostas em frequência de malha aberta dos controladores de tensão, que apresentam margens de fase praticamente iguais (com cerca de 90º) e frequências de cruzamento de 3,75 rad/s.

Ainda, além do comportamento semelhante das curvas de v_{qs} simulada e experimental filtrada, percebe-se que a não inclusão dos termos de alimentação direta das correntes do rotor é perfeitamente aceitável.

A Figura 13 mostra as tensões de fase de sequência positiva durante o processo de sincronização. Visando uma melhor visualização, as mesmas foram limitadas até o instante 1 s. Já a Figura 14 mostra que no instante da conexão (t = 0) não foram verificadas correntes consideráveis no estator. Isto assegura que a sincronização foi realizada satisfatoriamente.

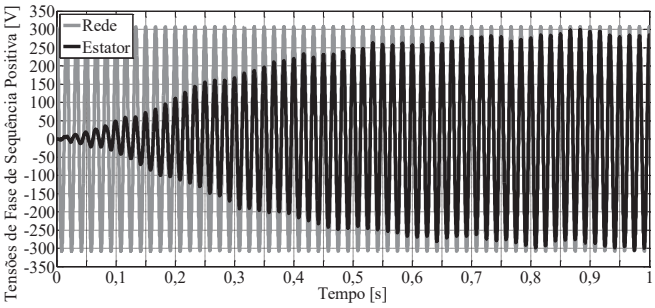


Fig. 13. Tensões de fase de sequência positiva na sincronização.

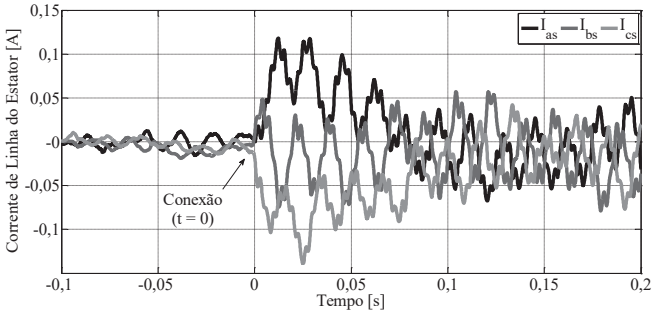


Fig. 14. Corrente no estator no instante da conexão à rede elétrica.

As distorções presentes no sinal de corrente da Figura 14 se devem, como citado anteriormente, a problemas construtivos da própria máquina.

V. CONCLUSÕES

Este trabalho propõe considerar as perdas suplementares e do núcleo do DFIG com estator em aberto durante o processo de sincronização à rede elétrica como agrupadas na resistência do rotor ($r_{r'}$). Para tal, apresenta um método simplificado de estimação dos parâmetros do circuito equivalente do rotor para fins de projeto dos controladores de corrente, o qual necessita apenas de valores em regime permanente das variáveis em *dq*.

Os resultados experimentais mostram que o projeto dos controladores de corrente é mais preciso quando realizado considerando um valor de $r_{r'}$ maior do que o obtido por meio do ensaio clássico de medição da resistência em CC. Neste sentido, o valor obtido pelo método de estimação proposto mostrou-se adequado.

Ainda, estando os controladores de corrente projetados de forma adequada (ou seja, para a planta mais lenta obtida no ensaio de estimação proposto), poderiam ser utilizados para o projeto dos controladores de tensão os valores de resistência e indutância do rotor referidas ao estator tanto obtidos por meio de ensaios clássicos quanto pela metodologia proposta.

Assim, como vantagens ao SCEE baseado em DFIG, o presente artigo mostra que a utilização dos parâmetros estimados pelo método proposto garante o adequado projeto dos controladores, com a consequente sincronização do DFIG à rede elétrica da forma esperada.

Como há modificações na planta após a conexão do DFIG à rede elétrica, essa variação deve ser considerada no projeto dos controladores de corrente caso estes sejam mantidos para as duas situações: sincronização e conexão. Alternativamente, outros controladores de corrente podem ser utilizados após a conexão, projetados para essa situação específica.

AGRADECIMENTOS

Os autores gostariam de agradecer ao IFCE – Campus Maracanaú, em especial aos professores da área de Indústria, por permitirem a realização deste trabalho.

REFERÊNCIAS

[1] F. Blaabjerg, K. Ma, "Future on power electronics for wind turbine systems", *IEEE Journal of Emerging and Selected Topics in Power Electronics*, v. 1, n. 3, pp. 139–152, Sep. 2013.

[2] Z. Q. Zhu, J. Hu, "Electrical machines and power-electronic systems for high-power wind energy generation applications. Part I – market penetration, current technology and advanced machine systems", *The International Journal for Computation and Mathematics in Electrical and Electronic Engineering*, v. 32, n. 1, pp. 7-33, Dec. 2012.

[3] G. Abad, J. López, M. Rodríguez, L. Marroyo, G. Iwanski, *Doubly Fed Induction Machine*, John Wiley & Sons, New Jersey, 2011.

[4] S. V. Dias, T. R. Fernandes Neto, L. L. N. dos Reis, B. C. Torrico, J. C. T. Campos, "Controlador de Corrente Preditivo Contínuo com Anti-Windup Aplicado a um Sistema de Geração Eólico Baseado em DFIG", *Eletrônica de Potência*, v. 22, n. 1, p. 71-80, Jan./Mar. 2017.

[5] A. Petersson, *Analysis, Modeling and Control of Doubly-Fed Induction Generators for Wind Turbines*. PhD Thesis, Chalmers University of Technology, Göteborg, Sweden, 2005.

[6] R. Pena, J. Clare, G. Asher, "Doubly fed induction generator using back-to-back PWM converters and its application to variable-speed wind-energy generation", *IEE Proceedings – Electric Power Applications*, v. 143, n. 3, pp. 231-241, May 1996.

[7] G. Tapia, G. Santamaría, M. Telleria, A. Susperregui, "Methodology for Smooth Connection of Doubly Fed Induction Generators to the Grid", *IEEE Transactions on Energy Conversion*, v. 24, n. 4, pp. 959-971, Dec. 2009.

[8] A. Abdelbaset, A.-H. M. El-Sayed, A. E. H. Abozeid, "Grid synchronization enhancement of a wind driven DFIG using adaptive sliding mode control", *IET Renewable Power Generation,* v. 11, n. 5, pp. 688-695, Mar. 2017.

[9] G. Yuan, J. Chai, and Y. Li, "Vector Control and Synchronization of Doubly Fed Induction Wind Generator System," *in 4th International PEMC Conference Proceedings*, pp. 886–890, 2004.

[10] A. Susperregui, J. Jugo, I. Lizarraga, G. Tapia, "Automated control of doubly fed induction generator integrating sensorless parameter estimation and grid synchronisation", *IET Renewable Power Generation*, v. 8, n. 1, pp. 76–89, Jan. 2014.

[11] S. Z. Chen, N. C. Cheung, K. C. Wong, J. Wu, "Grid Synchronization of Doubly-fed Induction Generator Using Integral Variable Structure Control", *IEEE Transactions on Energy Conversion*, vol. 24, n. 4, pp. 875-883, Dec. 2009.

[12] A. G. Abo-Khalil, "Synchronization of DFIG output voltage to utility grid in wind power system*", Renewable Energy*, v. 44, pp. 193-198, Aug. 2012.

[13] H. Voltolini, *Modelagem e Controle de Geradores de Indução Duplamente Alimentados com Aplicação em Sistemas Eólicos*. Tese de Doutorado, Universidade Federal de Santa Catarina, Florianópolis, Brasil, 2007.

[14] R. Teodorescu, M. Liserre, P. Rodriguez, F. Blaabjerg, *Grid Converters for Photovoltaic and Wind Power Systems*, John Wiley & Sons, 2011.

[15] F. K. de A. Lima, C. G. C. Branco, "Modelo em Malha Fechada para o Gerador de Indução Duplamente Alimentado Baseado em Controladores Proporcional e Integral", *Eletrônica de Potência*, v. 21, n. 2, p. 81-90, Mar./Jun. 2016.

[16] J. L. Dantas, F. K. de A. Lima, J. M. Guerrero, J. C. Vasquez, C. G. C. Branco, "Um Algoritmo Robusto e Rápido para Detecção de Afundamento de Tensão", *Eletrônica de Potência*, v. 21, n.1, p. 024-031, Dez. 2015 / Fev. 2016.

[17] E. Levi, "Impact of Iron Loss on Behavior of Vector Controlled Induction Machines", *IEEE Transactions on Industry Applications*, v. 31, n. 6, pp. 1287-1296, Nov./Dec. 1995.

[18] E. Levi, M. Sokola, A. Boglietti, M. Pastorelli, "Iron loss in rotor-flux-oriented induction machines: identification, assessment of detuning, and compensation", *IEEE Transaction on Power Electronics*, v. 11, n. 5, pp. 698–709, Sep. 1996.

[19] M. Bašić, D. Vukadinović, G. Petrović, "Dynamic and pole-zero analysis of self-excited induction generator using a novel model with iron losses", *Electrical Power and Energy Systems,*v. 42, n. 1, pp. 105–118, Nov. 2012.

[20] D. S. Brereton, D. G. Lewis, C. C. Young, "Representation of induction-motor loads during power-system stability studies", *Transactions of the American Institute of Electrical Engineers*. Part III: *Power Apparatus and Systems*, IEEE, v. 76, n. 3, p. 451–460, Apr. 1957.

[21] P. C. Krause, O. Wasynczuk, S. D. Sudhoff, *Analysis of Electric Machinery and Drive Systems*, Wiley-IEEE Press, 2. ed., 2002.

[22] I. Barbi, *Teoria Fundamental do Motor de Indução*, UFSC, Florianópolis, 1985.

[23] A. E. Fitzgerald, C. Kingsley Jr., S. D. Umas, *Máquinas Elétricas: com Introdução à Eletrônica de Potência*, Bookman – Grupo A, 6. ed., Porto Alegre, 2006.

[24] R. B. Ridley, B. H. Cho, F. C. Y. Lee, "Analysis and Interpretation of Loop Gains of Multiloop-Controlled Switching Regulators", *IEEE Transactions on Power Electronics,* v. 3, n. 4, pp. 489-498, Oct. 1988.

[25] *Máquinas elétricas girantes – Parte 1: Motores de indução trifásicos – Ensaios*, NBR 5383-1, 2002.

[26] H. A. Pereira, A. F. Cupertino, R. Teodorescu, S. R. Silva, "High Performance Reduced Order Models for Wind Turbines with Full-Scale Converters Applied on Grid Interconnection Studies", *Energies*, v. 7, pp. 7694-7716, Nov. 2014.

DADOS BIOGRÁFICOS

Celso Rogério Schmidlin Júnior possui graduação (2003) e mestrado (2006) em Engenharia Elétrica pela Universidade Federal do Ceará (UFC). É professor de ensino básico, técnico e tecnológico do Instituto Federal de Educação, Ciência e Tecnologia, inicialmente no Piauí (2007 a 2010) e atualmente no Ceará (desde 2010). Cursa doutorado em Engenharia Elétrica na UFC (desde 2013). Suas áreas de interesse são: eletrônica de potência, fontes alternativas de energia, máquinas elétricas e acionamentos de máquinas elétricas.

Francisco Kleber de Araújo Lima é Engenheiro Eletricista (1998) e Mestre em Engenharia Elétrica (2003), pela UFC. Recebeu o título de Doutor em Engenharia Elétrica pela COPPE/UFRJ em 2009. É professor do Departamento de Engenharia Elétrica da UFC. Suas áreas de interesse são: Energias Renováveis, Eletrônica de Potência, Qualidade de Energia, Acionamentos de Máquinas Elétricas e Filtragem Ativa. Ele é membro da SOBRAEP e do IEEE.

Tobias Rafael Fernandes Neto possui graduação em Engenharia Elétrica pela Universidade de Fortaleza (2004), mestrado em Engenharia Elétrica pela UFC (2007) e doutorado em Engenharia Elétrica pela *Technische Universität Darmstadt* (2012). Suas principais áreas de interesse são as máquinas elétricas e eletrônica de potência.

Carlos Gustavo Castelo Branco possui Graduação (2002) e mestrado (2005) em Engenharia Elétrica pela UFC. Durante o Mestrado trabalhou em Projetos de P&D na área de Fontes Ininterruptas de Energia (UPS) e Conversores de Alta Potência. Desde 2005 trabalha na área de P&D de sistemas UPS Isolados em Alta Frequência, Sistemas de Energia Fotovoltaica e Acionamentos de Máquinas. É professor assistente do Departamento de Engenharia Elétrica da UFC. Ele é membro da SOBRAEP e do IEEE.

NORMAS PARA PUBLICAÇÃO EM PORTUGUÊS – INSERIR AQUI O TÍTULO (TAMANHO LETRA 14 PT, LETRAS MAIÚSCULAS, NEGRITO E CENTRADO)

Primeiro A. Autor[1], Segundo B. Autor[2] (Nomes dos Autores, 12 Pt, Centrado Abaixo do Título)
[1]Primeira Afiliação, Cidade – UF, País (10 Pt, Centrado Abaixo dos Nomes dos Autores)
[2]Segunda Afiliação (se necessário), Cidade – UF, País (10 Pt, Centrado Abaixo dos Nomes dos Autores)
e-mail: autor1@email.br, autor2@email.com

***Resumo* – O objetivo deste documento é instruir os autores sobre a preparação dos trabalhos para publicação na Revista Eletrônica de Potência. Solicita-se aos autores que utilizem estas normas desde a elaboração da versão inicial até a versão final de seus trabalhos. Somente serão aceitos para publicação trabalhos que estejam integralmente de acordo com estas normas. Informações adicionais sobre procedimentos e normas podem ser obtidas também diretamente com o editor, ou, através do portal iSOBRAEP no endereço eletrônico: http://www.sobraep.org.br/revista. Observa-se que são aceitas submissões em inglês ou espanhol, sendo que as normas para estes idiomas são apresentadas no mesmo endereço eletrônico. Este texto foi redigido segundo as normas aqui apresentadas para artigos submetidos em português.**

***Palavras-Chave* – Os autores devem apresentar um conjunto de até seis palavras-chave (em ordem alfabética, todas iniciais maiúsculas e separadas por vírgula) que possam identificar os principais tópicos abordados.**

TITLE HERE IN ENGLISH IS MANDATORY (12 PT, UPPERCASE, BOLD, CENTERED)

***Abstract* – The objective of this document is to instruct the authors about the preparation of the manuscript for its submission to the Revista Eletrônica de Potência. The authors should use these guidelines for preparing both the initial and final versions of their paper. Additional information about procedures and guidelines for publication can be obtained directly with the editor, or, through the web site http://www.sobraep.org.br/revista. English or Spanish can be used for editing the papers, and the guidelines for these languages are provided in the same web site. This text was written according to these guidelines for submission in Portuguese.**

***Keywords* – Authors shall provide a maximum of six keywords (in alphabetical order, capitalized, separated by commas) to help identify the major topics of the paper.**

Nota de rodapé na página inicial será utilizada apenas pelo editor para indicar o andamento do processo de revisão. Não suprima esta nota de rodapé quando editar seu artigo.

NOMENCLATURA

P	Número de polos.
V_{dq}	Componentes dq da tensão de estator.

I. INTRODUÇÃO

A Revista Eletrônica de Potência é um meio apropriado no qual os membros da SOBRAEP (Associação Brasileira de Eletrônica de Potência) e demais pesquisadores atuantes na grande área da Eletrônica de Potência podem apresentar e discutir suas atividades e contribuições científicas. Neste contexto, o Conselho Editorial convida os interessados a apresentarem artigos completos que envolvam o estado da arte na área, através de resultados teóricos e experimentais, além de informações tutoriais, nos tópicos de interesse da SOBRAEP. Caso o trabalho, ou parte dele, já tenha sido publicado em alguma revista ou conferência, nacional ou internacional, deve ser destacado no corpo do trabalho.

Serão aceitos trabalhos em português e inglês. Os textos submetidos em português devem conter também o título (title), resumo (abstract) e palavras-chave (keywords) em inglês, obrigatoriamente.

Os autores deverão submeter e acompanhar todo o processo de revisão e publicação através do portal iSOBRAEP: http://www.sobraep.org.br/revista.

Somente serão aceitos trabalhos submetidos como documento em PDF editável (aberto). Portanto, após a edição de seu trabalho, em conformidade com estas normas, deverá ser gerado um documento em PDF com boa qualidade, para que possa ser submetido através do portal iSOBRAEP. Observa-se ainda que para a publicação da versão final, somente serão aceitos artigos que estejam em conformidade com estas normas de edição e tenham preenchido o formulário *Copyright* disponível no portal iSOBRAEP.

A seção de Introdução tem o objetivo geral de apresentar a natureza do problema enfocado no trabalho, através de adequada revisão bibliográfica, o propósito e a contribuição do artigo submetido.

Caso seja pertinente, antes da Introdução pode ser incluída uma seção Nomenclatura com uma lista de variáveis usadas no texto. Este item não deve ser numerado, assim como os itens Agradecimentos, Referências e Dados Biográficos.

A. Apresentação do Texto

Os artigos submetidos para publicação na Revista Eletrônica de Potência devem possuir, preferencialmente, **oito** ou menos páginas. Artigos com um maior número de páginas deverão pagar uma taxa (R$ 150,00 por página extra para autor correspondente membro da SOBRAEP ou R$

200,00 por página extra para autor correspondente não membro da SOBRAEP) antes da sua publicação, sendo aceitas até quatro páginas extras. Assim, o limite máximo é de **12 páginas**.

A Revista Eletrônica de Potência é uma revista com acesso livre (open access), tendo as seguintes taxas de publicação: autor correspondente membro profissional da SOBRAEP – grátis; autor correspondente membro estudante da SOBRAEP – R$ 50,00 por artigo; autor correspondente não membro da SOBRAEP – R$ 200,00 por artigo.

Deve-se usar, obrigatoriamente, as unidades do Sistema Internacional (SI ou MKS).

Cabe ao(s) autor(es) do trabalho a preparação dos originais e, posteriormente, seu envio de forma eletrônica, em PDF, através do portal iSOBRAEP, de acordo com estas normas. Os trabalhos que estiverem fora dos padrões estabelecidos serão recusados, com a devida informação ao autor correspondente.

B. Edição do Texto

A editoração do trabalho deve ser feita selecionando o formato A4 (297 mm x 210 mm), de acordo com este exemplo.

Como processador de texto, estimula-se o uso do processador Word for Windows.

1) Tamanho das letras utilizadas no trabalho: Os tamanhos das letras especificadas nesta norma seguem o padrão do processador Word for Windows e o tipo de letra utilizado é Times New Roman. A Tabela I mostra os tamanhos padrões de letras utilizadas nas seções do artigo.

TABELA I
Tamanhos e Tipos de Letras Utilizadas no Texto

	Estilo		
Tamanho (pontos)	**Normal**	**Negrito**	**Itálico**
8	Texto de tabelas		
9	Legendas de figuras		
10	Instituição dos autores; texto em geral; referências	Textos do resumo e palavras-chave; títulos de tabelas	Títulos do resumo e palavras-chave
12	Nomes dos autores	Título em inglês	
14		Título do trabalho	

2) Formatação das páginas: Na formatação das páginas, as margens superior e inferior deverão ser fixadas em 25 mm, a margem esquerda em 18 mm e a margem direita em 12 mm. As colunas de textos deverão apresentar uma largura igual a 87 mm e um espaçamento entre si de 6 mm. A tabulação a ser utilizada na primeira linha dos parágrafos deverá ser fixada em 4 mm.

II. ESTILO DO TRABALHO

Neste item são apresentados os principais estilos utilizados para edição do trabalho.

A. Organização Geral

Os trabalhos a serem publicados na revista devem conter as seguintes seções principais: 1) Título; 2) Autores e Instituições de origem; 3) Resumo e Palavras-Chave; 4) Título em inglês (Title), Abstract e Keywords; 5) Introdução; 6) Corpo do trabalho; 7) Conclusões; 8) Referências; 9) Dados Biográficos. Esta ordem deve ser respeitada, a menos que os autores usem alguns itens adicionais, tais como: Nomenclatura; Apêndices e Agradecimentos.

A seguir serão feitos alguns comentários sobre os principais itens mencionados.

1) Título: O título em português do trabalho deve ser o mais sucinto possível, indicando claramente o assunto de que se trata. Deve estar centrado no topo da primeira página, sendo impresso em negrito, tamanho 14 pontos, com todas as letras em maiúsculo.

2) Autores e instituições de origem: Abaixo do título do trabalho (deixando uma linha em branco), também centrados na página, devem ser informados os nomes dos autores. Poderão ser abreviados os nomes e sobrenomes intermediários e escritos na sua forma completa o primeiro nome e o último sobrenome (letras do tipo 12 pontos). Imediatamente abaixo do nome dos autores, informar as instituições a que pertencem, cidade, estado e país e, logo abaixo, o endereço eletrônico de contato (letras do tipo 10 pontos).

3) Resumo e palavras-chave: Esta parte é considerada como uma das mais importantes do trabalho. É baseado nas informações contidas no resumo e nas palavras-chave que os trabalhos técnicos são indexados e armazenados em bancos de dados.

O resumo deve conter no máximo 200 palavras de forma a indicar as ideias principais apresentadas no texto, procedimentos e resultados obtidos. O resumo não deve ser confundido com uma introdução do trabalho e não deve conter abreviações, referências, figuras, etc. Na elaboração do resumo, como também em todo o trabalho, deve ser utilizada a forma impessoal como, por exemplo, "... Os resultados experimentais mostraram que ..." ao invés de "...os resultados que nós obtivemos mostraram que...". A palavra Resumo deve ser grafada em estilo itálico e em negrito. Já o texto deste Resumo será em estilo normal e em negrito.

Palavras-chave são termos para indexação que possam identificar os principais tópicos abordados no trabalho. O termo Palavras-Chave deve ser grafado em estilo itálico e em negrito. O texto deste item será em estilo normal e em negrito.

4) Informações em inglês: O título deverá ser reproduzido em inglês, conforme normas apresentadas, destacando-se o estilo em letras todas maiúsculas, negrito e tamanho 12.

A palavra Abstract deve ser grafada em itálico e em negrito. Já o texto deste Abstract (em inglês) será em estilo normal e em negrito.

Keywords são termos para indexação, em inglês, que identificam os principais tópicos abordados no trabalho. O termo Keywords deve ser grafado em itálico e em negrito. Já o texto deste item será em estilo normal e em negrito.

5) Introdução: A introdução deve preparar o leitor para o trabalho propriamente dito, dando uma visão histórica do assunto, e servir como um guia a respeito de como o trabalho está organizado, enfatizando quais são as reais contribuições do mesmo em relação aos já apresentados na literatura. A introdução não deve ser uma repetição do Resumo e deve ser a primeira seção do trabalho a ser numerada como seção.

6) Corpo do trabalho: Os autores devem organizar o corpo do trabalho em diversas seções, as quais devem conter de forma clara, as informações a respeito do trabalho desenvolvido, facilitando a compreensão do mesmo por parte dos leitores.

7) Conclusões: As conclusões devem ser as mais claras possíveis, informando aos leitores sobre a importância do trabalho dentro do contexto em que se situa. As vantagens e desvantagens em relação aos já existentes na literatura devem ser comentadas, assim como os resultados obtidos e as possíveis aplicações práticas do trabalho.

8) Referências: As citações das referências ao longo do texto devem aparecer entre colchetes, antes da pontuação das sentenças nas quais estiverem inseridas. Devem ser utilizados somente os números das referências, evitando-se uso de citações do tipo "...conforme referência [2]...".

Os trabalhos que foram aceitos para publicação, mas que ainda não foram publicados, devem ser colocados nas referências com a citação "no Prelo".

Os artigos de periódicos e anais devem ser incluídos iniciando-se pelos nomes dos autores (iniciais seguidas do último sobrenome), seguido do título do trabalho, onde foi publicado (em itálico), número do volume, páginas, mês e ano da publicação.

No caso de livros, após os autores (iniciais seguidas do último sobrenome), o título deve ser em itálico, seguido da editora, da edição e do local e ano de publicação.

No final destas normas, é mostrado um exemplo de como devem ser apresentadas as referências [1]-[8].

9) Dados biográficos: Os dados biográficos dos autores deverão estar na mesma ordem de autores colocados no início do trabalho e deverão conter basicamente os seguintes dados:

- Nome Completo (em negrito e sublinhado);
- Local e ano de Graduação e Pós-Graduação;
- Experiência Profissional (Instituições e empresas em que já trabalhou, número de patentes obtidas, áreas de atuação, atividades científicas relevantes, sociedades científicas a que pertence, etc.).

Caso sejam utilizados os itens adicionais Nomenclatura, Apêndices e Agradecimentos as seguintes instruções devem ser observadas:

10) Nomenclatura: A nomenclatura consiste na definição das variáveis e símbolos utilizados ao longo do trabalho. Não é obrigatória a sua inclusão e este item não é numerado como seção. Se este item for incluído, deve preceder o item Introdução. Caso os autores optem por não incluir este item, as definições das variáveis e símbolos utilizados devem ser incluídas ao longo do texto, logo após o seu aparecimento. No início destas normas é apresentado um exemplo para este item opcional.

11) Agradecimentos e apêndices: Os agradecimentos a eventuais colaboradores, assim como apêndices, não recebem numeração e devem ser colocados no texto, antes das referências. No final deste trabalho é mostrado um exemplo de como podem ser feitos estes agradecimentos.

Na última página do artigo os autores devem distribuir o conteúdo uniformemente, utilizando-se ambas as colunas, de tal forma que estejam paralelas quanto ao fechamento das mesmas.

B. Organização das Seções do Trabalho

A organização do trabalho em títulos e subtítulos serve para dividi-lo em seções, que ajudam o leitor a encontrar determinados assuntos de interesse dentro do trabalho. Também auxiliam os autores a desenvolverem de forma ordenada seu trabalho. O trabalho deve ser organizado em seções primárias, secundárias e terciárias.

As seções primárias são os títulos de seções propriamente ditos. São grafados em letras maiúsculas no centro da coluna, separadas por uma linha em branco anterior e uma posterior, e utilizam numeração romana e sequencial.

As seções secundárias são os subtítulos das seções. Apenas as primeiras letras das palavras que a compõe são grafadas em letra maiúscula, na margem esquerda da coluna sendo separada do resto do texto por uma linha em branco anterior. A designação das seções secundárias é feita com letras maiúsculas, seguidas de um ponto. Utilizam grafia em itálico.

As seções terciárias são subdivisões das seções secundárias. Apenas a primeira letra da primeira palavra que a compõe é grafada em letra maiúscula. A designação das seções terciárias é feita com algarismos arábicos, seguidos de um parêntese. Utilizam grafia em itálico.

III. OUTRAS NORMAS

A. Normas Editoriais

Para artigos de autoria múltipla, é necessário informar a ordem de apresentação dos autores e preencher o Formulário *Copyright* no portal iSOBRAEP, autorizando a publicação do artigo. A Revista Eletrônica de Potência deve ser considerada fonte de publicação original. A Revista se reserva o direito de efetuar alterações de ordem normativa, ortográfica e gramatical nos arquivos originais, respeitando o estilo dos autores. As provas finais não serão enviadas aos autores. Os trabalhos publicados passam a ser de propriedade da Revista Eletrônica de Potência, ficando sua reimpressão total ou parcial sujeita à autorização expressa da SOBRAEP.

Figuras, tabelas e equações devem obedecer as normas apresentadas a seguir.

B. Figuras e Tabelas

As tabelas e figuras (desenhos ou reproduções fotográficas) devem ser inseridas no texto logo após serem citadas pela primeira vez, desde que caibam dentro dos limites da coluna; caso necessário, pode-se utilizar toda a

área útil da página. A resolução das figuras deve ser superior a 300 dpi e, preferencialmente, no formato vetorial para boa qualidade de impressão. A legenda deve ser situada acima da tabela, enquanto que na figura deve ser colocada abaixo da mesma. As tabelas devem possuir títulos e são designadas pela palavra Tabela, sendo numeradas em algarismos romanos, sequencialmente. As legendas das tabelas devem estar centralizadas e em negrito.

As figuras necessitam de legenda, e são designadas pela palavra Figura no texto (Fig. na própria legenda), numeradas em algarismos arábicos, sequencialmente, com alinhamento justificado conforme exemplo. A designação das partes de uma figura é feita pelo acréscimo de letras minúsculas ao número da figura, começando pela letra a, como por exemplo, Figura 1(a).

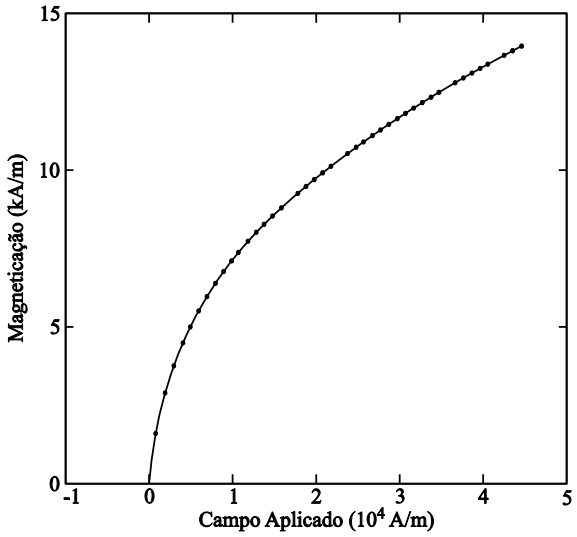


Fig. 1. Curva de magnetização em função do campo aplicado. (Observe que o termo "Fig." é abreviado. Existe um ponto após o número da figura, seguido de dois espaços antes da legenda).

Com o intuito de facilitar a compreensão dos gráficos, a definição dos eixos dos mesmos deve ser feita utilizando-se palavras e não letras, exceto no caso de formas de onda e planos de fase. As unidades devem ser expressas entre parênteses. Por exemplo, utilize a denominação "Magnetização (A/m)", ao invés de "M (A/m)".

As figuras e tabelas devem ser posicionadas preferencialmente no início ou no final das colunas, evitando-as no meio das colunas. Devem ser evitadas tabelas e figuras, cujas dimensões ultrapassem as dimensões das colunas. As figuras devem ser preferencialmente editadas em preto, em fundo branco, uma vez que a versão impressa da revista não utiliza cores. Os traços devem ser de espessura tal que permitam uma impressão legível.

C. Abreviações e Siglas

As abreviações a serem utilizadas no texto, devem ser definidas na primeira vez em que aparecerem, como por exemplo, "... Modulação por Largura de Pulso (PWM)...".

D. Equações

A numeração das equações deve ser colocada entre parênteses, na margem direita, como em (1). As equações devem ser editadas de forma compacta e estar centralizadas na coluna. Caso a seção de nomenclatura não seja usada no início do texto, as variáveis devem ser definidas logo após as equações em que são indicadas, tal como:

$$I_L \quad I_o \quad \frac{\sqrt{3}}{2}\frac{V_i}{Z} \tag{1}$$

onde:

- I_L - corrente de pico no indutor ressonante;
- I_o - corrente de carga;
- V_i - tensão de alimentação;
- Z - impedância característica do circuito ressonante.

IV. CONCLUSÕES

Este artigo foi integralmente editado conforme as normas apresentadas para submissão de artigos em português.

AGRADECIMENTOS

Os autores agradecem a Fulano de Tal, pela colaboração neste trabalho. Este projeto foi financiado pelo CNPq (processo xxyyzz).

REFERÊNCIAS

[1] C. T. Rim, D. Y. Hu, G. H. Cho, "Transformers as Equivalent Circuits for Switches: General Proof and D-Q Transformation-Based Analysis", *IEEE Transactions on Industry Applications*, vol. 26, nº 4, pp. 832-840, Julho/Agosto 1990.

[2] E. A. Vendrusculo, J. A. Pomilio, "Motores de Indução Acionados por Inversores PWM-VSI: Estratégias para Atenuação de Sobretensões", *Eletrônica de Potência* – SOBRAEP, vol. 8, nº 1, pp. 49-56, Junho 2003.

[3] S. A. González, M. I. Valla, C. H. Muravchik, "A Phase Modulated DGPS Transmitter Implemented with a CMRC", *in Proc. of COBEP*, vol. 2, pp. 553-558, 2001.

[4] N. Mohan, T. M. Undeland, W. P. Robbins, *Power Electronics: converters, applications, and design*, John Wiley & Sons, 2ª Edição, Nova Iorque, 1995.

[5] T. A. Lipo, M. D. Manjrekar, "Hybrid Topology for Multilevel Power Conversion", U.S. Patent 6 005 788, Dez. 21, 1999.

[6] *IEEE Recommended Practices and Requirements for Harmonic Control in Electrical Power Systems*, IEEE Std. 519-1992, 1993.

[7] SW Technologies, "SWDV Converter", 2001. [Online]. Disponível: www.sw.com.br.

[8] I. Barbi, *Etude de Onduleurs Autoadaptifs Destines a la Alimentation de Machines Assynchrones*. Tese de Doutorado, Institut National Polytechnique de Toulouse, Toulouse, França, 1979.

DADOS BIOGRÁFICOS

Fulano de Tal, nascido em 30/02/1960 em Talópoli, é engenheiro eletricista (1983), mestre (1985) e doutor em Engenharia Elétrica (1990) pela Universidade de Tallin.

Ele foi, de 1990 a 1995, coordenador do Laboratório de Tal. Atualmente é professor titular da Universidade de Tal. Suas áreas de interesse são: eletrônica de potência, qualidade do processamento da energia elétrica, sistemas de controle eletrônicos e acionamentos de máquinas elétricas.

Dr. Tal é membro da SOBRAEP, da SBA e do IEEE. Durante o período de 1998 a 2000 foi editor da revista Eletrônica de Potência da SOBRAEP.