

CONVERSOR BOOST COM CÉLULAS A CAPACITOR CHAVEADO E INDUTOR ACOPLADO

Pablo H. C. da S. B. Loureiro, Tiago M. K. Faistel, Ademir Toebe,
Paulo C. V. Luz, António M. S. S. Andrade

Universidade Federal de Santa Maria (UFSM), Campis de Cachoeira do Sul e Santa Maria – RS, Brasil
e-mail: pablo_loureiro@hotmail.com, antoniom.spencer@gmail.com

Resumo – Este artigo apresenta uma topologia de conversor CC-CC de alto ganho de tensão baseado no conversor boost com célula *ladder* de capacitor chaveado e indutor acoplado. A posição do enrolamento do secundário do indutor acoplado permite que eliminar possíveis picos de correntes causados pela célula de capacitor chaveado. Além disso, o conversor possui como características: elevado ganho estático, baixo esforço de tensão nos semicondutores, o que permite utilizar interruptor e diodos com baixas resistências intrínsecas; baixos valores de capacitores, visto que os capacitores da célula *ladder* de capacitor chaveado podem ser projetados na região de carga total sem que ocorram picos de correntes. No artigo é avaliado teoricamente o princípio de operação do conversor proposto, ganho de tensão, esforço de tensão e corrente, comparação com topologias similares encontrados na literatura, e por fim metodologia de projeto. Para validar essas análises, um protótipo de 200 W, 30 V/400 V foi implementado experimentalmente, alcançando um rendimento máximo de 96,4 %.

Palavras-Chave – Alto Ganho de Tensão, Capacitor Chaveado, Conversor Boost, Conversor CC-CC, Indutor Acoplado.

BOOST CONVERTER WITH SWITCHED CAPACITORS CELL AND COUPLED INDUCTOR

Abstract – This paper presents a new topology of high voltage gain DC-DC converter based on the boost converter with the switched capacitor ladder cell and coupled inductor. The secondary position of the coupled inductor does not allow possible current spikes caused by the switched capacitor cell. In addition, the converter has the following characteristics: high static gain, low voltage stress across the semiconductors, which allows the use of switch and diodes with low intrinsic resistances; low capacitor values, since the capacitors of the switched capacitor ladder cell can be designed in the region of full charge without current spikes occurring. The principle of operation of proposed converter was theoretically evaluated, voltage gain, voltage and current stress, comparison with similar topologies found in the literature, and finally, design methodology. To validate

these analyzes, a 200 W, 30 V/400 V prototype was implemented experimentally, raising a peak performance of 96.4%.

Keywords – Boost Converter, Coupled Inductor, DC-DC Converter, High Step-up, Switched Capacitor.

I. INTRODUÇÃO

Os conversores CC-CC de elevado ganho de tensão têm ganhado popularidade. Esses conversores têm por objetivo elevar a tensão, tipicamente menor de 50 V, de um módulo fotovoltaico, bateria ou célula combustível para uma tensão de barramento CC (400 V), que por sua vez faz a interface com um estágio CC-CA ou de uma *microgrid* CC [1-2]. Para isso, esses conversores buscam elevar o ganho estático, reduzir os esforços de tensão e corrente nos componentes para que seja possível alcançar uma eficiência atrativa [3-4].

O conversor boost tradicional encontrado na literatura possui a característica elevadora de tensão. Porém, ele apresenta um elevado esforço de tensão nos semicondutores. Consequentemente, componentes com resistências intrínsecas elevadas são utilizadas, o que compromete o seu desempenho quando é necessário alcançar um elevado ganho de tensão. Assim, diferentes soluções têm sido propostas na literatura, em que se agregam diferentes células elevadoras de tensão no conversor boost [5-10].

Dentre dessas técnicas, pode-se salientar a associação da célula *ladder* de capacitor chaveado [11], conforme pode ser visto na Figura 1. Esse conversor possui como vantagem simplicidade de operação. Porém, o ganho estático desse conversor não é considerado elevado, logo elevadas razões cíclicas devem ser utilizadas para alcançar alto ganho de tensão. Consequentemente, as perdas de condução do interruptor tendem a aumentar, o que compromete a eficiência do conversor. Assim, em [12] a célula de entrada boost do conversor da Figura 1 é modificada para uma célula de entrada fonte de impedância com dois interruptores. O ganho dessa topologia aumenta significativamente. Mas como mencionado, há necessidade de utilizar dois interruptores, o que diminui a confiabilidade do conversor e aumenta a complexidade e custo dessa topologia. Além disso, podem ocorrer picos de corrente na célula de capacitor, fazendo com que os esforços de corrente aumentem. Desta forma, para evitar picos de correntes causados pelos capacitores chaveados, uma indutância auxiliar (L_{aux}) é adicionada em série com o capacitor C_2 da Figura 1 em [13]. Esta abordagem permite controlar os esforços de corrente, mas não modifica o ganho estático. Por outro lado, a célula de indutor acoplado junto ao conversor

Manuscript received 03/03/2021; first revision 06/16/2021; accepted for publication 08/09/2021, by recommendation of Editor Demercil de Souza Oliveira Jr. "http://dx.doi.org/10.18618/REP.2021.3.0005"

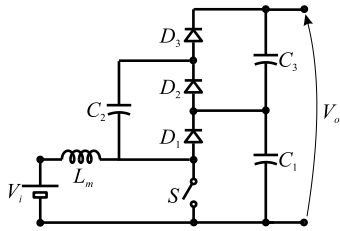


Fig. 1. Conversor Boost com célula *ladder* de capacitor chaveado.

da Figura 1 é utilizada em [14-15] e em [16] é apresentada uma abordagem a técnica de conexão diferencial de conversores. Essas técnicas permitem aumentar significativamente o ganho estático desses conversores. Entretanto, não evitam os problemas de esforço de corrente causados pela célula de capacitor chaveado.

Outra técnica muito utilizada em conversores de alto ganho de tensão é o indutor acoplado. Esta abordagem permite elevar o ganho de tensão desses conversores a partir do ajuste da relação de transformação (N). Porém, para N elevada, significa maiores valores da indutância de dispersão, o que tende a causar problemas de *spike* de tensão e *spike* corrente nos semicondutores [17-19]. Consequentemente, elevadas perdas de comutação ocorrem, comprometendo assim a eficiência desses conversores. Nesse sentido, diferentes topologias com células multiplicadoras de tensão (capacitor chaveados) e indutor acoplado têm sido propostos [20-25]. No geral, esses conversores alcançam elevados ganhos de tensão com baixo valor de N , baixos esforços de tensão nos semicondutores, e possuem grampeadores naturais nos semicondutores. Porém, esses conversores apresentam elevados esforços de corrente nos semicondutores, principalmente no interruptor. Junto a isso, elevado número de componentes são utilizados nessas topologias para garantir que o ganho de tensão desejado seja alcançado, consequentemente, o custo e volume desses conversores tendem a ser elevados.

Neste sentido, o presente artigo tem por objetivo propor uma topologia de conversor CC-CC de elevado ganho de

tensão baseado no conversor boost com célula *ladder* de capacitor chaveado (Figura 1) e indutor acoplado. Esse conversor possui: um elevado ganho de tensão, visto que o posicionamento do indutor acoplado permite que a sua tensão seja multiplicada nos dois sentidos de operação (ponto e não ponto); baixo esforço de tensão nos componentes; comutação suave nos diodos, na entrada ou saída de condução; baixo esforço de corrente nos semicondutores, visto que a posição do secundário do indutor acoplado evita que ocorram picos de correntes causados pela célula de capacitor chaveado; capacitores com valores baixos de capacitância podem ser utilizados, fazendo com que não seja necessário empregar capacitores eletrolíticos na topologia proposta; e por fim um reduzido número de componentes. Porém, a inclusão do indutor acoplado faz com que a corrente drenada da fonte seja pulsante. Para avaliar o conversor proposto, este presente artigo está dividido da seguinte forma: Na secção II será tratada a avaliação teórica do conversor proposto. Em seguida são apresentados os resultados experimentais, onde são comprovadas as equações e análises realizadas na secção anterior, caracterizando a secção III. Para finalizar na secção IV é realizada uma breve conclusão sobre o conversor apresentado ao decorrer do presente artigo.

II. AVALIAÇÃO DO CONVERSOR PROPOSTO

O modelo ideal do conversor proposto é apresentado na Figura 2.a, e, na Figura 2.b é agregada a não idealidade do indutor acoplado, a indutância de dispersão (L_k). Para essa topologia a L_k é benéfica, conforme vai ser visto nas próximas avaliações. Além disso, o secundário (N_2) do indutor acoplado está em série com o capacitor C_2 . Essa posição permite que o conversor possa alcançar um elevado ganho de tensão e evitar picos de correntes da célula de capacitor chaveado. Para demonstrar isso, nas próximas seções serão feitas as avaliações teóricas. Além disso, a Figura 2.c ilustra a estrutura de o conversor modular. Em que mais células multiplicadoras de tensão (C_{i-1} , D_{i-1} , N_i , C_i e D_i) podem ser empilhadas na saída. Isso permite alcançar maiores ganhos de tensão, diminuir os esforços de tensão nos componentes e evita problema de picos de correntes causados pelos capacitores chaveados. Porém requer maior número de componentes, sendo assim neste artigo é avaliado o conversor da Figura 2.b.

A. Princípio de Operação

Neste artigo, o conversor proposto é analisado no modo de condução contínua (CCM). Nesse modo de operação, o conversor possui cinco etapas de operação (Figura 3) e as principais formas de ondas teóricas são dadas na Figura 4.

Para a avaliação do conversor proposto foram realizadas as seguintes considerações:

- O conversor opera em regime permanente;
- Os capacitores são grandes o suficiente, logo suas tensões são consideradas constantes;
- A relação de transformação do indutor acoplado é dada por $N = N_2/N_1$;
- Os semicondutores (interruptor e diodos) são ideais, i. é, sem perdas;
- Os componentes em cinza não estão conduzindo.

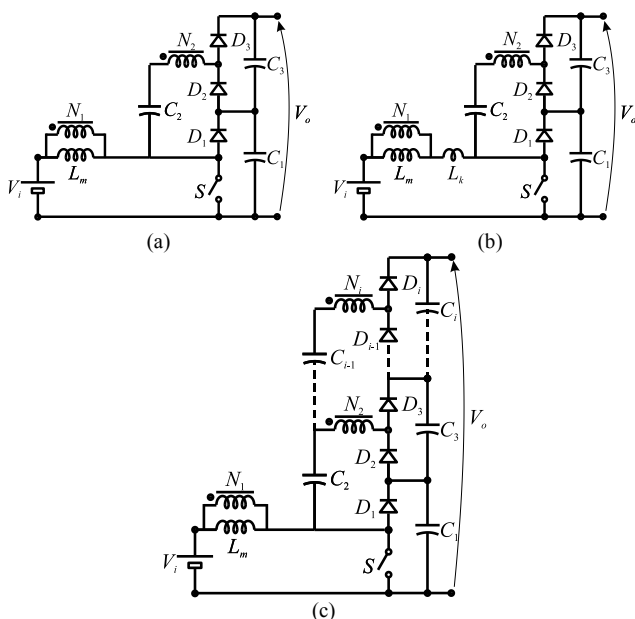


Fig. 2. Conversor proposto. (a) Ideal. (b) Não ideal, com L_k . (c) Estrutura modular com i células.

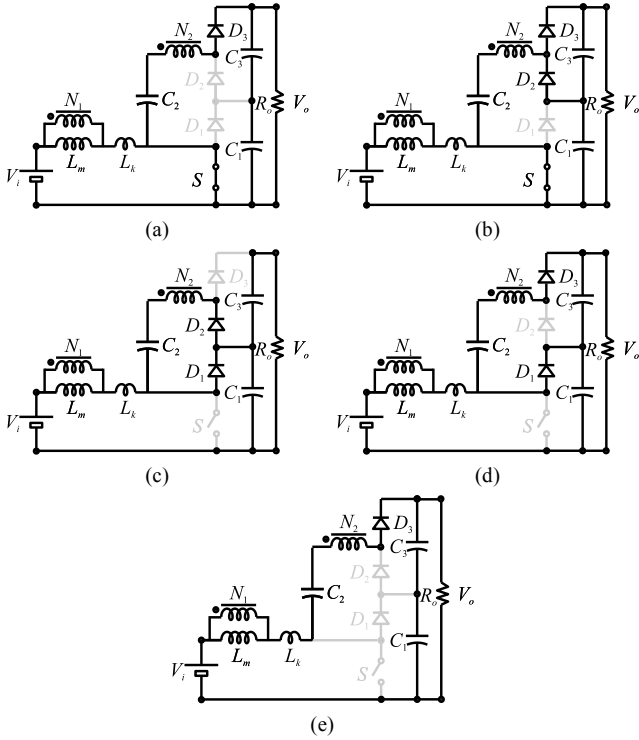


Fig. 3. Etapas de Operação. (a) Etapa 1. (b) Etapa 2. (c) Etapa 3. (d) Etapa 4. (e) Etapa 5.

Etapa 1 [$t_0 - t_1$, Figura 3.a]: A etapa inicia quando o interruptor S é acionado. O indutor L_m e L_k estão desmagnetizando e magnetizando com as tensões $(V_{C2}-V_{C3}-V_{C1})/N$ e $(NV_i-V_{C2}+V_{C3}+V_{C1})/N$, respectivamente. Sendo suas correntes definidas por (1) e (2), na respectiva ordem. O capacitor C_1 está descarregando enquanto os C_2 e C_3 estão carregando. Em relação aos semicondutores, o diodo D_3 está conduzindo enquanto os diodos D_1 e D_2 estão em bloqueio. Como pode ser visto na Figura 4, a corrente no interruptor S inicia em zero nessa etapa, o que diminui as perdas de chaveamento. As correntes nos semicondutores são dadas por (3) até (6).

$$i_{L_m(t)} = \frac{V_{C2} - V_{C3} - V_{C1}}{NL_m} t + I_{L_m(t_0)} \quad (1)$$

$$i_{L_k(t)} = \frac{NV_i - V_{C2} + V_{C3} + V_{C1}}{NL_k} t + I_{L_k(t_0)} \quad (2)$$

$$i_{S(t)} = \frac{((N-1)L_m(NV_i + V_{C2} - V_{C3} - V_{C1}) + \frac{L_k(V_{C3} + V_{C1} - V_{C2})t}{N^2 L_m L_k} + \frac{I_{L_m(t_0)} + (N-1)I_{L_k(t_0)}}{N}}{N^2 L_m L_k} \quad (3)$$

$$i_{D1(t)} = 0 \quad (4)$$

$$i_{D2(t)} = 0 \quad (5)$$

$$i_{D3(t)} = \frac{(L_m(NV_i + V_{C2} - V_{C3} - V_{C1}) - \frac{L_k(V_{C3} + V_{C1} - V_{C2})t}{N^2 L_m L_k} + \frac{I_{L_k(t_0)} - I_{L_m(t_0)}}{N}}{N^2 L_m L_k} \quad (6)$$

O tempo de duração dessa etapa é dado por:

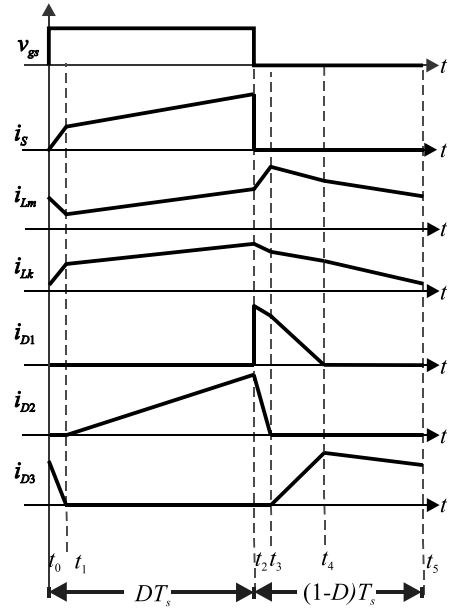


Fig. 4. Principais formas de ondas teóricas.

$$\Delta t_1 = t_1 - t_0 = \frac{NL_m L_k (I_{L_m(t_0)} - I_{L_k(t_0)})}{(L_m(NV_i - V_{C2} + V_{C3} + V_{C1}) - L_k(V_{C2} - V_{C3} - V_{C1}))} \quad (7)$$

Etapa 2 [$t_1 - t_2$, Figura 3.b]: Esta etapa de operação inicia quando o diodo D_2 e D_3 iniciam e terminam sua condução, respectivamente. Pode ser visto na Figura 4, que ambos os diodos comutam com zero de corrente. Os indutores L_m e L_k estão magnetizando com a tensão $(V_{C2}-V_{C1})/N$ e $(NV_i-V_{C2}+V_{C1})/N$ e suas correntes estão dadas em (8) e (9), na mesma sequência. Os capacitores C_1 e C_3 estão descarregando, enquanto que o capacitor C_2 está carregando. As correntes nos semicondutores são dadas por (10) até (13).

$$i_{L_m(t)} = \frac{V_{C2} - V_{C1}}{NL_a} t + I_{L_m(t_1)} \quad (8)$$

$$i_{L_k(t)} = \frac{NV_i - V_{C2} + V_{C1}}{NL_k} t + I_{L_k(t_1)} \quad (9)$$

$$i_{S(t)} = \frac{((N+1)L_m(NV_i + V_{C2} - V_{C1}) - \frac{L_k(V_{C1} - V_{C2})t}{N^2 L_m L_k} + \frac{(N+1)I_{L_k(t_1)} - I_{L_m(t_1)}}{N}}{N^2 L_m L_k} \quad (10)$$

$$i_{D1(t)} = 0 \quad (11)$$

$$i_{D2(t)} = \frac{(L_m(NV_i + V_{C2} - V_{C1}) - \frac{L_k(V_{C1} - V_{C2})t}{N^2 L_m L_k} + \frac{I_{L_k(t_1)} - I_{L_m(t_1)}}{N}}{N^2 L_m L_k} \quad (12)$$

$$i_{D3(t)} = 0 \quad (13)$$

O tempo dessa etapa é dado por:

$$\Delta t_2 = t_2 - t_1 = DT - \Delta t_1 \quad (14)$$

Etapa 3 [$t_2 - t_3$, Figura 3.c]: Ao bloquear o interruptor S , inicia a Etapa 3. O indutor L_m permanece magnetizando com a tensão V_{C2}/N e L_k começam a se desmagnetizar com a tensão $(NV_i - NV_{C1} - V_{C2})/N$. As correntes desses indutores, L_m e L_k , são definidas por (15) e (16), respectivamente. Enquanto

os diodos D_1 e D_2 estão em condução e o D_3 bloqueado. Fazendo com que o capacitor C_1 carregue e os capacitores C_2 e C_3 descarreguem. As correntes nos semicondutores são dadas abaixo por (18) até (20).

$$i_{Lm(t)} = \frac{V_{C2}}{NL_m}t + I_{Lm(t2)} \quad (15)$$

$$i_{Lk(t)} = \frac{NV_i - NV_{C1} - V_{C2}}{NL_k}t + I_{Lk(t2)} \quad (16)$$

$$i_{S(t)} = 0 \quad (17)$$

$$i_{D1(t)} = \frac{((N+1)L_m(NV_i - NV_{C1} - V_{C2}) - L_k V_{C2})t}{N^2 L_k L_m} \quad (18)$$

$$+ \frac{I_{Lk(t2)}(N+1) - I_{Lm(t2)}}{N}$$

$$i_{D2(t)} = \frac{(L_m(NV_i - NV_{C1} - V_{C2}) - L_k V_{C2})t}{N^2 L_k L_m} \quad (19)$$

$$+ \frac{I_{Lk(t2)} - I_{Lm(t2)}}{N}$$

$$i_{D3(t)} = 0. \quad (20)$$

O tempo dessa etapa é dado por:

$$\Delta t_3 = t_3 - t_2 = DT + \frac{(1-D)NL_m L_k (I_{Lm(t_2)} - I_{Lk(t_2)})}{V_i(-L_m(1+N) - L_k(N+1-ND))}. \quad (21)$$

Etapa 4 [$t_3 - t_4$, Figura 2.d]: Está etapa de operação inicia quando o diodo D_2 e D_3 terminam e iniciam sua condução, respectivamente. Pode ser visto na Figura 4 que ambos os diodos comutam com zero de corrente. Os indutores L_m e L_k estão desmagnetizando com a tensão $(V_{C2}-V_{C3})/N$ e $(NV_i - NV_{C1} - V_{C2} + V_{C3})/N$, respectivamente, e suas correntes dadas por (22) e (23). Os capacitores C_1 e C_3 estão carregando, e o capacitor C_2 está descarregando. As correntes nos semicondutores são dadas abaixo por (24) até (27).

$$i_{Lm(t)} = \frac{-V_{C2} + V_{C3}}{NL_a}t + I_{Lm(t_3)} \quad (22)$$

$$i_{Lk(t)} = \frac{NV_i - NV_{C1} + V_{C2} - V_{C3}}{NL_k}t + I_{Lk(t_3)} \quad (23)$$

$$i_{S(t)} = 0 \quad (24)$$

$$i_{D1(t)} = \frac{((N-1)L_m(NV_i - NV_{C1} + V_{C2} - V_{C3}) + L_k(-V_{C2} + V_{C3}))t}{N^2 L_k L_m} \quad (25)$$

$$+ \frac{I_{Lk(t_3)}(N-1) + I_{Lm(t_3)}}{N}$$

$$i_{D2(t)} = 0 \quad (26)$$

$$i_{D3(t)} = \frac{(L_m(NV_i - NV_{C1} + V_{C2} - V_{C3}) - L_k(-V_{C2} + V_{C3}))t}{N^2 L_k L_m} \quad (27)$$

$$+ \frac{I_{Lk(t_3)} - I_{Lm(t_3)}}{N}$$

O tempo dessa etapa é dado por:

$$\Delta t_4 = t_4 - t_3 = \Delta t_3 + \frac{(I_{Lm(t_3)} - (I_{Lm(t_3)}(N+1)))(1-D)L_m L_k}{L_k V_i D}. \quad (28)$$

Etapa 5 [$t_4 - t_5$, Figura 3.e]: Inicia quando o diodo D_1 termina sua condução, comutando com zero de corrente. Os indutores L_m e L_k continuam desmagnetizando com a tensão $L_m(V_i + V_{C2} - V_{C3} - V_{C1})/((N+1)(L_m(N^2+1) + L_k))$ e $L_k(V_i + V_{C2} - V_{C3} -$

$V_{C1})/(L_m(N^2+1) + L_k))$, respectivamente. As correntes desses indutores, L_m e L_k , são dadas por (29) e (30), respectivamente. Os capacitores C_1 e C_3 estão carregando e C_2 está descarregando. Por fim, os semicondutores S , D_1 e D_2 estão bloqueados, enquanto o diodo D_3 permanece em condução. As correntes nos semicondutores são dadas abaixo por (31) até (34).

$$i_{Lm(t)} = \frac{(N^2+1)(V_i + V_{C2} - V_{C3} - V_{C1})}{(N+1)(L_m(N^2+1) + L_k)}t + I_{Lm(t_4)} \quad (29)$$

$$i_{Lk(t)} = \frac{(V_i + V_{C2} - V_{C3} - V_{C1})}{L_m(N^2+1) + L_k}t + I_{Lk(t_4)} \quad (30)$$

$$i_{S(t)} = 0 \quad (31)$$

$$i_{D1(t)} = 0 \quad (32)$$

$$i_{D2(t)} = 0 \quad (33)$$

$$i_{D3(t)} = \frac{(V_i + V_{C2} - V_{C3} - V_{C1})}{L_m(N^2+1) + L_k}t + I_{Lk(t_4)}. \quad (34)$$

O tempo dessa etapa é dado por:

$$\Delta t_5 = t_5 - t_4 = T - \Delta t_4. \quad (35)$$

Assim, se finaliza o princípio de operação do conversor proposto. Fica evidente que o N_2 sempre faz parte das malhas do processo de operação da célula de capacitor chaveado. Fazendo com que seja possível limitar a corrente a partir do L_k .

C. Derivação do Ganho de Tensão

Para encontrar o ganho de tensão do conversor proposto, inicialmente é considerado o conversor ideal. Assim, é feito o balanço *volt-sec* na indutância de magnetização L_m do indutor acoplado:

$$\int_0^{T_s} v_{Lm} dt = 0. \quad (36)$$

A partir disso, a tensão do capacitor C_1 pode ser encontrada:

$$\frac{V_{C1}}{V_i} = \frac{1}{1-D}. \quad (37)$$

Avaliando a Etapa 2 (Figura 3.b), percebe-se que $V_{C2} = V_{N2} + V_{C1}$. Dessa forma, a tensão do capacitor C_2 é encontrada e dada por:

$$\frac{V_{C2}}{V_i} = \frac{N+1-ND}{1-D}. \quad (38)$$

A tensão do capacitor C_3 é dada por:

$$\frac{V_{C3}}{V_i} = \frac{N+1}{1-D}. \quad (39)$$

Visto que a estrutura de capacitor chaveado é do tipo *ladder*, logo a tensão de saída é a soma das tensões de V_{C1} e V_{C3} , conforme:

$$M = \frac{V_o}{V_i} = \frac{N+2}{1-D}. \quad (40)$$

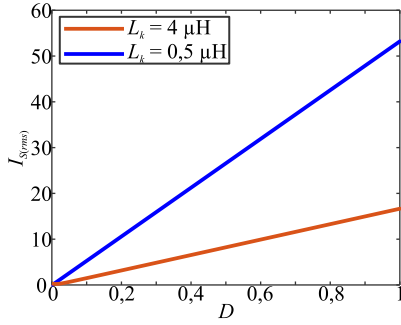


Fig. 6. D vs $I_{S(rms)}$, considerando: $V_i = 30$ V, $V_o = 400$ V, $N = 3$, $R = 800$ Ω , $f_s = 50$ kHz.

Por outro lado, para encontrar o ganho de tensão não ideal, considerando a indutância de dispersão (L_k), o balanço *volt-sec* deve ser feito para os dois indutores, L_m e L_k , resultando em:

$$M = \frac{N+2-D(N+1)}{1-D} + \frac{D(N+1)(L_m(N^2+1)+L_k)}{(1-D)(L_m(N^2+1)+L_k(N+1))}. \quad (41)$$

Conhecendo as equações dos ganhos de tensão ideal e não ideal do conversor proposto, a Figura 5 foi feita. Considerando $N = 3$, em preto tem-se o ganho ideal, enquanto as outras cores representam a taxa da variação do L_k em relação ao L_m . O conversor consegue alcançar elevados ganhos de tensão mesmo com razões cíclicas baixas. Além disso, a indutância de dispersão não compromete o ganho de tensão, mesmo quando possui valores elevados.

Seguindo a metodologia apresentada em [26], a sensibilidade da variação da tensão de saída (V_o) em relação à variação da razão cíclica (D) é dada por:

$$S_D^{V_o} = \left[\frac{\partial V_o}{\partial D} \times \frac{D}{V_o} \right]. \quad (42)$$

A partir disso é apresentado a sensibilidade do conversor boost padrão, o conversor boost com célula *ladder* à capacitor chaveado (Figura 1), e do conversor proposto.

$$S_D^{V_o} = \begin{cases} \frac{D}{1-D}, & \text{Conversor Boost} \\ \frac{D}{1-D}, & \text{Conversor Figura 1} \\ \frac{D}{1-D}, & \text{Conversor Proposto} \end{cases}. \quad (43)$$

A partir disso fica evidente que o conversor proposto apresenta maior ganho e possui a mesma sensibilidade comparada aos outros dois conversores.

D. Esforços de Tensão

Avaliando as etapas de operação do conversor, os esforços de tensão nos semicondutores são encontrados e dados abaixo:

$$V_S = \frac{1}{1-D} V_i = \frac{1}{N+2} V_o \quad (44)$$

$$V_{D1} = \frac{1}{1-D} V_i = \frac{1}{N+2} V_o \quad (45)$$

$$V_{D2} = \frac{N+1}{1-D} V_i = \frac{N+1}{N+2} V_o \quad (46)$$

$$V_{D3} = \frac{N+1}{1-D} V_i = \frac{N+1}{N+2} V_o. \quad (47)$$

Como pode ser visto, todos os semicondutores apresentam esforço de tensão menor que a tensão de saída. Assim, o interruptor com valor baixo de $R_{DS(on)}$ e os diodos com valores baixos de v_f podem ser utilizados. Isso faz com que o rendimento do conversor seja preservado.

E. Esforço de Corrente nos Semicondutores

Para demonstrar que a indutância de dispersão (L_k) e o secundário (N_2) do indutor acoplado conseguem limitar a corrente de pico da célula de capacitor chaveado, foi avaliada a corrente RMS do interruptor S , conforme pode ser visto abaixo:

$$I_{S(rms)} = \sqrt{\frac{1}{T_s} \int_0^T i_{s(t)}^2 dt}. \quad (48)$$

Conhecendo as etapas de operação, (48) foi resolvida, tendo como resultado:

$$I_{S(rms)} = \sqrt{\frac{\sum_{i=1}^2 I_{S_i}^2}{T}} \quad (49)$$

onde,

$$I_{S_1} = \frac{\alpha_1^2 \Delta t_1^3}{3N^2 L_m L_k} + \frac{\alpha_1 \alpha_2 \Delta t_1^2}{N^2 L_m L_k} + \frac{\alpha_2^2 \Delta t_1}{N^2} \quad (50)$$

$$I_{S_2} = \frac{\alpha_3^2 \Delta t_2^3}{3N^2 L_m L_k} + \frac{\alpha_3 I_{L_k(t_2)} \Delta t_2^2}{N L_m L_k} + I_{L_k(t_2)}^2 \Delta t_2 \quad (51)$$

em que,

$$\alpha_1 = L_m(N-1)(NV_i + V_{C2} - V_{C3} - V_{C1}) + L_k(V_{C3} + V_{C1} - V_{C2}) \quad (52)$$

$$\alpha_2 = (N-1)L_{k(to)} + I_{L_m(to)} \quad (53)$$

$$\alpha_3 = L_m(N+1)(NV_i + V_{C2} - V_{C1}) - L_k(V_{C1} - V_{C2}). \quad (54)$$

Avaliando o esforço de corrente do interruptor S do conversor proposto no Matlab®, foi plotado a Figura 6. Em azul representa a $I_{S(rms)}$ considerando uma indutância de dispersão de $L_k = 0,5$ μ H, enquanto que em laranja a L_k é igual a 4 μ H. Fica evidente que quanto maior é o L_k , menor é o esforço de corrente no interruptor. Isso ocorre devido ao maior controle das correntes da célula de capacitor chaveado. Consequentemente pode-se afirmar que para $L_k = 4$ μ H, as perdas de condução serão menores que $L_k = 0,5$ μ H, o que garante maior eficiência do conversor proposto.

Em relação aos esforços de correntes nos diodos, as suas correntes médias são apresentadas a seguir. A corrente média do diodo D_1 é dada por:

$$I_{D1(med)} = \frac{I_{D1a} + I_{D1b}}{T_s} \quad (55)$$

onde

$$I_{D1a} = \Delta t_3^2 \frac{V_i (L_m [N+1]^2 - L_k [N+1 - ND])}{2N^2 L_m L_k (1-D)} \quad (56)$$

$$+ \Delta t_4^2 \frac{V_i (L_m [N-1 - ND] + L_k D)}{(2L_m N (1-D) (L_m - L_k))}$$

$$I_{D1b} = \Delta t_3 \left(\frac{I_{Lk(t_2)} (N+1) - I_{Lm(t_2)}}{N} \right) \quad (57)$$

$$+ \Delta t_4 \left(\frac{I_{Lk(t_3)} (N-1) - I_{Lm(t_3)}}{N} \right)$$

Em relação ao diodo D_2 , a sua corrente média é dada por:

$$I_{D2(med)} = \frac{I_{D2a} + I_{D2b}}{T_s} \quad (58)$$

onde,

$$I_{D2a} = \Delta t_2^2 \frac{-V_i L_k}{NL_m L_k + NL_m^2} \quad (59)$$

$$+ \Delta t_3^2 \frac{V_i [-L_m (N+1) - NL_k (N+1 - ND)]}{N^2 L_m L_k (1-D)}$$

$$I_{D2b} = \frac{\Delta t_3}{N} (I_{Lk(t_2)} - I_{Lm(t_2)}) \quad (60)$$

Por fim, a corrente média do diodo D_3 é dada por:

$$I_{D3(med)} = \frac{I_{D3a} + I_{D3b}}{T_s} \quad (61)$$

onde,

$$I_{D3a} = \Delta t_1^2 \frac{V_i [L_m (N+1) + L_k (ND+1)]}{NL_m L_k (1-D)} \quad (62)$$

$$+ \Delta t_4^2 \frac{V_i [L_m + L_k D]}{L_m (1-D) (L_m - L_k)}$$

$$+ \Delta t_5^2 \frac{V_i D (N^2 + 1 - ND - D)}{(1-D) (L_m (N^2 + 1) + L_k)}$$

$$I_{D3b} = \frac{\Delta t_1}{N} (I_{Lk(t_0)} - I_{Lm(t_0)}) + \frac{\Delta t_5}{N} (I_{Lk(t_4)} - I_{Lm(t_4)}) \quad (63)$$

F. Metodologia de Projeto

Os semicondutores devem atender os limites de esforço de tensão para operarem de forma satisfatória no conversor. Em relação à indutância de magnetização do indutor acoplado, ela pode ser calculada da seguinte forma:

$$L_m = \frac{DV_i}{f_s \Delta i_{Lm}} \quad (64)$$

Usualmente, os capacitores (C_1 , C_2 e C_3) da célula do capacitor chaveado podem operar em três modos de operação, conforme pode ser visto na Figura 7. No primeiro modo, Figura 7.a, denominado carregamento completo, a corrente do capacitor chaveado pode alcançar picos de

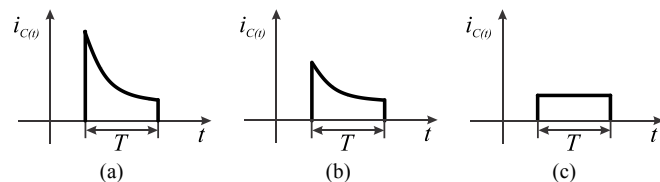


Fig. 7. Modos de operação da célula de capacitor chaveado: a) carregamento completo; b) carregamento parcial; c) carregamento nulo [27-29].

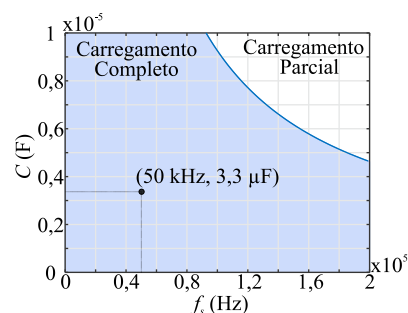


Fig. 8. Gráfico para escolha da capacitância, $RSE = 100 \text{ m}\Omega$; $R_{DS(on)} = 9,7 \text{ m}\Omega$.

corrente muito elevados. Isso faz com que os esforços de corrente sejam elevados e consequentemente aumentam as perdas de condução. Enquanto que no segundo modo, carregamento nulo (Figura 7.c), valores elevados de capacitores são requeridos para que não ocorram picos de corrente. Entretanto, isso acarreta no aumento de volume do conversor. Por fim, o modo de carregamento parcial, Figura 7.b, se destaca como o mais atrativo em relação à eficiência e volume [27-29]. Dessa forma para garantir que a célula de capacitor funciona de acordo com o segundo modo (Figura 8.b), a equação abaixo deve ser respeitada:

$$C > \frac{0,1}{f_s (RSE + R_{DS(on)})} \quad (65)$$

onde, RSE é a resistência intrínseca dos capacitores e $R_{DS(on)}$ do interruptor.

De acordo com as etapas de operação do conversor proposto, percebe-se que a célula do capacitor chaveado não apresenta picos de corrente, visto que a posição do secundário do indutor acoplado garante que isso não ocorra. Assim, para garantir que sejam utilizados capacitores com valores baixos, o que diminui custo e volume, o primeiro modo (Figura 7.a) foi escolhido para projetar os capacitores C_1 , C_2 e C_3 . Desta forma, a partir de (65) a Figura 8 foi plotada, em que a área de fundo branco represente possíveis valores de capacitores que garantem que a célula de capacitor opera na região de carga parcial. Enquanto que a área hachurada da Figura 8 é a região dos valores dos capacitores chaveados operarem no modo de carga total. Assim, para atender a Figura 7.a, qualquer região da hachurada pode ser escolhida para encontrar os valores dos capacitores. Isso permite um grau de liberdade na escolha dos capacitores, para que não seja do tipo eletrolítico, o que tende a garantir maior vida útil do conversor. A partir disso, a Tabela II apresenta todas as especificações utilizadas no conversor proposto.

TABELA II
Especificações do Conversor

Símbolo	Nome	Valor
P_i	Potência de Entrada	200 W
V_i	Tensão de Entrada	30 V
V_o	Tensão de Saída	400 V
M	Ganho de Tensão	13,33
f_s	Frequência de Chaveamento	50 kHz
D	Razão Cíclica	0,625
Indutor Acoplado (77192 [30])		
L_m	Magnetizante	220 μ H
Δi_{Lm}	Ondulação da Corrente L_m	20 %
$N_1:N_2$	Número de Espiras	22:66
L_k	Indutância de dispersão	4 μ H
C_1, C_2, C_3	Capacitores	3,3 μ F (poliéster)
S	Interruptor	IRFP4668PbF (200 V/ 130 A, 8m Ω)
D_i	Diodos $i = 1, 2$ e 3	STTH20R04 (400 V/ A)

III. RESULTADOS EXPERIMENTAIS

Para validar as avaliações teóricas feitas no artigo, um protótipo do conversor proposto foi construído e avaliado experimentalmente. Para isso, as especificações dadas na Tabela II foram utilizadas, além de uma fonte da Agilent E4360A, de uma carga eletrônica RBL488 e do analisador de energia Yokogawa WT1800.

A. Resultados

Para validar o ganho de tensão do conversor, a Figura 9.a apresenta a tensão de entrada ($V_i = 30$ V), a tensão de saída ($V_o = 400$ V) e a tensão de acionamento do MOSFET (V_{GS}). Percebe-se que a tensão de entrada possui uma ondulação de tensão de ± 1 V, devido a corrente de entrada pulsante do conversor. Além disso, as tensões nos capacitores podem ser vistas na Figura 9.b, em que $V_{C1} = 80$ V, $V_{C2} = 170$ V e $V_{C3} = 320$ V. Com isso, se valida o ganho de tensão do conversor.

Em relação aos semicondutores, a Figura 10 apresenta a

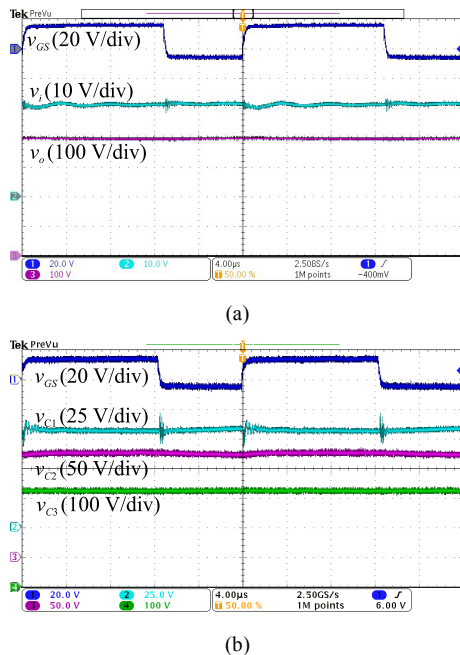


Fig. 9. Resultados experimentais (4 μ s/div). (a) v_{gs} , v_i e v_o . (b) v_{gs} , v_{C1} , v_{C2} e v_{C3} .

tensão e corrente no interruptor e dos diodos. Na Figura 10.a, a tensão (v_s) e corrente (i_s) do interruptor S são ilustrados. Ao avaliar a forma de onda, percebe-se que em nenhum momento ocorre pico de corrente no interruptor causado pela célula de capacitor chaveado. Demonstrando assim que além de aumentar o ganho de tensão, o secundário do indutor acoplado evita que ocorram picos de correntes nos semicondutores. Na Figura 10.b é apresentado o resultado experimental da entrada de condução do interruptor S . Assim como esperado, a corrente do interruptor inicia em zero e cresce. Isso não se caracteriza como comutação suave, mas de certa forma faz com que as perdas de comutação sejam baixas. Em relação ao diodo D_1 , a Figura 10.c apresenta as formas de ondas de tensão e correntes experimentais. Assim como o interruptor S , o diodo D_1 não apresenta problema de picos de corrente e possui comutação suave no seu bloqueio, conforme pode ser visto na Figura 10.d. As Figuras 10.e e 10.f apresentam os resultados experimentais de corrente e tensão do diodo D_2 . Conforme esperado, esse componente, também não apresenta problema de picos de corrente e fica

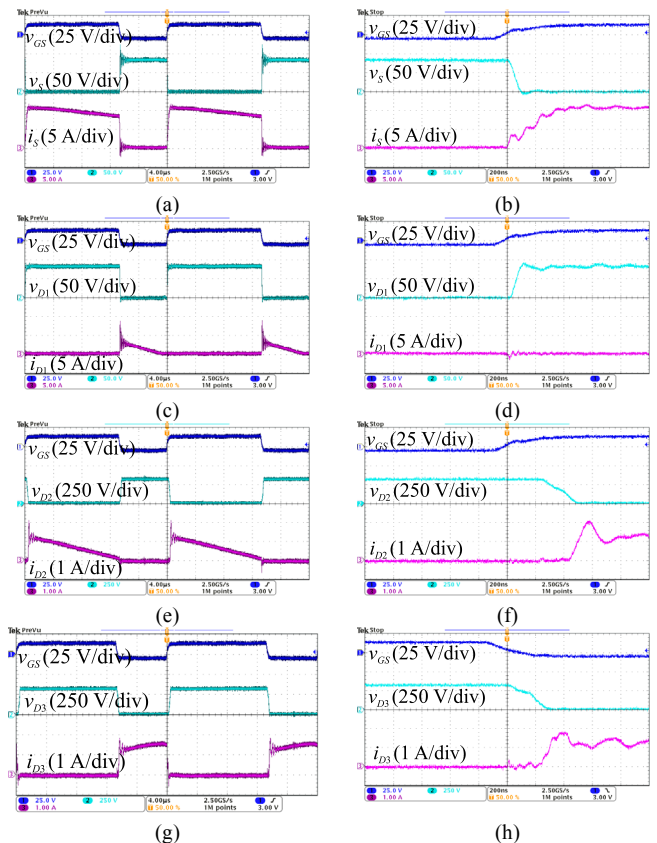


Fig. 10. Resultados experimentais corrente e tensão nos semicondutores (4 μ s/div e 200 ns/div). (a) S . (b) acionamento de S . (c) D_1 . (d) bloqueio de D_1 . (e) D_2 . (f) condução D_2 . (g) D_3 . (h) condução D_3 .

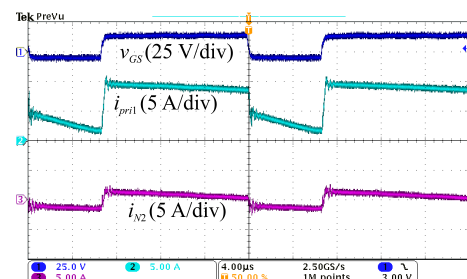


Fig. 11. Resultados experimentais de correntes v_{GS} , i_{pri1} e i_{N2} (4 μ s/div).

próximo de alcançar comutação suave na sua entrada de condução (Figura 10.f). Os resultados experimentais do diodo D_3 estão ilustrados nas Figuras 10.g e 10.h. Novamente se destaca que o mesmo não apresenta problemas de picos de corrente e possui comutação suave na sua entrada de condução. Desta forma fica evidente que a escolha de projetar a célula de capacitor chaveado na região de operação de carga completa apresentou vantagens em relação à diminuição dos valores dos capacitores visto que não ocorreu nenhum problema de pico de corrente. Em relação à corrente no indutor acoplado, a Figura 11 ilustra o resultado experimental da corrente do enrolamento do primário ($i_{pri}=i_{Lm}+i_{N1}$) e do secundário (i_{N2}) do indutor acoplado. Como pode ser visto, a ondulação da corrente de entrada ($i_i=i_{pri}$) é pulsante, o que é característico dos conversores com indutor acoplado na entrada.

Por fim, a Figura 12.a ilustra o comportamento do rendimento do conversor variando a potência de entrada com dois valores diferentes da indutância de dispersão ($L_k = 4 \mu\text{H}$ e $L_k = 0,5 \mu\text{H}$). Para $L_k = 4 \mu\text{H}$, o rendimento do conversor sempre foi maior em toda a variação de P_i , tendo alcançado o pico de rendimento de 96,4 % para $P_i = 120 \text{ W}$. Além disso, fica evidente que com $L_k = 4 \mu\text{H}$, tem-se um melhor controle dos esforços de corrente da topologia, o que permitiu alcançar maior eficiência. Considerando diferentes valores da tensão de entrada ($V_i = 25 \text{ V}$, 30 V e 35 V), a Figura 12.b ilustra o resultado experimental de rendimento do conversor. O maior rendimento obtido foi de 97,25 % para $V_i = 35 \text{ V}$ e 140 W . Além disso, em toda faixa da potência de entrada, o conversor operando com $V_i = 35 \text{ V}$ obteve os maiores rendimentos, o que permite afirmar que as perdas de conduções para esse caso foram menores. Considerando o ponto nominal (200 W, $V_i = 30$ e $V_o = 400 \text{ V}$), a Figura 12.c apresenta a distribuição das perdas do conversor. Os semicondutores possuem as maiores perdas, sendo que o interruptor S possui a maior parcela (40 % - 2,75 W). Comparando rendimento estimado ($\eta = 96,5 \%$) do conversor com o resultado experimental de rendimento ($\eta = 95,48 \%$), percebe-se que o erro é de 1 %, o que valida a avaliação. Em relação à Eficiência Europeia (66), o conversor proposto alcançou 95.34 %. Para obter os resultados experimentais apresentados, o protótipo do conversor utilizado pode ser visto na Figura 13.

$$\eta_{CEC} = 0,04\eta_{10\%} + 0,05\eta_{20\%} + 0,12\eta_{30\%} + 0,21\eta_{50\%} + 0,53\eta_{75\%} + 0,05\eta_{100\%} \quad (66)$$

B. Comparação com Topologias Similares

A Tabela I apresenta uma comparação da topologia proposta com outras topologias semelhantes encontradas na literatura. Em relação ao ganho de tensão (M) e esforço de tensão no interruptor (V_s/V_i), o conversor proposto fica em segundo com as melhores características. Deve-se destacar que [20] apresenta maior ganho de tensão, porém o mesmo

possui maior esforço de tensão no interruptor. Por outro lado, o conversor proposto junto com o [11] possuem menor número de componentes. Além disso, a topologia proposta não apresenta de problemas de picos de corrente causados pela célula de capacitor chaveado. Por fim, na última coluna é apresentado o rendimento teórico das topologias considerando as especificações da Tabela II. Fica evidente que o conversor proposto possui maior rendimento.

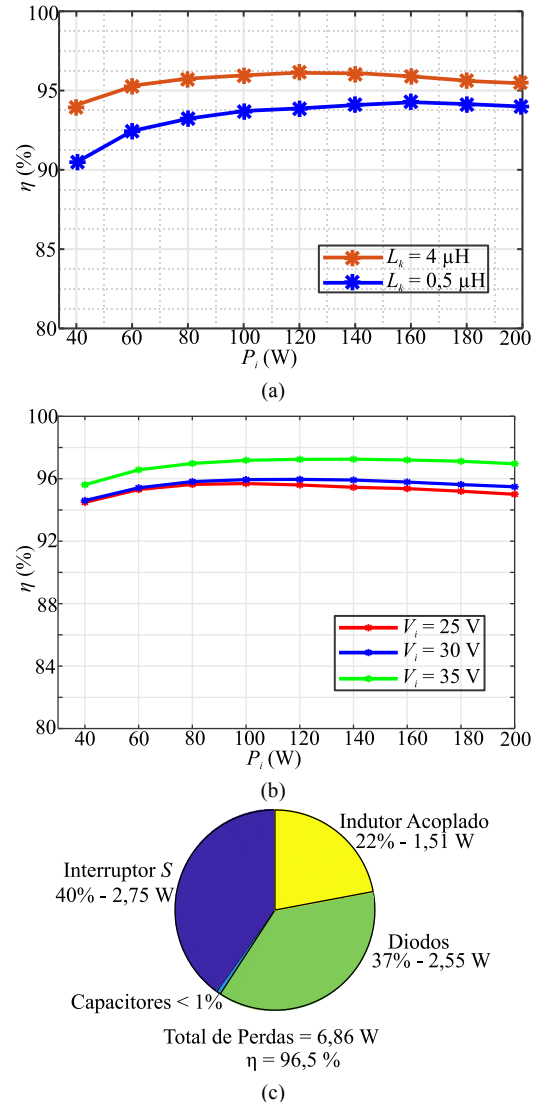


Fig. 12. Rendimento do conversor proposto. (a) considerando diferentes valores de L_k . (b) $L_k = 4 \mu\text{H}$ e diferentes valores de V_i . (c) distribuição de perdas no ponto nominal de operação.

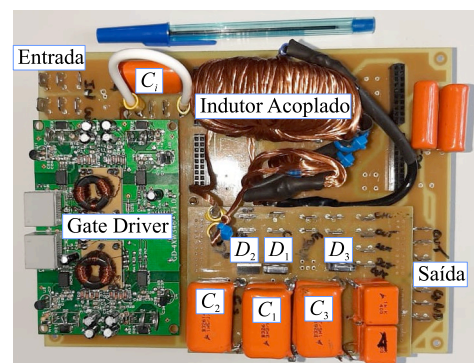


Fig. 13. Protótipo do conversor.

TABELA I
Comparação entre Topologias

Conversor	Ganho de Tensão $M(V_o/V_i)$	Esforço de tensão no Interruptor	Máximo Esforço de tensão nos diodos	Numero de			PC*	R* (%)	
				S* Di*	Mag.*	Cap.*			
[11]	$\frac{1}{1-D}$	$\frac{V_i}{1-D} = V_o$	$\frac{V_i}{1-D} = V_o$	1	3	1	3	Sim	80,13
[12]	$\frac{3+D}{1-D}$	$\frac{V_i}{1-D} = \frac{V_o}{3+D}$	$\frac{2V_i}{1-D} = \frac{2V_o}{3+D}$	2	3	2	3	Sim	91,78
[13]	$\frac{3+D}{1-D}$	$\frac{V_i}{1-D} = \frac{V_o}{3+D}$	$\frac{2V_i}{1-D} = \frac{2V_o}{3+D}$	2	3	2	3	Não	93,5
[15]	$\frac{2+2N-ND}{1-D}$	$\frac{V_i}{1-D} = \frac{V_o}{2+2N-ND}$	$\frac{NV_i}{1-D} = \frac{NV_o}{2+2N-ND}$	1	6	1	6	Sim	91,24
[16] (Figura 16.a)	$\frac{2+2D}{1-D}$	$\frac{V_i}{1-D} = \frac{V_o}{2+2D}$	$\frac{2V_i}{1-D} = \frac{2V_o}{2+2D}$	2	3	2	3	Sim	94,7
[20]	$\frac{2+N+ND}{(1-D)^2}$	$\frac{V_i}{(1-D)^2} = \frac{V_o}{2+N+ND}$	$\frac{(N+1)V_i}{(1-D)^2} = \frac{(N+1)V_o}{2+N+ND}$	1	6	2	5	Sim	94,2
[21]	$\frac{ND(2-D)+3ND+1}{1-D}$	$\frac{D(2-D)V_i}{1-D} = \frac{D(2-D)V_o}{ND(2-D)+3ND+1}$	$\frac{D(2-D)V_i}{1-D} = \frac{D(2-D)V_o}{ND(2-D)+3ND+1}$	1	7	1	7	Sim	95,8
[22]	$\frac{3+2N-D}{1-D}$	$\frac{V_i}{1-D} = \frac{V_o}{3+2N-D}$	$\frac{(N+1)V_i}{1-D} = \frac{(N+1)V_o}{3+2N-D}$	1	5	1	5	Sim	95,5
Proposto	$\frac{N+2}{1-D}$	$\frac{V_i}{1-D} = \frac{V_o}{N+2}$	$\frac{(N+1)V_i}{1-D} = \frac{(N+1)V_o}{N+2}$	1	3	1	3	Não	96,5

S* Interruptor; Di* Diodos; Mag.* Magnéticos; Cap.* Capacitores; PC* Pode ter pico de corrente na célula de capacitor chaveado?; R* Rendimento Teórico.

IV. CONCLUSÃO

Neste artigo foi apresentado um conversor híbrido de alto ganho de tensão composto por um conversor boost, célula ladder de capacitor chaveado. Ao avaliar o conversor verificou-se que a posição do secundário do indutor acoplado fez com que com o conversor alcançasse elevado ganho de tensão e os esforços de correntes nos componentes diminuíssem. Junto a isso, essa abordagem permitiu utilizar capacitores com capacitâncias baixas e semicondutores que suportam baixos valores de bloqueio. Desta forma, fez com que o conversor apresentasse bom desempenho experimentalmente, tendo alcançado um pico de rendimento de 96,4 % em $P_i = 120$ V.

AGRADECIMENTOS

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES/PROEX) – Código de Financiamento 001, do Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPQ) projeto 425155/2018-8 e do Fundação de Amparo à pesquisa do Estado do RS (FAPERGS) projeto 21/2551-0000657-9.

REFERÊNCIAS

[1] M. Forouzesh, Y. P. Siwakoti, S. A. Gorji, F. Blaabjerg, B. Lehman, “Step-Up DC–DC Converters: A Comprehensive Review of Voltage-Boosting Techniques, Topologies, and Applications,” *IEEE*

Transactions on Power Electronics, vol. 32, no. 12, pp. 9143-9178, Dec. 2017.

[2] F. L. Tofoli, D. de C. Pereira, W. J. de Paula, D. de S. Oliveira Junior, “Survey on non-isolated high-voltage step-up DC-DC topologies based on the boost converter,” *IET Power Electronics*, vol. 8, no. 10, pp. 2044–2057, Oct. 2015.

[3] E. S. Hass; C. B. Nascimento, “A Simple Self-Clamped High Step-Up DC-DC Converter Employing Coupled Inductor”, *Eletrônica de Potência – SOBRAEP*, vol. 24, nº 2, pp. 204-213, Abr./Jun. 2019.

[4] R. Mayer, M. B. E. Kattel, S. V. G. Oliveira, “Bidirectional DC–DC Converter with Coupled Inductor for DC-Bus Regulation in Microgrid Applications”, *Eletrônica de Potência – SOBRAEP*, vol. 25, nº 3, pp. 241-248, Jul./Set. 2020.

[5] F. K. Li, Y. Hu, A. Ioinovici, "Generation of the Large DC Gain Step-Up Nonisolated Converters in Conjunction With Renewable Energy Sources Starting From a Proposed Geometric Structure," *IEEE Transactions on Power Electronics*, vol. 32, no. 7, pp. 5323-5340, July 2017.

[6] B. Axelrod, Y. Berkovich and A. Ioinovici, "Switched-Capacitor/Switched-Inductor Structures for Getting Transformerless Hybrid DC–DC PWM Converters," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 55, no. 2, pp. 687-696, March 2008.

[7] Y. Pontes, C. E. de A. e Silva, E. M. Sá Jr., “High-Voltage Gain DC-DC Converter for Photovoltaic Applications in DC Nanogrids”, *Eletrônica de Potência – SOBRAEP*, 2020.

[8] R. G. A. Cacau1, T. B. Lazzarin, M. C. T. Villanueva, I. Barbi, “Study of High Step-Up Gain DC-DC Converters Based pn Stacking of Non-Isolated

- Topologies”, *Eletrônica de Potência – SOBRAEP*, vol. 23, nº 4, pp. 505-515, Out./Dez. 2018.
- [9] J. R. Dreher, A. M. S. S. Andrade, L. Schuch, M. L. da S. Martins, “Coupled-Inductor High Step-Up Integrated Topologies: Synthesis, Analysis and Experimental Results”, *Eletrônica de Potência – SOBRAEP*, vol. 21, nº 2, pp. 091-104, Mar./Jun. 2016.
- [10] S. Chen, M. Lao, Y. Hsieh, T. Liang, K. Chen, "A Novel Switched-Coupled-Inductor DC–DC Step-Up Converter and Its Derivatives," *IEEE Transactions on Industry Applications*, vol. 51, no. 1, pp. 309-314, Jan.-Feb. 2015.
- [11] Maccarini, M. C. "Retificador monofásico com fator de potência unitário, de alto ganho, baseado em um conversor boost híbrido," Dissertação de Mestrado, UFSC, 2013.
- [12] Y. Tang, T. Wang, Y. He, "A Switched-Capacitor-Based Active-Network Converter With High Voltage Gain," *IEEE Transactions on Power Electronics*, vol. 29, no. 6, pp. 2959-2968, June 2014.
- [13] Tang, Y., T. Wang, D. FU, “Multicell switched inductor/switched capacitor combined active-network converters,” *IEEE Transactions on Power Electronics*, v. 30, n. 4, p. 2063-2072, Apr. 2015.
- [14] A. M. S. S. Andrade, E. Mattos, L. Schuch, H. L. Hey, M. L. S. Martins, “Synthesis and comparative analysis of very high step-up DC–DC converters adopting coupled-inductor and voltage multiplier cells,” *IEEE Transactions on Power Electronics*, v. 33, n. 7, p. 5880-5897, Jul. 2018.
- [15] A. M. S. S. Andrade, E. Mattos, H. L. Hey, L. Schuch, M. L. S. , “Coupled-Inductor High Step-Up Integrated Topologies: Synthesis, Analysis and Experimental Results”, *Eletrônica de Potência – SOBRAEP*, vol. 22, nº 2, pp. 122-130, Abr./Jun. 2017.
- [16] J. M. de Andrade, M. A. Salvador, R. F. Coelho and T. B. Lazzarin, “General Method for Synthesizing High Gain Step-Up DC–DC Converters Based on Differential Connections,” *IEEE Transactions on Power Electronics*, vol. 35, no. 12, pp. 13239-13254, Dec. 2020.
- [17] M. A. Salvador, J. M. de Andrade, T. B. Lazzarin and R. F. Coelho, "Nonisolated High-Step-Up DC–DC Converter Derived from Switched-Inductors and Switched-Capacitors," *IEEE Transactions on Industrial Electronics*, vol. 67, no. 10, pp. 8506-8516, Oct. 2020, doi: 10.1109/TIE.2019.2949535.
- [18] A. M. S. S. Andrade, T. Faistel, R. A. Guisso and A. Toebe, "Hybrid High Voltage Gain Transformerless DC-DC Converter," *IEEE Transactions on Industrial Electronics*, early access, Mar. 2021, doi: 10.1109/TIE.2021.3066939.
- [19] E. S. Hass, C. B. Nascimento, “A Simple Self-Clamped High Step-Up DC-DC Converter employing Coupled Inductor”, *Eletrônica de Potência – SOBRAEP*, vol. 24, nº 2, pp. 204-2013, Abr./Jun. 2019.
- [20] J. Ai, M. Lin, H. Liu and P. Wheeler, "A Family of High Step-Up DC–DC Converters With N_c Step-Up Cells and M -Source Clamped Circuits," *IEEE Access*, vol. 9, pp. 65947-65966, Apr. 2021, doi: 10.1109/ACCESS.2021.3073416.
- [21] X. Fan, H. Sun, Z. Yuan, Z. Li, R. Shi and N. Ghadimi, "High Voltage Gain DC/DC Converter Using Coupled Inductor and VM Techniques," *IEEE Access*, vol. 8, pp. 131975-131987, Jul. 2020, doi: 10.1109/ACCESS.2020.3002902.
- [22] L. Schmitz, D. C. Martins and R. F. Coelho, "Comprehensive Conception of High Step-Up DC–DC Converters With Coupled Inductor and Voltage Multipliers Techniques," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 67, no. 6, pp. 2140-2151, June 2020, doi: 10.1109/TCSI.2020.2973154.
- [23] J. Ai, M. Lin, H. Liu and P. Wheeler, "A Family of High Step-Up DC–DC Converters With N_c Step-Up Cells and M -Source Clamped Circuits," *IEEE Access*, vol. 9, pp. 65947-65966, Apr. 2021, doi: 10.1109/ACCESS.2021.3073416.
- [24] M. B. Meier, S. Avelino da Silva, A. A. Badin, E. F. R. Romaneli and R. Gules, "Soft-Switching High Static Gain DC–DC Converter Without Auxiliary Switches," *IEEE Transactions on Industrial Electronics*, vol. 65, no. 3, pp. 2335-2345, March 2018, doi: 10.1109/TIE.2017.2739684.
- [25] P. Alavi, P. Mohseni, E. Babaei and V. Marzang, "An Ultra-High Step-Up DC–DC Converter With Extendable Voltage Gain and Soft-Switching Capability," *IEEE Transactions on Industrial Electronics*, vol. 67, no. 11, pp. 9238-9250, Nov. 2020, doi: 10.1109/TIE.2019.2952821.
- [26] M. E. Azizkandi, F. Sedaghati, H. Shayeghi and F. Blaabjerg, "A High Voltage Gain DC–DC Converter Based on Three Winding Coupled Inductor and Voltage Multiplier Cell," *IEEE Transactions on Power Electronics*, vol. 35, no. 5, pp. 4558-4567, May 2020, doi: 10.1109/TPEL.2019.2944518.
- [27] M. F. Guepfrih, G. Waltrich and T. B. Lazzarin, "High Step-Up Dc-Dc Converter Using Built-in Transformer Voltage Multiplier Cell and Dual Boost Concepts," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, early access, Mar. 2021, doi: 10.1109/JE-STPE.2021.3063060.
- [28] A. F. de Souza, F. L. Tofoli, E. R. Ribeiro, "Switched Capacitor DC-DC Converters: A Survey on the Main Topologies, Design Characteristics, and Applications," *Energies*, vol. 14, pp. 1-33, Apr. 2021, doi: 10.3390/en14082231.
- [29] B. Wu, S. Li, K. M. Smedley, S. Singer, “Analysis of High-Power Switched-Capacitor Converter Regulation Based on Charge-Balance Transient-Calculation Method,” *IEEE Transactions on Power Electronics*, vol. 31, no. 5, pp. 3482-3494, May 2016
- [30] G. V. Silva, J. M. de Andrade, R. F. Coelho, T. B. Lazzarin, “Switched-Capacitor Differential Boost Inverter: Design, Modeling, and Control,” *IEEE Transactions on Industrial Electronics*, vol. 67, no. 7, pp. 5421-5431, July 2020

[31] Magnetics, “Magnetics Powder Core Catalog,” <https://www.mag-inc.com/Media/Magnetics>, 2020, acesso online: 10 de Janeiro de 2021.

DADOS BIOGRÁFICOS

Pablo Henrique Costa da Silva Bernardo Loureiro, nasceu em 25/04/1998 na cidade de Santos, SP, Brasil. Possui graduação em engenharia elétrica na Universidade Federal de Santa Maria campus Cachoeira do Sul (2021). Atualmente é aluno de mestrado na mesma instituição no Programa de Pós-Graduação em Engenharia Elétrica. Suas áreas de interesse são Conversores CC-CC, Conversores de alto desempenho e sistemas de energias renováveis.

Tiago Miguel Klein Faistel, nasceu em Ijuí, RS, Brasil, em 1992. É engenheiro eletricitista (2015) pela Universidade Regional do Noroeste do Estado do Rio Grande do Sul (UNIJUÍ), Mestre (2018), pela Universidade Federal de Santa Maria. Atualmente é aluno de Doutorado na UFSM. Suas principais áreas de interesse são: conversores CC-CC, microgrid CC e energias renováveis.

Ademir Toebe, possui graduação e mestrado em engenharia elétrica pela Universidade Federal de Santa Maria nos anos de 2016 e 2018, respectivamente. Atualmente é aluno de doutorado na mesma instituição. Áreas de Interesse: sistemas modulares, modulação, paralelismo de inversores e comunicação de dados para aplicações de controle em tempo real.

Paulo César Vargas Luz, nascido em 19/02/1988 em Carazinho (RS), é Engenheiro Eletricista formado pela Universidade Federal de Santa Maria (UFSM) em 2012. Possui mestrado (2013) e doutorado (2017) em Engenharia Elétrica pelo programa de pós-graduação em Engenharia Elétrica da UFSM. Atuou como professor no Colégio Técnico Industrial de Santa Maria durante o ano de 2014, e, em 2017, no Departamento de Processamento de Energia Elétrica da UFSM. Atualmente é professor Adjunto no curso de Engenharia Elétrica na UFSM, Campus de Cachoeira do Sul. Tem experiência e interesse na área de eletrônica, atuando principalmente nos seguintes temas: reatores eletrônicos, conversores estáticos, lâmpadas de descarga e iluminação semicondutora

Antônio Manuel Santos Spencer Andrade, nasceu em Ribeira Grande, Cabo Verde, em 1989. Possui graduação em Engenharia de Controle e Automação pela Universidade de Caxias do Sul (2012), mestrado e doutorado em Engenharia Elétrica pela Universidade Federal de Santa Maria, nos anos 2015 e 2018, respectivamente. Atualmente é professor do curso de Engenharia Elétrica da Universidade Federal de Santa Maria - Campus Cachoeira do Sul e do Programa de Pós-Graduação em Engenharia Elétrica (PPGEE). É membro da SOBRAEP e do IEEE. Seus temas de interesse são: Conversores CC-CC, Conversores de alto desempenho, Conversores de Alto Ganho de Tensão, Conversores Bidirecionais, Técnicas Elevadoras e Abaixadoras de Tensão e sistemas de energias renováveis.